

## 科学研究費助成事業 研究成果報告書

令和 6 年 6 月 17 日現在

機関番号：11501

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K04091

研究課題名（和文）多端子MOSFET素子によるIoTデバイスの長期動作環境プロービング

研究課題名（英文）A Probing for Long-Term Operating Environment of IoT Devices using Multi-Output MOSFET

研究代表者

原田 知親（Harada, Tomochika）

山形大学・大学院理工学研究科・助教

研究者番号：50375317

交付決定額（研究期間全体）：（直接経費） 3,000,000円

研究成果の概要（和文）：本研究では、いままで培った低電圧動作可能なトランジスタをベースとし、回路動作とセンシング動作を並行して動作可能な多端子MOSFET素子を用い、回路動作をしながら集積回路の環境に置かれた環境をモニタし続けることでセンサや回路動作の性能低下等を察知するプロービング手法を開発することを目的とする。

その結果、本研究で開発したMOSFETデバイスにおける電流検出や磁界検出を行うことが可能であることを見出した。また、この素子をデジタル回路に適用し、静特性や動特性を検証したところ、直接電流プローブを用いず本研究の素子だけで間接的に回路動作の観測が可能であることを見出した。

研究成果の学術的意義や社会的意義

本研究では、いままで培った低電圧動作可能なトランジスタをベースとし、回路動作とセンシング動作を並行して動作可能な多端子MOSFET素子を用い、回路動作をしながら集積回路の環境に置かれた環境をモニタし続けることでセンサや回路動作の性能低下等を察知するプロービング手法を開発することを目的とする。デジタル回路を例に多端子MOSFETを回路に適用することで間接的に回路動作の「その場」観察が可能であることを見出した。これは、今後センサ素子を含めたIoTシステムの安定的な長期駆動の確保、特に、外界の環境は寒暖差や湿度等、非常に過酷な環境下に対するシステムの常時監視用デバイスとして貢献できる。

研究成果の概要（英文）：The purpose of this research is to develop a probing method to detect degradation of sensor and circuit performance by continuously monitoring the environment of the integrated circuit while operating the circuit, using a multi-terminal MOSFET device that can operate in parallel with circuit and sensing operations, based on transistors. The objective of this project is to develop a probing method to detect degradation of sensor and circuit performance by continuously monitoring the environment of the integrated circuit while the circuit is operating. As a result, I found that it is possible to perform current detection and magnetic field detection in the MOSFET device developed in this study. I also applied this device to a digital circuit and verified its static and dynamic characteristics, and found that it is possible to observe circuit operation indirectly using only the device in this study, without using a direct current probe.

研究分野：知能集積回路、集積化センサ、IoT/ICTデバイス・システム

キーワード：多端子MOSFET 貫通電流・充放電電流 磁界検出 MOSFET型センサー 回路動作検出デバイス

## 1. 研究開始当初の背景

いままでは計算機用途でしか使われなかった集積回路は、今後、応用分野をさらに拡大し、情報通信技術 (ICT) を用いたヘルスケア/ライフケアシステムの分野への適用が期待される。その際に問題となるのは、ビックデータ解析に向けた大量データ収集における、センサ素子を含めた IoT システムの安定的な長期駆動の確保である。特に、外界の環境は寒暖差や湿度等、非常に過酷な環境下で使うことが多いため、システムの常時監視のためのセンシングは、安定動作に欠かせない。しかし、センシングに必要な従来のセンサは、抵抗やコンデンサなどの受動素子で構成されることが多く、集積化の際にデザインルールの問題や検出のための情報処理回路が必要になるため、集積化の際に占有面積が増えてしまう。

今後、センサシステムによる人・物の見える化をする上で、長期データ収集を目的とした IoT/ICT に向けたセンサシステムの長期稼働に向けた目指すためには、微細化に対応でき、複数の入出力端子と、低電力化に向けた MOSFET をベースに、センサ・回路設計両方に特化できる、新たな素子構造や動作機構、そして外界環境と動作状況を検出する手法を模索する必要がある。これが実現できれば、同一素子による、センサ・回路の一体集積化が可能となり、センサ・回路の両方の設計・試作が容易になるだけでなく、集積回路のさらなる安心安全・信頼性向上が期待できる。

## 2. 研究の目的

今後の IoT 普及に伴う外環境のような大変厳しい環境でも安心安全にかつ長期的に収集する必要がある。その際に、システム内を構成する集積回路の置かれる環境を細部までリアルタイムにモニタし、いち早く故障や経年劣化を把握する必要がある。そこで、本研究では、いままで培った低電圧動作可能なトランジスタをベースとし、回路動作とセンシング動作を並行して動作可能な多端子 MOSFET 素子を用い、回路動作をしながら集積回路の環境に置かれた環境をモニタし続けることでセンサや回路動作の性能低下等を察知するプロービング手法を開発することを目的とする。

## 3. 研究の方法

本研究の研究方法は、多端子 8 角形 MOSFET 素子の、各出力端子の動作、デバイス構造検証、回路設計に必要なモデリングを、アナログ・デジタル混載集積回路の標準プロセスである 0.18  $\mu\text{m}$  CMOS 技術での試作評価を通して実施する。これにより、微細加工で実現する本研究素子のセンサ動作と回路動作に必要な動作機構の解明と、検出感度や精度等を評価する。最終的には、これを組み込んだ電子回路を試作して動作モニタリングを実施し、集積化面積を増加させることなく、1つの基本素子のみの一体集積化用安心安全を担保するキーデバイスとしての確立を目指す。具体的には、以下の2点について実施する。

### 1) 集積回路を取り巻く環境計測のための多端子 MOSFET のセンサ・トランジスタ動作解析モデルの確立

一般的に使われている 0.18  $\mu\text{m}$  CMOS デザインルールによる多端子 MOSFET での動作機構の評価・解析と、シミュレーションによる解析モデルの構築を実施する。ここでは、磁界検出と電流検出をターゲットに行うこととする。

### 2) 多端子 MOSFET を含めたセンサ・回路の同一集積化と回路の動作と動作環境の監視評価手法の確立

デバイスの知見をもとに、監視評価方法を検討するために、多端子 MOSFET を情報処理回路部分に適用し、多端子 MOSFET によるセンサ・回路の一体集積化を試み、性能と動作の評価を行う。

## 4. 研究成果

### 多端子 MOSFET の動作

本研究で用いる多端子 MOSFET の概略図と寸法を図 1(a) に、各 output 端子の距離を図 1(b) に、それぞれ示す。この素子は、MOSFET の基本動作に必要な Gate, Drain, Source 端子だけでなく、Drain-Source 方向に対して垂直に output 端子を配置してある。強反転領域での動作において、output 端子または端子間の電位差を検出することで様々な物理量の計測が可能となる。

通常 MOSFET として動作させる場合は Gate・Drain・Source 端子を接続する。これを、磁界検出センサとして動作させる場合は Drain-Source 端子に直行する Output 端子対を磁界検出用 Output 端子対として、温度センサや電流検出センサとして動作させる場合は Drain-Source 端子に直行しない端子対を温度検出用 Output 端子対として用いる。

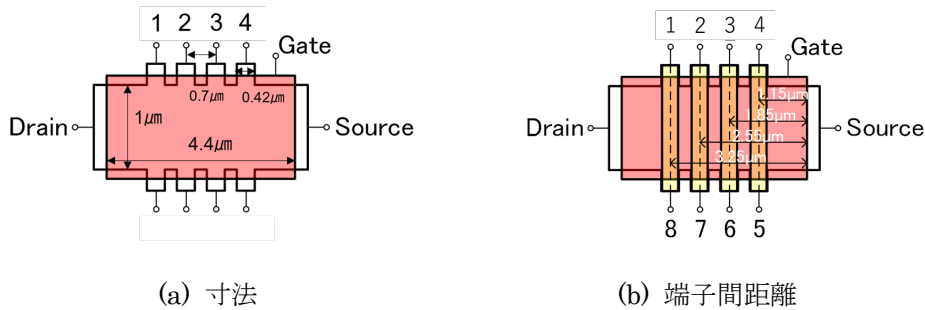


図1 多端子 MOSFET

構造としては MOSFET をベースとしているため、集積回路と同一プロセスで作製可能である。0.18μm CMOS 技術で試作し、MOSFET の各寸法については、チャネル長が 4.4 μm、チャネル幅が 1 μm、output 端子の幅が 0.42 μm、各 output 端子間距離が 0.7 μm である。

回路駆動で重要な MOSFET のドレイン電流に対して、多端子 MOSFET の output 電圧で検出できることについて、図2を用いて説明する。図2は、多端子 MOSFET の断面図である。チャネル直下のドレイン電流方向側面のある位置  $x$  に対するドレイン電流  $I_{DS}$  と電位  $V(x_n)$  の関係は、式(1)のようになる。ただし、 $0 \leq x \leq L$  である。

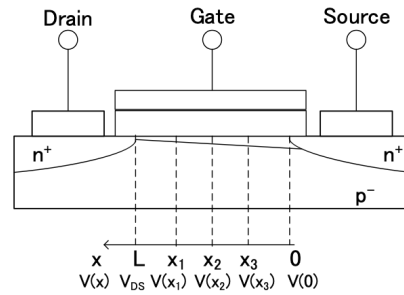


図2 多端子 MOSFET の断面図

$$I_{DS} = \frac{\mu W C_{ox}}{2x_n} [-(V_P - V(x_n))^2 + V_P^2] \quad (1)$$

$$V_P = (V_G - V_{th}) \quad (2)$$

これらの式から、線形領域下での Output 端子の動作について導出する。多端子 MOSFET が線形領域下で動作しているため、ドレイン電流  $I_{DS}$  は式(1)から変形すると、式(3)のようになる。

$$V(x_n) = (V_G - V_{th}) - \sqrt{(V_G - V_{th})^2 - \frac{2I_{DS}x_n}{\mu W C_{ox}}} \quad (3)$$

式(3)は複雑な式になっているが、ドレイン電流方向側面のある位置  $x$  に対する電位  $V(x_n)$  は、ドレイン電流  $I_{DS}$  の増加に比例して出力される。飽和領域については、式(4)のように、ドレイン電流方向側面のある位置  $x$  の長さ  $x_n$  によって出力が一定になる。これは飽和領域における  $I_{DS}$  の式の動作と一致する。

また、式(3)・(4)から温度変化等に伴う電圧変化などを検出可能である。

$$V(x_n) = (V_G - V_{th}) \left(1 - \sqrt{1 - \frac{x_n}{L}}\right) \quad (4)$$

### インバータ回路を例にした多端子 MOSFET による「その場」観察 (直流伝達特性)

実際に回路動作時の電流の振る舞いについて検証するためのテスト回路として、多端子 CMOS インバータの構成図を図3(a)に、レイアウト図を図3(b)に、それぞれ示す。ここで、Drain から Source に向かって 1, 2, 3, 4 という形で端子番号を振ることとする。MOSFET のドレイン電流検出は各多端子 MOSFET の output 端子を用い、この Output 端子の電圧を検出することで、インバータ自体の動作状況を間接的に計測することができる。

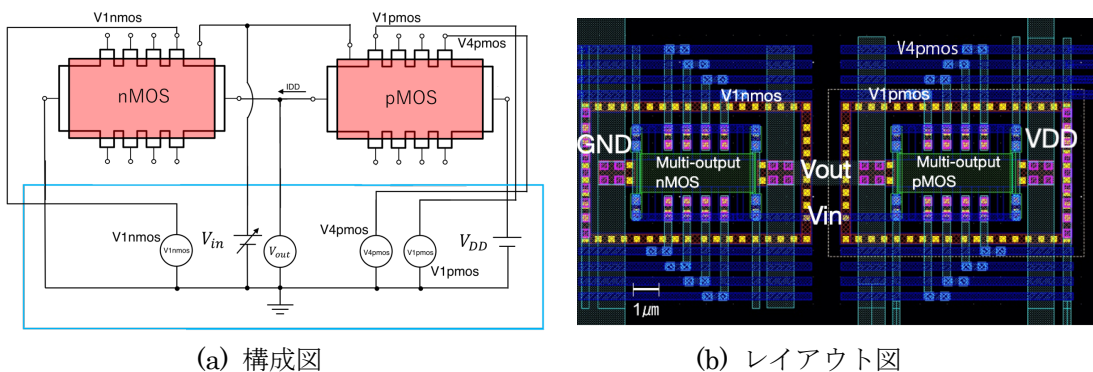


図3 多端子 CMOS インバータ

試作した多端子 CMOS インバータ (図3) の静特性を図4に示す。図4の結果をもとに、多

端子インバータの静特性計測時の各電源電圧（1.1V～1.8V）に対する貫通電流特性を図 5 に、pMOS 側の各 output 端子電圧( $V_{1pmos}$ )の結果を図 6 に、nMOS 側の output 端子電圧( $V_{1nmos}$ )の結果を図 7 に、それぞれ示す。図 5～図 7 より、多端子 nMOSFET の output 端子の電圧と貫通電流が流れるタイミングが一致していることがわかる。このとき、電源電圧 1.8V における貫通電流値は約 2.5  $\mu\text{A}$ 、 $V_{1nmos}$  の最大電圧は約 0.12V となっている。一方、多端子 pMOSFET においては、nMOSFET と同様に貫通電流の流れるタイミングで電圧の変化が見られるが、 $V_{1nmos}$  の動作とは真逆の動作をすることがわかる。このとき、電源電圧 1.8V 動作時の多端子 pMOSFET の output 端子電圧( $V_{1pmos}$ )の最大変化量は約-0.22V である。これらの結果から、CMOS インバータの貫通電流の変化を多端子 MOSFET の output 電圧から読み取ることが可能であると結論できる。

また、図 8 のようにホール効果を応用し、多端子 MOSFET を磁界検出動作させたときの測定結果を図 9 に示す。出力端子対がいずれの場合も印加磁界  $B$  に対して垂直方向の Output 端子間電圧  $\Delta V_{HALL}$  が線形に変化する傾向があることが分かる。また、極性が反転すると出力の正負が反転していることが分かる。以上より、本研究で使用した多端子 MOSFET は磁界の検出と磁極の判定ができる磁界センサとして用いることが可能であるといえる。

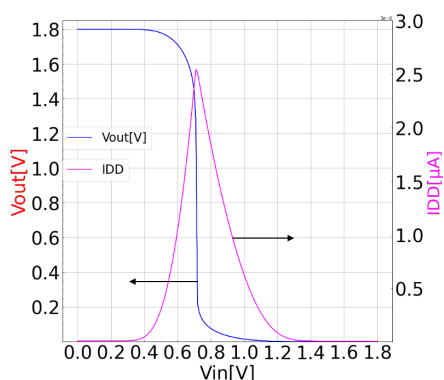


図 4 多端子 MOSFET インバータの直流伝達特性

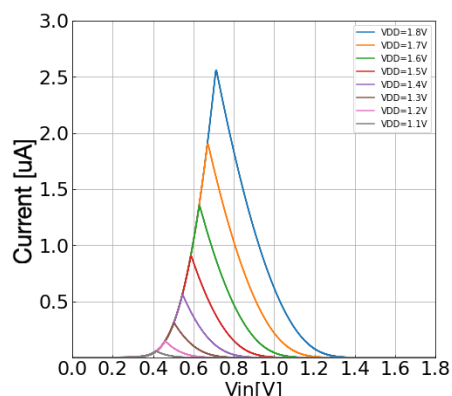


図 5 多端子 CMOS インバータの貫通電流特性

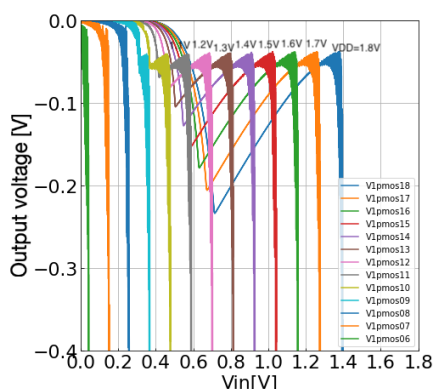


図 6 多端子 pMOSFET の  $V_{1pmos}$  の計測結果

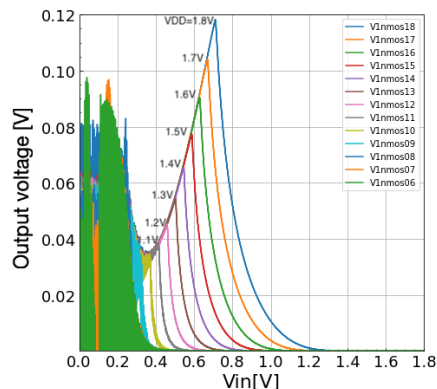


図 7 多端子 pMOSFET の  $V_{1nmos}$  の計測結果

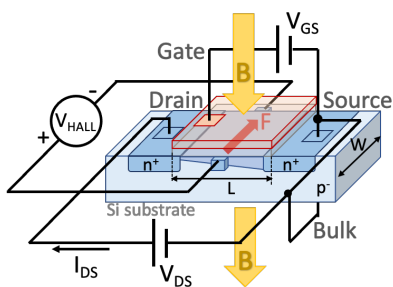


図 8 多端子 MOSFET の磁界検出原理

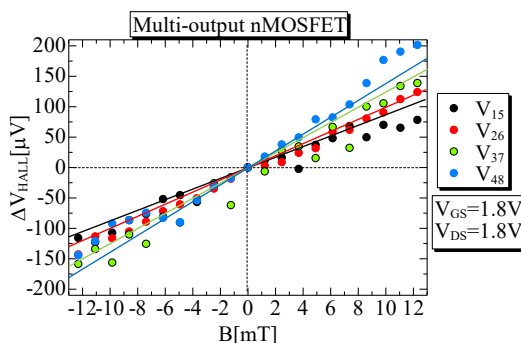
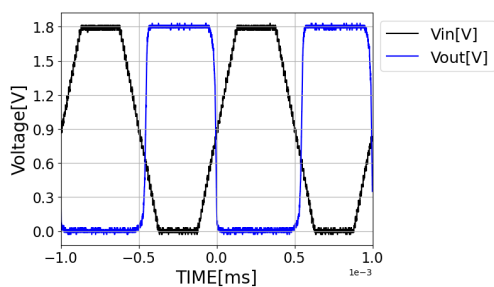


図 9 多端子 MOSFET の磁界検出結果

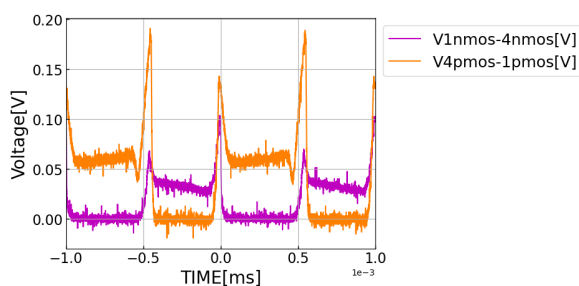
### インバータ回路を例にした多端子 MOSFET による「その場」観察（動特性）

次に、多端子 CMOS インバータの動特性について評価をおこなった。本試作の CMOS インバータの入力に 1kHz の台形波と 10kHz の矩形波を入力し、その時のインバータの出力波形と、output

端子間電圧として図 3(a)の多端子 nMOS/pMOSFET のそれぞれ両端の Output 端子の電圧波形をオシロスコープで計測した。1kHz の台形波を入力した時の多端子 CMOS インバータの入出力波形と多端子 nMOS/pMOSFET の output 端子間電位差を示した波形を図 10(a)・図 10(b)に、矩形波 10kHz を入力した時の多端子 CMOS インバータの入出力波形と多端子 nMOS/pMOSFET の output 端子間電位差を示した波形を図 11(a)・図 11(b)に、それぞれ示す。これらの結果より、多端子 nMOS/pMOSFET の output 端子間電圧は、CMOS インバータの状態遷移の変化でピークを持つように出力される。つまり、状態遷移時に流れる貫通電流と連動して出力されているため、貫通電流を output 端子によって「その場」計測することができると結論できる。

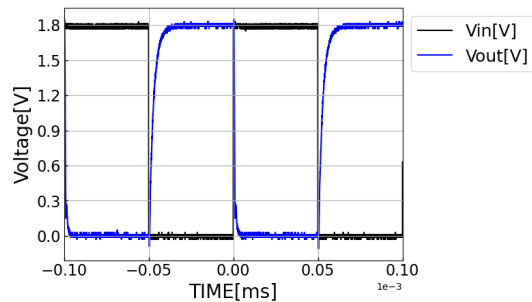


(a) 入出力波形

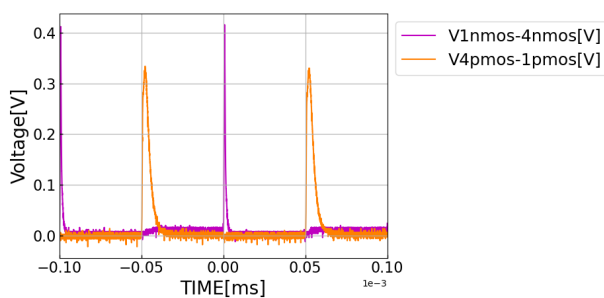


(b) Output 端子間電圧

図 10 入出力特性@台形波 1kHz



(a) 入出力波形



(b) Output 端子間電圧

図 11 入出力特性@矩形波 10kHz

### 多端子 MOSFET の等価モデルと動作検証

多端子 CMOS インバータの貫通電流の測定結果から、多端子 MOSFET の解析モデルを用いて考察することとする。図 12 に多端子 MOSFET の解析モデルを示す。メイン MOSFET (M0) のゲート面積 ( $W \times L$ ) と両側の  $n$  個の output 端子を構成する MOSFET ( $M_t, M_{t'} : t=1, 2, \dots, n+1$ ) のゲート面積 ( $W_{min} \times L_o$ ) とに分け、それぞれ MOSFET を並列に接続した回路として構成する。Output 端子側の等価 MOS のゲート幅  $W$  はレイアウト設計上発生する最小ゲート幅 ( $W_{min}$ ) としている。またこの MOS のゲート長  $L_o$  は Source 端から出力端子までの距離に合わせて、任意に決定できる。

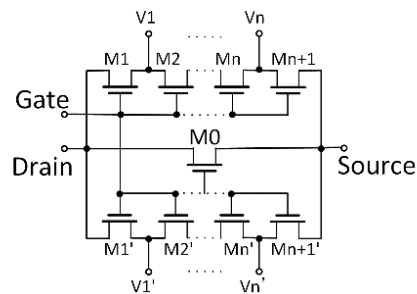


図 12 多端子 MOSFET の等価モデル

図 12 の等価モデルを用い、図 1 (a) (b) の寸法をもとに CMOS インバータの等価モデルを構成し、HSPICE を用いて解析を行なった。台形波 100Hz での入出力特性の解析結果を図 13 に、台形波 50Hz での実測値を図 14 に示す。これらの結果を比較すると、CMOS インバータの状態遷移の変化時に output 端子の電位差にピークをもつことが明らかとなった。しかし、定常状態での測定結果と解析結果が違うので、カットオフ状態での等価モデルの構築が必要であると思われる。

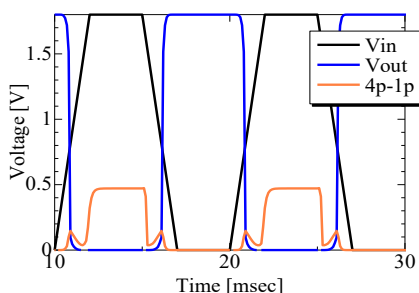


図 13 入出力特性@台形波 100Hz (解析)

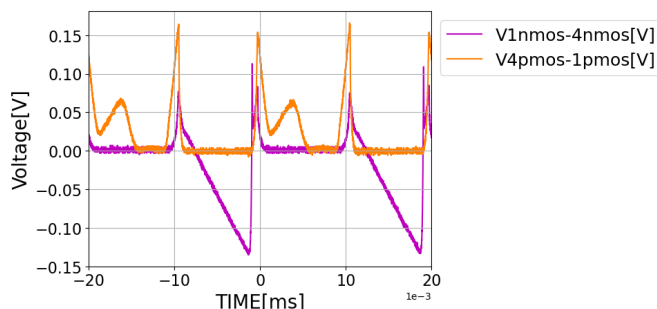


図 14 Output 電圧特性@台形波 100Hz (解析)

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Oikawa Kota, Harada Tomochika	4. 巻 141
2. 論文標題 A 0.18 $\mu\text{m}$ Magnetic Detectable Octagonal-MOSFET for Implementable of LSI System	5. 発行年 2021年
3. 雑誌名 IEEJ Transactions on Sensors and Micromachines	6. 最初と最後の頁 388 ~ 393
掲載論文のDOI（デジタルオブジェクト識別子） 10.1541/ieejsmas.141.388	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Suzuki Shinya, Harada Tomochika	4. 巻 143
2. 論文標題 An Evaluation of the Magnetic Field Characteristics for the Probe Position and Temperature using the Multi-Output MOSFET Sensor by 0.18 $\mu\text{m}$ CMOS Process	5. 発行年 2023年
3. 雑誌名 IEEJ Transactions on Sensors and Micromachines	6. 最初と最後の頁 300 ~ 305
掲載論文のDOI（デジタルオブジェクト識別子） 10.1541/ieejsmas.143.300	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計10件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 Tomochika Harada, Keito Yamaguchi, Shinya Suzuki, Kota Oikawa
2. 発表標題 An Indirect Measuring Method for the Flow-Through Current using Multi-Output MOSFET
3. 学会等名 2022 International Conference on Solid State Device and Materials(SSDM) (国際学会)
4. 発表年 2022年

1. 発表者名 鈴木慎弥, 原田知親
2. 発表標題 0.18 $\mu\text{m}$ 多端子MOSFET型センサのプローブ位置と温度に対する磁界特性評価
3. 学会等名 第39回「センサ・マイクロマシンと応用システム」シンポジウム
4. 発表年 2022年

1. 発表者名 神谷壮紀, 鈴木慎弥, 高橋英之, 原田知親
2. 発表標題 8角形多端子MOSFETの各端子の磁界検出特性の評価
3. 学会等名 令和5年度東北地区若手研究者研究発表会
4. 発表年 2023年

1. 発表者名 原田知親
2. 発表標題 SOI構造を有する多端子MOSFET素子の動作解析
3. 学会等名 電気学会電子回路研究会
4. 発表年 2023年

1. 発表者名 原田知親
2. 発表標題 多端子MOSFETによる貫通電流の間接計測の考察
3. 学会等名 電気学会電子回路研究会
4. 発表年 2022年

1. 発表者名 原田知親
2. 発表標題 多端子MOSFETによる低電圧回路の温度補償への応用
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2021年

1. 発表者名 原田知親
2. 発表標題 ミニマルファブを用いた多端子8角形SOI-MOSFETの試作と評価
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2022年

1. 発表者名 山口慶人・鈴木慎弥・及川康太・原田知親
2. 発表標題 多端子MOSFETによるインパータを流れる電流の間接計測とその評価
3. 学会等名 電子情報通信学会 電子部品・材料研究会
4. 発表年 2022年

1. 発表者名 及川 康太, 鈴木 慎弥, 原田 知親
2. 発表標題 0.18 $\mu\text{m}$ 8角形多端子nMOSFETの多機能化に関する研究
3. 学会等名 電子情報通信学会 集積回路研究会
4. 発表年 2021年

1. 発表者名 伊藤孝充, 神谷壮紀, 二瓶匠充, 原田知親
2. 発表標題 多端子CMOSインパータを用いた回路動作における電流変化の間接計測とその評価
3. 学会等名 令和6年東北地区若手研究者研究発表会
4. 発表年 2024年



〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------