

令和 6 年 6 月 14 日現在

機関番号：34416

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K04160

研究課題名（和文）積層半導体基板におけるキャリア輸送特性の高精度抽出法に関する研究

研究課題名（英文）A Study on Parameter Extraction Method of Carrier Transport Properties in Layered Semiconductor Substrates

研究代表者

佐藤 伸吾（Sato, Shingo）

関西大学・システム理工学部・准教授

研究者番号：60709137

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本研究は半導体素子の形成工程を経ることなく、積層構造を有する半導体基板の電気物性・界面品質を、高精度に評価する手法を開発することを目的として研究を開始した。積層基板向けの評価手法であるPseudo-MOS法を用いて電気物性値を抽出するにあたり、必須となる測定構成・基板条件を明らかにした。またそれらの条件下で容量値の周波数依存性を測定した際に、薄膜界面近傍に形成されるチャンネル上を交流信号が伝搬する際に観測される特定周波数における容量値の極大化をはじめて確認した。

研究成果の学術的意義や社会的意義

近年、活発に研究されている積層半導体基板に関して、半導体素子構造を形成することなく電気物性値を高精度に抽出する検査手法を開発することは各種材料やその積層構造開発の加速に資するものである。特に本研究を通して検査手法の高精度化に向けた測定構成・条件を明確化し、またその条件下で交流信号のチャンネル伝搬を観測できたことは界面品質に関連する検査手法の高精度化に向けた見込みを得たという点において社会的意義が大きい。

研究成果の概要（英文）：This research was initiated with the aim of developing a method for accurately evaluating the electrical properties and interface quality of semiconductor substrates with a stacked structure without the fabrication process of the semiconductor device. We clarified the essential measurement configuration and substrate conditions for extracting electrical properties using the Pseudo-MOS method, which is an evaluation method for multilayered substrates. The frequency dependence of the capacitance value was measured under these conditions, and the maximum of the capacitance value at a specific frequency observed when an AC signal propagates over the channel formed near the thin-film interface was confirmed for the first time.

研究分野：半導体

キーワード：pseudo-MOS法 積層半導体基板 Kelvin法 伝送線路モデル 容量-電圧特性

## 様式 C - 19、F - 19 - 1 (共通)

### 1. 研究開始当初の背景

産業的に大成功をおさめたシリコンを用いた半導体素子において、その電気物性に起因する素子能力の限界が顕在化しつつあり、近年、新規材料や積層構造化により半導体素子能力の向上を模索する研究・開発が活発化している。

新規材料や積層構造は要素技術開発や電気物性評価に関する知見が十分に蓄積・共有されておらず、それらの半導体素子開発において予期せぬ不具合に直面し、その究明や解析に多くの時間が費やされる。金属との接合や半導体素子の形成工程を経ることなく、電気物性を評価する手法が実現されれば、電氣的導通の確保を目的とする接合技術開発が不要となり、新規材料や積層構造を活用した半導体素子に関する研究開発の活発化が期待される。

### 2. 研究の目的

金属との接合や半導体素子の形成工程を経ることなく、積層構造を有する半導体基板の電気物性・界面品質を、非破壊・高精度に評価する手法を開発することを目的とする。積層基板向けの電気物性の評価手法 pseudo-MOS 法において直流法の高精度化ならびに交流法への拡張を実施し、積層薄膜界面の電氣的品質に関連する、電気物性を評価する手法を開発する。

具体的には薄膜界面に形成された電荷層(チャネル)を伝導するキャリアの輸送特性(キャリア移動度のチャネル電荷量依存性)、ならびに薄膜界面の電氣的品質(界面欠陥密度)を評価する手法を確立することを目的とする。あらゆる積層基板に適用可能な電気物性の評価手法を開発することにより、新規材料を用いた半導体素子の開発速度の向上、半導体素子能力の向上に貢献する。

### 3. 研究の方法

直流・交流いずれの場合も pseudo-MOS 法は積層半導体基板上に金属探針を配置した後、金属探針-基板裏面に直流電圧を印加することで薄膜界面にチャネルを形成し、薄膜界面の電氣的品質に密接に関連する電気物性値を抽出する(図1)。

#### (1)直流 pseudo-MOS 法

直流 pseudo-MOS 法では、抽出する電気物性値が金属探針の試料端に対する配置方法、試料端からの距離に依存する。金属探針の配置方法・試料端からの距離依存性を補正するために、二重配置法により電気物性値の高精度抽出を試行する。

#### (2)交流 pseudo-MOS 法

標準的な MOS 構造における電気特性解析では電気容量やコンダクタンスの電圧依存性や周波数依存性を用いて解析するが、交流 pseudo-MOS 法ではこれらを用いた解析が十分には確立されていない。そのため、最初に積層半導体基板の金属探針-基板裏面間のインピーダンスを解析し、積層半導体基板内の電気素子成分を同定する。その成分が測定方法に起因する場合はその除去方法を提案し、チャネル層に起因する電気特性が取得可能となる測定条件を明らかにする。その後、交流信号のチャネル上伝搬が発生した場合に観測される、電気容量の周波数依存性上の測定結果を議論する。

### 4. 研究成果

#### (1)直流 pseudo-MOS 法

金属探針の試料端に対する配置方法、試料端からの距離依存性を検証するためにドレイン電流とチャネルコンダクタンスの試料端からの距離依存性を測定した(図2)。ドレイン電流では明確な依存性は確認できない一方、チャネルコンダクタンスは試料端からの距離に明確な依存性を確認した。ドレインコンダクタンスは接触抵抗を除去する構成となっている一方、ドレイン電流は金属探針と薄膜層への接触抵抗が含まれていることから、直流 pseudo-MOS 法を用いて高精度に電気物性値を抽出するためには接触抵抗を除去する必要があることが分かった。

これらの測定結果をもとにして、pseudo-MOS 法に二重配置法を適用して低電界移動度を抽出した(図3)。金属探針の配置が試料端に対して垂直・平行となる場合の2種類を試行し、それぞれの試料端からの距離依存性を検証した。そ

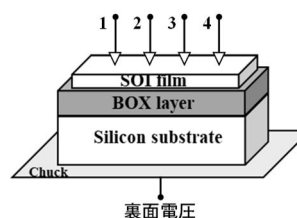


図1. pseudo-MOS 法の概要図  
金属探針-基板裏面に直流電圧、金属探針に直流・交流電圧を印加し、薄膜界面の電気物性値を抽出する。

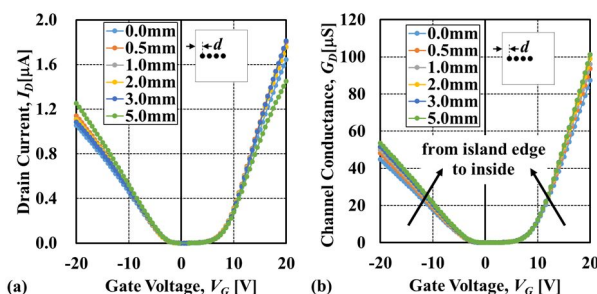


図2. 試料端からの距離の関数として測定を実施した  
(a)ドレイン電流と(b)チャネルコンダクタンスの裏面電圧依存性

の結果、金属探針を試料端に対して垂直に配置する場合は二重配置法により試料端距離依存性を補正することが可能であるが、金属探針を試料端に対して平行方向に配置する場合は二重配置法でも試料端距離依存性を補正することができないことが判明した。二重配置法による補正を適用するためには金属探針の共線に対して試料が対称とならなければならない、直流 pseudo-MOS 法を用いて高精度に低電界移動度を抽出するためには金属探針の共線に対して試料を対称となるように配置したうえで二重配置法による補正を実行する必要があることが分かった。

(2) 交流 pseudo-MOS 法

最初に交流 pseudo-MOS 法で使用される測定構成の検証を実施した。LCR メータ等での標準的な測定構成 (Standard) を用いて、積層半導体基板のインピーダンスの周波数依存性を測定したところ (図 4)、測定周波数に依存しない素子成分が観測された。この素子成分は金属探針-薄膜間の接触抵抗だと推測されたため、接触抵抗を除去する測定構成 (Kelvin) に変更し、再度測定を行った。その結果、上述の素子成分の値が劇的に低減され、金属探針-薄膜間の接触抵抗除去を確認することができた。しかしながら、上述した測定構成においても、測定周波数に依存しない素子成分が残存している。この素子成分が基板裏面-測定チャック間の接触抵抗であると推測されたため、裏面に金属膜を蒸着し、再度測定を行ったところ、残存していた素子成分がさらに低減され、かつ残存抵抗値が裏面電圧に依存しない測定結果が得られた (図 5)。上記の結果から交流 pseudo-MOS 法では金属探針ならびにチャックから発生する接触抵抗を除去するために、標準構成とは異なる特殊な測定構成が必要であること、また積層半導体基板裏面への金属蒸着が必要であることがあきらかとなった。

上記測定構成・条件で接触抵抗を除去したうえで容量-電圧特性を測定した結果、低印加周波数において直列容量  $C_s$ ・並列容量  $C_p$  いずれの場合にも理論的に予測される積層構造基板の容量特性を得た。同様の条件において周波数依存性を測定したところ、直列容量・並列容量特性いずれの場合においても、数十 kHz 近傍に明確な容量値の極大値を観測した (図 6)。この容量値は絶縁膜層の膜厚から決定される理論値  $C_{BOX}$  を超える値となっている。この特性は交流信号が薄膜界面近傍に形成されるチャンネル上を伝搬することによって発生することが本研究中に伝送線路モデルを用いたモデリング結果から判明しており、その印加周波数依存性はモデリング結果と定性的に一致している。また測定結果より容量極大値と周波数値が裏面電圧依存性を持つこと、またチャンネルの極性が負の場合は主に極大値のみが変調され、チャンネルの極性が正の場合は極大値と周波数値が変調されることがわかった。これらは薄膜中のチャンネル、空乏層、バルク層の形成状況に密接に関係していることを示しており、これらのモデリングにより界面品質に由来する移動度をはじめとする電気物性値を抽出できる見込みを得た。

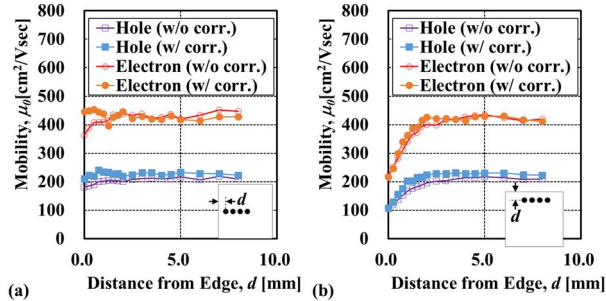


図 3. 低電界移動度の試料端からの距離依存性  
金属探針の配置が試料端に対して (a) 垂直の場合 (b) 平行の場合

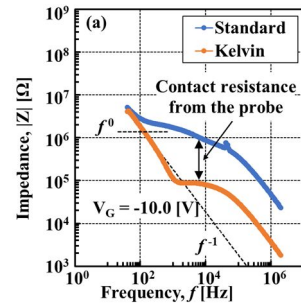


図 4. 2 種類の測定構成におけるインピーダンスの周波数依存性

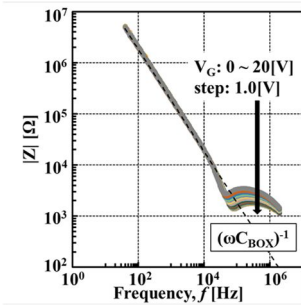


図 5. 裏面に金属膜蒸着後のインピーダンスの周波数依存性

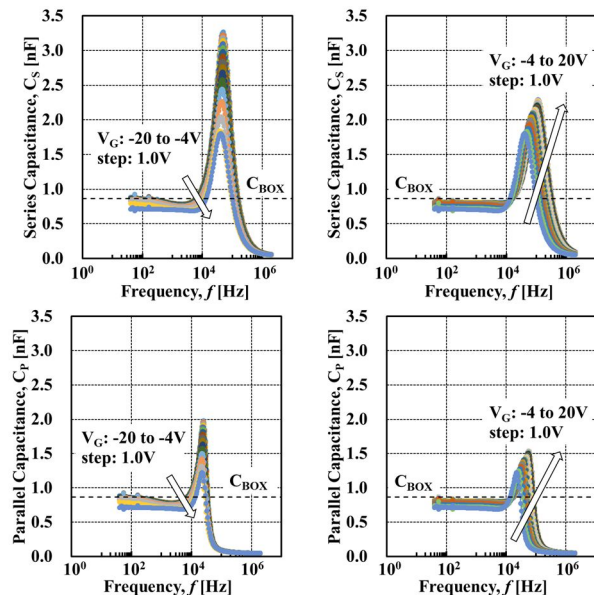


図 6. 測定容量値の周波数依存性

はじめとする電気物性値を抽出できる見込みを得た。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Mori Daigo, Nakata Iori, Matsuda Masayoshi, Sato Shingo	4. 巻 68
2. 論文標題 Detailing Influence of Contact Condition and Island Edge on Dual-Configuration Kelvin Pseudo-MOSFET Method	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 2906 ~ 2911
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TED.2021.3074115	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yuan Yifan, Sato Shingo	4. 巻 210
2. 論文標題 Detailed analysis of electrical components on a layered wafer via the AC pseudo-MOS method	5. 発行年 2023年
3. 雑誌名 Solid-State Electronics	6. 最初と最後の頁 108811 ~ 108811
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/j.sse.2023.108811	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Sato Shingo, Yuan Yifan	4. 巻 217
2. 論文標題 Detailed analysis of the capacitance characteristic measured using the pseudo-metal?oxide?semiconductor method	5. 発行年 2024年
3. 雑誌名 Solid-State Electronics	6. 最初と最後の頁 108950 ~ 108950
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/j.sse.2024.108950	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件／うち国際学会 3件）

1. 発表者名 Y. Yuan, and S. Sato
2. 発表標題 Detailed analysis of electrical components on a layered wafer with an ac pseudo-MOS method
3. 学会等名 9th Joint International EuroSOI Workshop and International Conference on Ultimate Integration on Silicon（国際学会）
4. 発表年 2023年

1. 発表者名 Y. Yuan, and S. Sato
2. 発表標題 Detailed analysis of electrical components on SOI wafer with an ac pseudo-MOS method,
3. 学会等名 The 2022 International Meeting for Future of Electron Devices, Kansai (国際学会)
4. 発表年 2022年

1. 発表者名 袁一凡, 佐藤伸吾
2. 発表標題 高精度電気物性値抽出に向けた積層半導体基板評価技術の開発
3. 学会等名 第27回関西大学先端科学技術シンポジウム
4. 発表年 2023年

1. 発表者名 Shingo Sato
2. 発表標題 Modeling the propagation of ac signal on the channel of the pseudo-MOS method
3. 学会等名 2021 Joint International EUROS01 Workshop and International Conference on Ultimate Integration on Silicon (EuroS01-ULIS) (国際学会)
4. 発表年 2021年

1. 発表者名 袁一凡, 佐藤伸吾
2. 発表標題 AC pseudo-MOS法による積層ウエハ上の電氣的成分の詳細解析
3. 学会等名 第28回関西大学先端科学技術シンポジウム
4. 発表年 2024年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------