

令和 6 年 6 月 21 日現在

機関番号：82626

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K04166

研究課題名（和文）SiC-MOS界面特有の散乱体の起源検証とその抑制によるチャネル抵抗低減

研究課題名（英文）Investigation of the dominant scattering origins in the SiC-MOS interface and reduction of channel resistance through their suppression

研究代表者

染谷 満 (Sometani, Mitsuru)

国立研究開発法人産業技術総合研究所・エネルギー・環境領域・主任研究員

研究者番号：60783644

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本提案ではSiC-MOSFETのチャネル抵抗低減に向けて、MOS界面を流れるチャネル電子の特異な散乱機構の解明とその抑制を目的として研究を行った。SiCにおいてはMOS界面の原子的凹凸が特異な散乱の要因になると予想し、平坦な界面を有するMOSFETの創出を試みた。究極的な形状である原子的に平坦な界面を有するMOSFETの完成には至れなかったが、界面平坦性と移動度の相関を取り、散乱の要因に関する知見を得ることができた。

研究成果の学術的意義や社会的意義

当初目指していた原子的に平坦な界面を有するMOSFETの完成には至れなかったが、界面平坦性と移動度の相関から、SiC-MOS界面の特異な散乱の要因を明らかにすることで、SiC-MOSFETのさらなるポテンシャルを示した。今後は本研究で得られた指針をもとに、SiC-MOSのプロセス開発が加速されていくものと考えられる。

研究成果の概要（英文）：In this study, we researched a process to reduce the channel resistance of SiC-MOSFETs by suppressing the unique scattering mechanisms of channel electrons at the MOS interface. We focused on the atomic-scale roughness of the MOS interface in SiC. Therefore, we attempted to fabricate MOSFETs with a flat interface. Although we did not achieve the ultimate goal of fabricating MOSFETs with an atomically flat interface, we were able to correlate interface flatness with mobility and gain insights into the factors contributing to scattering.

研究分野：電気電子材料工学関連

キーワード：SiC MOS界面 パワーデバイス 散乱 移動度 プロセスインテグレーション

1. 研究開始当初の背景

シリコンカーバイド(SiC)に代表されるワイドバンドギャップ半導体デバイスをパワー機器に搭載することで、小型・軽量化、低消費電力化を実現できる。しかしながら従来の Si デバイスと比較して素子のコストが課題となり、現状では Si より高性能であるにも関わらず普及が進んでいない。SiC デバイスの低コスト化に向けては、単位面積当たりの素子の抵抗を小さくする必要があり、特に電気自動車等への適用が想定される市場規模の大きい 1.2kV 級の MOS デバイスにおいては、素子抵抗の大部分を占めるチャンネル抵抗の低減が求められる。

チャンネル抵抗は MOS 界面を流れる可動電子の密度と移動度により決定される。可動電子密度に対しては、酸化プロセスの改善により、SiO₂/SiC 界面に存在していた電子トラップを抑制することで向上しつつある。しかしながらそれでもチャンネル抵抗が期待値ほど改善していないのが現状であり、それは可動電子移動度が期待値より大幅に低いことに由来する。

研究代表者の染谷は先行研究により、SiC-MOS 界面には、Si 半導体で知られているクーロン散乱、フォノン散乱、ラフネス散乱とは異なる、SiC 特有の散乱源が存在し、それが可動電子移動度の改善を阻害していることを明らかにしている[1]。そしてチャンネル抵抗低減に向けては、この SiC 特有の散乱体の起源同定と抑制が課題であった。

2. 研究の目的

可動電子移動度を劣化させる SiC 特有の界面散乱体の起源の候補として最初に考えつくのは、SiO₂/SiC 界面に多量に存在する電子トラップに起因するクーロン散乱、あるいは界面に多量に存在する炭素起因欠陥だが[2]、研究代表者らの先行研究によりこれらは起源とはならないことをつきとめていた[1]。一方、SiC は表面の形状バラつきにより伝導帯下端が揺らぐ、特異な性質を有するという計算物理の分野からの報告を参考に、熱酸化等の MOS 形成プロセスにより発生する界面の原子的凹凸が、チャンネル領域においてミクロな伝導帯下端揺らぎを生み出し、それが SiC 特有の界面散乱体の起源になっていると予想した。そこで、界面の原子的凹凸の少ない MOS 界面を創出することで、SiC 特有の界面散乱体の起源の探索とその抑制を行うことを目的とした。

3. 研究の方法

本研究では当初、SiC の(0001)Si 面に対して高温熱処理を行い、バンチングを伴う原子的平坦面を利用することで、界面の原子的凹凸の少ない MOS 界面の創出を試みた。しかしながら、高温熱処理の際に SiC 表面に形成されるグラフェンが MOSFET 特性を悪化させることが分かったため、原子的平坦界面を有する MOSFET 作製プロセスの再構築を行いつつ、SiC 特有の界面散乱体の起源を探る手法としては、SiC の(1100)m や(1120)a 面等の非基底面を用いる実験に計画を変更した。特に(1120)a 面は Wet 酸化をすることでチャンネル移動度が特異に向上することに着目し、その要因探索から散乱体の起源の検証を行った。

ドーピング濃度が 10¹⁶ cm⁻³ 台の a、m 面 p エピ基板を準備し、その基板上に Hall 端子を有する n-ch MOSFET を作製した。約 60 nm のゲート酸化膜はパイロジェニック Wet 酸化またはドライ酸化後の NO-POA により形成した。0.48 T の電磁石を用いたホール効果測定を行い、各試料の μ_{Hall} および可動電子密度(N_{free})を求めた。その際、ホールファクターとして 1 を用いた。なお、今回使用した a、m 面基板はそれぞれ不純物濃度が異なったため、ホール効果測定時に基板に電圧を印加し、実効的な不純物濃度を調整する手法を用いた[3]。Hall 測定より求めた可動電子密度の反転電子密度(N_{total})に対する割合(N_{free}/N_{total})を評価するため Split-CV 方による反転電子密度評価も行った。

4. 研究成果

図 1 に NO プロセス及び Wet 酸化プロセスで作製した a、m 面 MOSFET の可動電子割合(N_{free}/N_{total})を示す。全ての試料で可動電子割合は同等の値であり、これは界面の電子トラップの密度も同等であることを意味している。

図 2 に NO プロセス及び Wet 酸化プロセスを用いて作製した MOSFET の μ_{FE} および μ_{Hall} を示す。a 面試料においては Wet 酸化プロセスによる顕著な移動度増加が見られ、これは界面散乱低減効果によると考えられるが、一方、m 面においてはそれほど大きな酸化プロセス依存性は見られなかった。

図 3 では基板電圧印加を行うことで a 面、m 面の μ_{Hall} を、実効的な不純物濃度をそろえて比較し

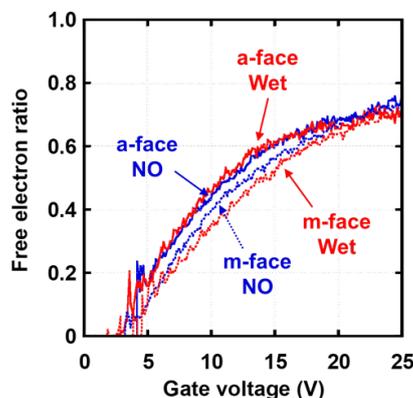


図 1 NO プロセス及び Wet 酸化プロセスで作製した a、m 面 MOSFET の可動電子割合

ており、NO プロセス試料においては、既報の通り a、m 面の μ_{Hall} に差はなく [3]、a 面のみ Wet 酸化で大幅な移動度改善がみられた。その要因を探索するため酸化膜を希フッ酸で剥離し、 SiO_2/SiC 界面ラフネスを、原子間力顕微鏡(AFM)を用いて評価したところ、a 面 Wet 酸化試料のみ有意なラフネス低減が見られた(図 4)。この結果は SiC 特有の界面散乱体の量は界面のラフネスに依存することを示唆している。研究分担者である平井は SiC/SiO_2 の界面には正と負のクーロン散乱体が同等量存在し、その結果を受け畠山らは SiC 特有の界面散乱体の候補としてダイポール散乱を提案している [4]。以上を勘案すると、SiC を酸化する際に界面に形成されるマイクロステップにおいて界面のダイポールが乱れ、それが散乱体として振る舞うことで SiC-MOS の可動電子移動度が低減されることが示唆される。これらの知見は、研究代表者らが提案している原子的平坦界面 SiC-MOSFET の有効性を強く示唆するものであり、今後のさらなる研究の進展が期待される。

- [1] M. Sometani *et al.*, Appl. Phys. Lett. **115**, 132102 (2019).
- [2] M. Sometani *et al.*, APL Mater. **11**, 11119 (2023).
- [3] H. Hirai *et al.*, Appl. Phys. Lett. **117**, 042101 (2020).
- [4] T. Hatakeyama *et al.*, J. Appl. Phys. **131**, 145701 (2022).

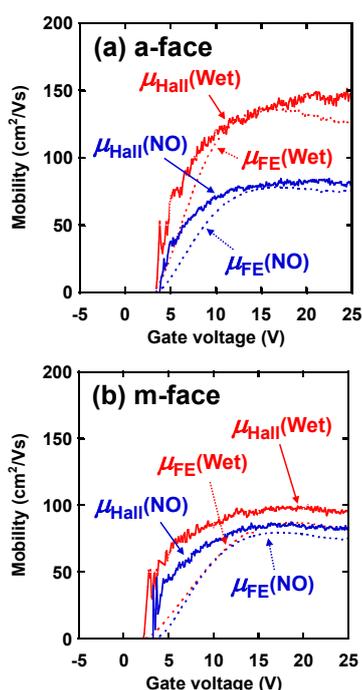


図 2 NO プロセス及び Wet 酸化プロセスで作製した(a) a 面、(b) m 面 MOSFET のチャネル移動度

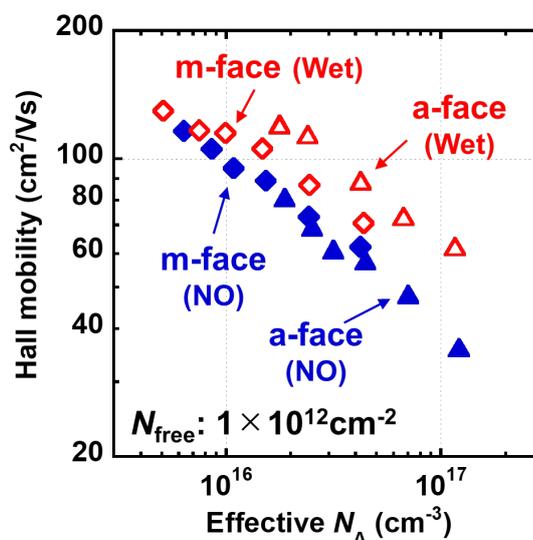


図 3 NO プロセス及び Wet 酸化プロセスで作製した MOSFET のホール効果移動度の面方位比較

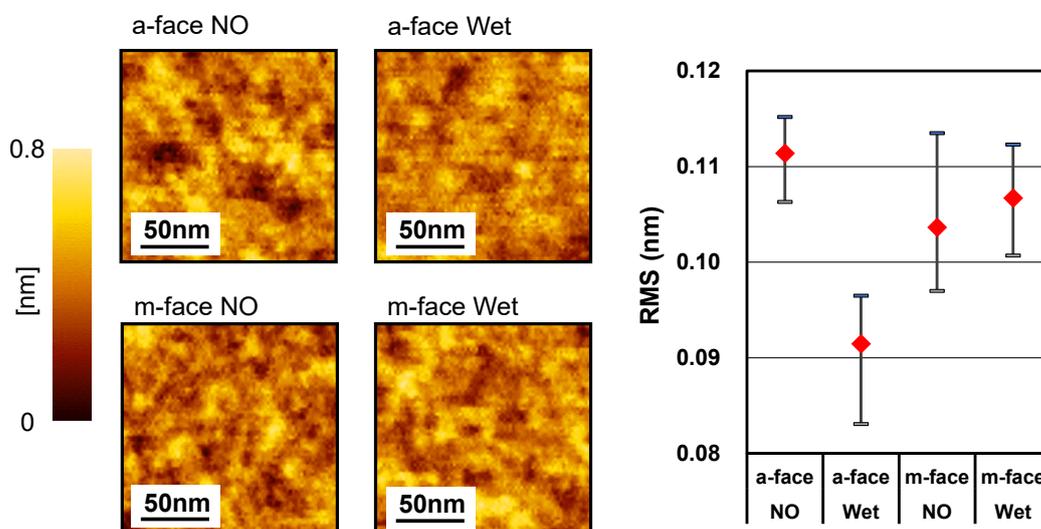


図 4 NO プロセス及び Wet 酸化プロセスを行った a、m 面 SiO_2/SiC 界面のラフネス比較

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 M. Sometani, H. Hirai, M. Okamoto, T. Hatakeyama, S. Harada
2. 発表標題 Impact of oxidation process on electron scattering and roughness at 4H-SiC non-polar MOS interfaces
3. 学会等名 19th International Conference on Silicon Carbide and Related Materials 2022 (国際学会)
4. 発表年 2022年

1. 発表者名 染谷満、平井悠久、岡本光央、畠山哲夫、原田信介
2. 発表標題 4H-SiC非極性面上のMOS界面散乱に対する酸化プロセスの影響
3. 学会等名 先進パワー半導体分科会第8回講演会
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	平井 悠久 (Hirai Hirohisa) (10828122)	国立研究開発法人産業技術総合研究所・エネルギー・環境領域・研究員 (82626)	
研究分担者	升本 恵子 (Masumoto Keiko) (60635324)	国立研究開発法人産業技術総合研究所・エネルギー・環境領域・主任研究員 (82626)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------