

令和 6 年 6 月 17 日現在

機関番号：21602

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K11812

研究課題名（和文）非同期式回路による省エネルギーなエッジAIデバイスの実現

研究課題名（英文）Realization of energy efficient edge AI devices using asynchronous circuits

研究代表者

齋藤 寛 (SAITO, HIROSHI)

会津大学・コンピュータ理工学部・教授

研究者番号：50361671

交付決定額（研究期間全体）：（直接経費） 2,400,000円

研究成果の概要（和文）：本研究では、非同期式回路による省エネルギーなエッジAIデバイスの実現を目的に研究を行った。エッジAIデバイスは、プロセッサとアクセラレータ、及びそれらを接続するインターフェースから構成される。まず、オープンソースのRISC-Vプロセッサと非同期式二値化ニューラルネットワーク(BNN)回路を設計した。次に、同期式RISC-Vプロセッサと非同期式BNN回路を接続するためのインターフェース回路を設計した。最後に、これらを全て組み合わせたエッジAIデバイスをFPGAに実装すると共に、評価を行った。全てを同期式回路とした場合と比べ、消費エネルギーを約34%削減することができた。

研究成果の学術的意義や社会的意義

本研究の学術的意義は、非同期式回路による省エネルギーなエッジAIデバイスの実現にある。クロック信号を用いて回路全体を制御する同期式回路は、高周波なクロック信号を広範囲に分配しようとする、クロック信号の消費電力が非常に高くなる。この問題を解決するために、非同期式回路を利用した。一方、AI以外の処理はプロセッサで実行し、AI処理の部分を高速化のためにアクセラレータで実行するというのは、エッジデバイスでも一般的な構成である。そのため、同期式プロセッサ、非同期式アクセラレータ、及びそれらを接続するインターフェース回路を実現した上で消費エネルギーの優位性を確認した。

研究成果の概要（英文）：The purpose of this research was to realize an energy efficient edge AI device using asynchronous circuits. The edge AI device consists of a processor, an accelerator, and an interface circuit connecting them. First, we designed an open-source RISC-V processor and an asynchronous binarized neural network (BNN) circuit. Next, we designed an interface circuit to connect the synchronous RISC-V processor and the asynchronous BNN circuit. Finally, an edge AI device combining all of these circuits was implemented on an FPGA and evaluated. We were able to reduce the energy consumption by about 34% compared to the case where all the circuits were synchronous circuits.

研究分野：計算機工学

キーワード：非同期式回路 FPGA 畳み込みニューラルネットワーク

1. 研究開始当初の背景

現場に近い場所で深層学習による推論を行うエッジ AI システムが注目を浴びており、これまでに様々なエッジ AI デバイスが開発されてきた [1, 2]。エッジ AI デバイスで使用されているプロセッサや推論アクセラレータは、クロック信号によって回路全体を制御する同期式回路として実現されている。しかしながら、同期式回路では、クロック信号で制御するレジスタやメモリの量が増えると、クロック信号における消費電力が問題となる。回路の各部品が自己タイミングで動作する非同期式回路は、クロック信号がないため、同期式回路より低消費電力な回路が期待できる。しかしながら、同期式回路と比較して設計が難しく、設計を支援するツールも乏しいため、実際の利用例は少ない。また、研究開始前の段階で、非同期式回路によるエッジ AI デバイスの実現例は存在しなかった。

[1] Google, “Coral”, <https://coral.ai/>

[2] Sipeed, “Sipeed Maixduino”, <https://maixduino.sipeed.com/en/>

2. 研究の目的

本研究では、非同期式回路による省エネルギーなエッジ AI デバイスの実現を目的として研究を行った。エッジ AI デバイスの構成は、制御処理を行うプロセッサ、推論処理を行うアクセラレータ、およびそれらを接続するインターフェース回路からなる。これらを非同期式回路として設計し、Field Programmable Gate Array (FPGA) に実装すると共に、評価を行うことで、非同期式回路のエネルギーの面での有効性を明らかにする。

3. 研究の方法

プロセッサには、オープンソースで注目を浴びている RISC-V プロセッサを用いる。アクセラレータは、畳み込みニューラルネットワークを用いる。まず、畳み込みニューラルネットワークモデルより、入出力、及び重みを 1 と -1 で量子化した二値化ニューラルネットワーク (Binarized Neural Network) モデルを生成する。次に、RISC-V プロセッサと BNN モデルを同期式回路として Verilog Hardware Description Language (HDL) にてモデリングを行う。その後、これまでに自分たちが開発した同期式回路モデルから非同期式回路モデルへ変換する変換ツールを用いて、これらの Verilog HDL モデルから非同期式回路モデルへの変換を行い、非同期式 RISC-V プロセッサと非同期式 BNN 回路モデルを生成する。これらの回路モデルに対して、FPGA 設計支援環境を利用して回路合成と機能検証を行う。なお、非同期式回路に特有なタイミング検証や遅延調整は、これまでに自分たちが開発した設計支援ツールセットを用いて行う。プロセッサとアクセラレータの設計の後、同期式 RISC-V プロセッサと非同期式 BNN 回路を接続するインターフェース回路の設計を行う。同期式回路同士、非同期式回路同士、および同期式回路と非同期式回路を接続するにあたり、同期式回路と非同期式回路の接続を行うインターフェース回路が最も複雑となる。これは、タイミングの取り方が異なるため、同期式回路用のシンクロナイザーと非同期式回路用のシンクロナイザーの両方が含まれるためである。エッジ AI デバイスは、同期式 RISC-V プロセッサ、非同期式 BNN 回路、インターフェース回路を全て接続し実現する。実現後、回路面積、実行時間、動的消費電力、及び消費エネルギーを評価する。また、全てを同期式回路として実現したものも準備することで、非同期式回路を含んだエッジ AI デバイスの消費エネルギーの面での優位性を比較評価する。この他、最適化手法として、ランダムフォレストを用いた近似 BNN 回路、及びバースト転送を実現するインターフェース回路の設計を行う。

4. 研究成果

設計した非同期式 RISC-V プロセッサを評価したところ、実行時間と動的消費電力が同期式 RISC-V と比較して 25.4%と 4.2%増加したため、消費エネルギーが約 30%増加した。実行時間が増加した理由は、遅延素子を含む制御回路の遅延が大きくなったことにある。このため、本研究では、同期式 RISC-V プロセッサを用いることとした。非同期式 BNN 回路は、当初手書き数値を分類する LeNet を基にした。同期式 BNN 回路と比べ、サイクルタイムは 22.6%増加したが、動的消費電力が 60.5%削減できたため、消費エネルギーは 52%の削減となった。非同期式 BNN 回路において動的消費電力が大幅に削減できたのは、クロック信号における消費電力がなくなったためである。次に、同期式 RISC-V プロセッサと非同期式 BNN 回路の接続を想定し、インターフェース回路を設計した。このインターフェース回路は、同期式インターフェースと非同期式インターフェースからなる。同期式インターフェースは、一般的な double flip-flop からなるシンクロナイザーを用いた。一方、非同期式インターフェースは、Click Element と呼ばれる非同期式制御回路を用いた。各回路の設計や評価の後、エッジ AI デバイスとして、同期式 RISC-V プロセッサ、非同期式 BNN 回路、インターフェース回路を全て接続し、回路合成や検証を行った。ここで用いた非同期式 BNN 回路は、多層パーセプトロンである。エッジ AI デバイス全体を同期式回路として実現したものとは比べ、非同期式 BNN 回路を用いることで消費エネルギーを約 34%削減することができた。現在、ランダムフォレストを用いた近似 BNN 回路やバースト転送を実現するインターフェース回路の設計を行っており、これらをエッジ AI デバイスに組み込んだ際の評価は今後の課題である。以上の研究成果を、2

本の査読付き論文誌及び3本の査読付き国際会議にて発表した。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件/うち国際共著 0件/うちオープンアクセス 2件）

1. 著者名 Semba Shogo, Saito Hiroshi	4. 巻 11
2. 論文標題 A Design Support Tool Set for Interface Circuits Between Synchronous and Asynchronous Modules	5. 発行年 2023年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 13408 ~ 13420
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2023.3243224	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Semba Shogo, Saito Hiroshi	4. 巻 10
2. 論文標題 RTL Conversion Method From Pipelined Synchronous RTL Models Into Asynchronous Ones	5. 発行年 2022年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 28949 ~ 28964
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2022.3158487	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件/うち国際学会 3件）

1. 発表者名 Semba Shogo, Saito Hiroshi
2. 発表標題 A Study on the Design of Interface Circuits Between Synchronous-Asynchronous Modules Using Click Elements
3. 学会等名 The 24th Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2022年

1. 発表者名 Yasuyuki Suzuki, Shogo Semba, Yoichi Tomioka, and Hiroshi Saito
2. 発表標題 Autonomous Driving Robot Using FPGA and BNN with Random Forest
3. 学会等名 The 16th IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-2023) (国際学会)
4. 発表年 2023年

1. 発表者名 Shogo Semba and Hiroshi Saito
2. 発表標題 A Study on an Interface Circuit for Burst Transfers from Synchronous to Asynchronous Circuits Considering Cycle Times
3. 学会等名 The 25th Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2024年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関