

令和 6 年 6 月 14 日現在

機関番号：82626

研究種目：若手研究

研究期間：2021～2023

課題番号：21K14207

研究課題名（和文）再成長技術を駆使した横型ナノシートチャネルトンネルFETの作製と解析

研究課題名（英文）Lateral nano-sheet channel tunnel FETs using regrowth technology in source and drain region

研究代表者

後藤 高寛（GOTOW, Takahiro）

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・研究員

研究者番号：70827914

交付決定額（研究期間全体）：（直接経費） 3,500,000円

研究成果の概要（和文）：本研究では、様々なトランジスタの中でも原理的に極低電圧動作が可能なトンネルFETに着目し、高速動作に必要な高電流密度を得るため、ソース・チャネル接合にトンネル距離の短縮が可能なGaAsSb/InGaAs Type-IIヘテロ接合を、原子層レベルで平坦性を制御可能なナノシート構造をチャネル領域に採用する。このような構造においてソース・ゲート接合近傍における不純物濃度や形状がTFETの電気特性に与える影響についてTCADを用いて検討した。その結果、非局所トンネリングモデルがTFETの電気特性解析に適していること、ソース領域の不純物濃度は $\sim 10^{19}\text{cm}^{-3}$ 以上の濃度が必要であることが分かった。

研究成果の学術的意義や社会的意義

トンネルトランジスタは、2004年にカーボンナノチューブを用いて初めて動作が実証されたのを皮切りに、従来のMOSFETの極限機能を超えた極低電圧動作が実現可能なデバイスとして世界中で凌ぎを削る研究開発が行われている。また、ナノシート構造はSi-MOSFETにおいても技術ノード3nm以降のプロセスで、同じ回路面積あたりの実効ゲート幅を縮小可能であることから採用されると言われている。本研究では、新原理とナノシート構造の二つの観点に同時に取り組んでおり社会的意義が高い。

研究成果の概要（英文）：To obtain the high current density required for high-speed operation, a GaAsSb/InGaAs Type-II heterojunction with a short tunneling length is attractive for the source-channel junction. The nanosheet channel structure was employed because of the merit of controllable flatness using MOCVD. We investigated the effects of impurity concentration and shape near the source-gate junction on the electrical characteristics of TFETs in such a structure using TCAD analysis. As a result, it was found that the nonlocal tunneling model is suitable for analyzing the electrical characteristics of TFETs and that an impurity concentration of $\sim 10^{19}\text{cm}^{-3}$ or higher is necessary in the source region.

研究分野：電子デバイス

キーワード：トンネルトランジスタ III-V族化合物半導体

1. 研究開始当初の背景

近年、情報機器の爆発的普及によって目まぐるしい経済発展を遂げている。これまでの情報処理機器の性能向上は、論理集積回路においては Si-MOSFET の微細化によってなされてきた。Si-MOSFET の微細化はこれまで歪み Si 技術、メタルゲート/高誘電体(high-k)ゲート絶縁膜技術の導入などによって進められてきたが、2005 年ごろには微細化そのものは実質的に頭打ちになっている。そこで、デバイスアーキテクチャの改善とデバイスの駆動原理の根本的な変更という両アプローチから検討を進めていく必要がある。

デバイスアーキテクチャとしては、これまで立体型 Fin-FET 構造というブレークスルーによって、技術ノードは 14 nm から 4nm へと進められてきた。しかしながら、Fin-FET では Si の膜厚を薄くすることによって、ゲート長を短くすることが可能であるものの、約 4nm 以下になると量子効果によって、トランジスタの閾値にばらつきが生じる。加えて、酸化膜と Si 界面の影響が強くなり電子の移動度が大きく下がり Fin-FET における特性向上は限界となる。今後の技術ノード 3nm 以降のプロセスでは、同じ回路面積あたりの実効ゲート幅を縮小可能なナノシートゲートオールアラウンド(Nanosheet Gate-All-Around, NS GAA)構造が採用されると言われており、このような構造を実現可能なプロセスを確立することが重要な課題である。

一方で、デバイス原理を抜本的に変更することも並行して検討する必要がある。従来型 MOSFET の駆動原理は電子の熱拡散によるものであるため、フェルミディラック分布のテール部によるリーク電流を本質的に抑制することができず、電流の立ち上がり指標であるサブスレショルド・スロープ($S.S.$)値は 60 mV/dec. で限界となる。そのため、熱励起を伴わない半導体のバンド間トンネル現象をデバイスの駆動原理に用いる本質的に新しいデバイスの開発が求められている。トンネルトランジスタ(TFET)では、通常、半導体材料として Si が用いられるが、Si は間接遷移型半導体であり、トンネル伝導にはフォノンの吸収・放出過程を伴うためトンネル確立が低いことやバンドギャップが 1.12eV と比較的大きいことから、高いオン電流を得ることができない。また、ホモ接合 TFET では高電流密度の実現に必要な非常に短いトンネル距離を得ることができないという問題がある。

そこで、直接遷移型、軽い有効質量という材料的特徴を持つ III-V 族化合物半導体を用いて、ソース・チャネル接合を Type-II ヘテロ接合とすることで、トンネリング距離を短縮した GaAsSb/InGaAs Type-II ヘテロ構造 TFET が最も有力とされ、凌ぎを削る研究開発が行われてきた。実際に申請者も縦型構造を用いて素子を作製し、その特性を報告してきた。しかしながら、縦型構造の TFET には、プロセスの観点から次のような課題がある。まず、縦型 TFET においてソース・チャネル接合部の微細化はイオンエッチングで行われるが、素子の加工技術の精度に起因して素子間や素子内でのばらつきの抑制が難しく、安定して良好な特性のデバイスを得ることが難しい。また、トンネル FET の特性向上のためにはチャネル領域の MOS 界面特性の評価や移動度の評価を行うことが望ましい。しかしながら、界面準位密度は MOS キャパシタの CV 測定から、移動度は長チャネル MOSFET のスプリット CV 測定から算出し評価するため、縦型構造のデバイスとはプロセスが大きく異なり、正確な評価が出来ていなかった。このように既存の CMOS プロセスの評価手法の適用や、それら評価手法を用いて確立されてきた MOS 界面準位密度低減手法への整合性を考慮すると、図 1 に示す様な横型チャネル構造の導入することが最も有効的な解決手法である。

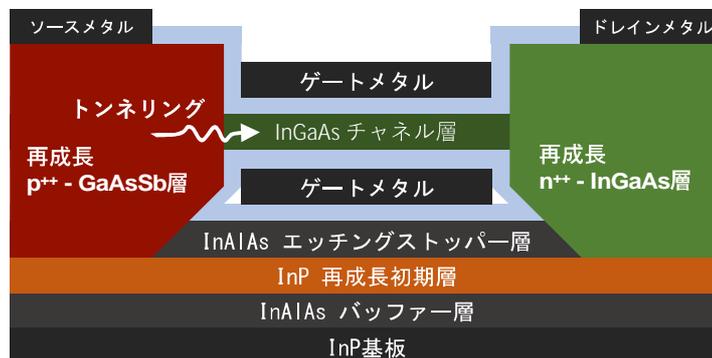


図 1. 本研究課題で提案している GaAsSb/InGaAs ナノシート TFET

2. 研究の目的

本研究では、様々なトランジスタの中でも原理的に極低電圧動作が可能なトンネル FET に着目し、高速動作に必要な高電流密度を得るため、ソース・チャンネル接合にトンネル距離の短縮が可能な GaAsSb/InGaAs Type-II ヘテロ接合を導入する。また、素子内および素子間のばらつきを抑制するため、原子層レベルで平坦性を制御可能なナノシート構造をチャンネル領域に採用する。このような構造においてソース・ゲート接合近傍における不純物濃度や形状が TFET の電気特性に与える影響について検討することを目的とする。

3. 研究の方法

GaAsSb/InGaAs ナノシート TFET の具体的な作製方法としては、図 1 に示すように InP 基板の上に InAlAs バッファ層、InP 再成長初期層、InAlAs エッチングストッパー層、InP 犠牲層、InGaAs チャンネル層、InP 犠牲層からなるヘテロエピタキシャルウエハを準備する。続いて、ドレイン領域を InP 再成長初期成長層までドライおよびウエットエッチングを駆使して削った後、MOCVD 法で n^{++} -InGaAs 層を再成長する。続いて、ソース領域側を再び InP 初期成長層までエッチングする。ソース領域の p^{++} -GaAsSb 層の再成長を行う。このようにソース・ドレイン領域の再成長を 2 回に分けて行うことでウエハに対して横方向に p-i-n 構造を作製することが可能となる。このウエハを必要なゲート長・幅となるようにエッチングでデバイスサイズを定義した後、ウエットエッチングで InP 犠牲層をエッチングする。InP のウエットエッチングは InGaAs や InAsAs に対して選択比が非常に大きいため、十分なエッチング時間を確保することが可能であり、エッチングのむらに左右されない原子層レベルでの平坦性を実現出来る。原子層堆積法(ALD)法で用いて絶縁膜とゲートメタルを堆積させ、最後にソース・ドレイン電極を形成すれば完成である。

ここで重要となるのが、ソース領域をエッチングして再成長した際のソース・チャンネル接合の位置である。今回、ソース・チャンネル接合の位置が TFET の電気特性に与える影響を見積もるため電子と正孔電流の連続の方程式を Poisson の式と連立し、適当な境界条件のもとで自己無撞着に解くことで半導体デバイスの解析が可能な TCAD シミュレータ(Silvaco 社製、Atlas)を使用して 2 次元デバイスシミュレーションを行なった。

4. 研究成果

まずトンネル電流を正確に計算するためにトンネリングモデルの検討を行なった。単純なダイオード構造の場合、トンネル経路上の各メッシュ点におけるバンドプロファイルの電界は常に一定であると仮定している局所トンネリングモデルで十分である。しかしながら、ゲート構造が加わった TFET においては局所トンネリングモデルでは実験結果と大幅に異なることが知られている。これは、局所トンネリングモデルの場合、MOS 界面で電子がトンネルする先がないにも関わらず、非常に強い電界のためにトンネル発生レートを多く見積もってしまうためである。このような問題を解決するため、トンネル経路上のバンドプロファイルの平均の電界を利用する非局所トンネリングモデルが提案されている。そこで、本研究においても局所トンネリングモデルと非局所トンネリングモデル、そして縦型構造における実デバイスの特性との比較を行なった。その結果、非局所トンネリングモデルの方が、実デバイスに近いトンネル電流を得られることがわかった。ナノシート構造に非局所トンネリングモデルを採用して計算したところ、ゲートバイアス変調に伴ってトンネリング確立の変化が確認され、ナノシート TFET の検討においても問題なく用いることができることがわかった。また、ソース領域の不純物濃度の検討を行なった結果、 $\sim 10^{19}\text{cm}^{-3}$ 以上の濃度が必要であることが分かった。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Miyamoto Yasuyuki, Gotow Takahiro	4. 巻 142
2. 論文標題 Simulation Study of Gate-Drain Leakage Current and Density of Polarization Charge at Heterojunction Interface in GaN HEMTs	5. 発行年 2022年
3. 雑誌名 IEEJ Transactions on Electronics, Information and Systems	6. 最初と最後の頁 348 ~ 353
掲載論文のDOI（デジタルオブジェクト識別子） 10.1541/ieejeiss.142.348	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件／うち国際学会 3件）

1. 発表者名 T. Go, M. Kitamura, T. Gotow and Y. Miyamoto
2. 発表標題 PMA Evaluation of TiN ALD in InGaAs Nanosheet MOSFETs
3. 学会等名 34th International Microprocesses and Nanotechnology Conference (MNC 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 T. Gotow, T. Suka, Y. Miyamoto
2. 発表標題 Comparative study of breakdown and interface properties of gate insulator on N-polar and Ga-polar GaN MIS capacitor
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Y. Miyamoto and T. Gotow
2. 発表標題 Proposal of breakdown voltage control of GaN HEMT by interface charge
3. 学会等名 Compound Semiconductor Week 2021 (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------