

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 10 日現在

機関番号：12701

研究種目：基盤研究(S)

研究期間：2010～2014

課題番号：22226009

研究課題名(和文)断熱モード単一磁束量子回路の導入によるサブ μ Wマイクロプロセッサの研究

研究課題名(英文)Study on Sub-micro W Microprocessors using Adiabatic Single-Flux-Quantum Circuits

研究代表者

吉川 信行 (Yoshikawa, Nobuyuki)

横浜国立大学・工学(系)研究科(研究院)・教授

研究者番号：70202398

交付決定額(研究期間全体)：(直接経費) 142,400,000円

研究成果の概要(和文)：量子化磁束を情報担体とする単一磁束量子(Single Flux Quantum: SFQ)回路は、高速動作が可能でありながら、その消費電力は半導体に比べて3～4桁小さい。本研究では、高速低消費電力で知られるSFQ回路の極限的な低消費電力化を目指した。断熱モード動作など、低消費電力化への回路的ブレイクスルーを中心に、アーキテクチャ、プロセスも含めすべての知見を導入して低消費電力化を図った。これにより、SFQ回路の消費電力を従来の1/1000に低減することが可能となった。本研究では、学術的にも未踏領域となる高性能サブ μ Wマイクロプロセッサを実現するための基盤技術を確立した。

研究成果の概要(英文)：Single-flux-quantum (SFQ) circuits, which utilize quantized flux in a superconducting loop as logical bit information, can operate at very high speed with extremely low power consumption. The purpose of this project is to verify the utmost limit of low power operations of SFQ circuits. We bring in new principles and technologies to reduce the power consumption of the SFQ circuits, which include new operation principles of SFQ logic gates, such as adiabatic SFQ circuits, new circuit architectures and new process technologies. We could reduce the power consumption of the SFQ circuits to 1/1000 of current SFQ circuits based on newly developed technologies. We have established the fundamental technologies for sub- μ W microprocessors, which are truly-unexplored regions in the digital electronics world.

研究分野：電子工学、集積回路工学、超伝導エレクトロニクス

キーワード：超伝導デバイス 低消費電力 断熱論理回路 QFP SFQ ジョセフソン素子 超伝導集積回路 単一磁束量子回路

1. 研究開始当初の背景

超伝導リング中の量子化磁束を情報担体とする SFQ 回路は、100GHz を超える高速動作が可能でありながら、その消費電力は半導体に比べて 3~4 桁小さい。このため、高性能計算機などの大規模なデジタルシステムの実現を最終目標とし、欧米諸国と日本を中心に研究が進められている。図 1 には、SFQ 回路の 1 ビットの演算に要するエネルギーとゲート遅延時間の関係を示す。比較のために CMOS 回路の値も示した。図より SFQ 回路の性能は、エネルギー遅延時間積において、最新の CMOS 回路(35 nm)と比較しても 3 桁以上小さいことがわかる。数年前に本研究のグループによって、SFQ を電磁波パルスとして集積回路内の配線を伝送させる技術が確立された。これにより集積回路化が極めて容易となり、次々と大規模回路が実証された。実際に我々は、これまでの回路設計と製作プロセスの研究を通し、8b マイクロプロセッサ、浮動小数点演算器など、大規模 SFQ 回路の世界初の高速動作実証を行い、現時点で大規模 SFQ 回路の実現が可能な世界で唯一の技術を有している。

一方、特定領域研究「局在電磁波集積回路」(領域代表: 吉川信行, H18~H21)において、SFQ 集積回路技術を半導体や光集積回路と異なる第三の極と位置づけ、回路、設計技術などの研究を行ってきた。この中で、断熱モード SFQ 回路やインダクティブロード技術など SFQ 回路の低消費電力化に有用な多くの知見を得た。

最近になって、SFQ 回路を半導体回路よりもシステムとして優位にするには、SFQ 回路の極限性能を追求することが不可欠であり、それが応用の拡大、引いては地球温暖化の防止にもつながると言われるようになった。本研究では、特定領域研究などの成果を基に、SFQ 回路の消費電力を極限にまで低減化することを目指した。

2. 研究の目的

本研究は、新たな回路方式の導入による SFQ 回路の学術領域の深化、ならびに工学的観点から SFQ 回路に真の競争力を付けることを目的としてその極限的低消費電力化を図った。具体的内容として、断熱モード動作に基づく低消費電力化法、インダクティブロード技術、ゲート間受動線路(PTL)配線技術、サブ μm 接合プロセスによる臨界電流低減技術、非同期アーキテクチャ技術、などを SFQ 大規模集積回路の設計に適用し、総合して SFQ 回路の消費電力を従来の 1/400 から 1/10⁵ に低減することを目指した。具体的には以下の項目について研究を行った。

断熱モード SFQ 回路の研究: SFQ 回路の電源を断熱的にゆっくりと変化させ、演算エネルギーを電源に回収することで SFQ 回路の消費エネルギーを極限的に低減する。回路を $k_B T$ 熱雑音 ($10^{-22}\text{J}/\text{スイッチ}$) 程度の消

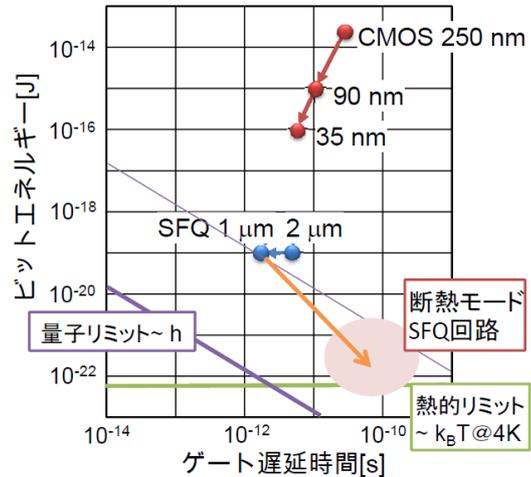


図 1 SFQ 回路のビットエネルギーとゲート遅延時間の関係

費エネルギーで動作させ、消費電力を従来の約 1/1000 に低減する。

インダクティブロード技術の研究: SFQ 回路の静的な消費電力の原因であるバイアス抵抗をインダクタンスに置き換え、消費電力を約 1/20 に低減する。

ゲート間 PTL 配線技術: SFQ パルスの光速での弾道的な伝送が可能な超伝導受動配線(PTL)をゲート間配線に用いることで、消費電力を約 1/2 に低減する。

サブ μm 接合プロセスによる臨界電流 I_c の低減: サブ μm 接合プロセス技術の開発により、Josephson 接合の臨界電流値を従来の 1/5 に減少させる。これにより消費電力を約 1/5 に低減する。

非同期アーキテクチャの研究: SFQ 回路において必要な同期クロックを、非同期設計手法を用いて排除する。これによりクロックツリーを削減し、消費電力を約 1/2 に低減する。

以上の低消費電力技術を総合することにより、セルライブラリ(設計ツール)を作成し、サブ μW マイクロプロセッサの実現を可能とする極限的低消費電力 SFQ 回路の基盤技術を構築する。

3. 研究の方法

研究は横浜国大、名古屋大、産業技術総合研究所(AIST)が協力して実施した。研究の核である断熱モード SFQ 回路については、H23 までに各種断熱モード SFQ 基本ゲートの動作検証とエネルギー評価を行い、最終年度に断熱モード演算回路の動作を実証する。また、そのほかの低電力化技術に対しては、H23 未までに各低消費電力技術の基礎実証を行い、H24 未までにそれらを導入した低消費電力化セルライブラリを開発する。最終年度には、開発したセルライブラリを用いて 50 μW 30GHz 16b マイクロプロセッサの動作実証を目指す。

研究は、断熱モード SFQ 回路の研究を横国大が、インダクティブロード技術ならびにゲート間 PTL 配線技術、 I_c 低減を主に名大が行った。サブ μm 接合プロセスの研究は、AIST が実施した。非同期アーキテクチャの研究は、SFQ マイクロプロセッサ(MPU)アーキテクチャ研究の第一人者である Stony Brook 大の Prof. Dorojevets が行った。以下に各研究項目の詳細を示す。

断熱モード SFQ 回路の研究 (横国大)

SFQ 回路は、SFQ が接合を通過する際に本質的に $I_c\Phi_0$ (I_c は接合臨界電流、 Φ_0 は SFQ 磁束) のエネルギーを消費する。これに対して、我々は、QFP (Quantum Flux Parametron) として知られる SFQ 回路を断熱的に動作させ、消費エネルギーを極限的に減少させる。提案する回路は、断熱モード動作により原理的に $k_B T$ 熱雑音程度 ($\sim 10^{-22}\text{J}$) の低エネルギー動作が可能である。

インダクティブロード技術の研究 (名大)

本研究では、通常は抵抗で構成されている SFQ 回路のバイアス回路をインダクタンスで構成することにより、消費電力を従来の約 1/20 に低減する。

ゲート間 PTL 配線技術 (名大)

本研究では新 AIST $1\mu\text{m}$ プロセスに PTL 配線技術を導入する。新プロセスでは 2 層の PTL 配線を利用でき、より柔軟な配線が可能となり、大幅な回路規模の縮小と性能向上が期待できる。

I_c の低減 (名大)

SFQ 回路の消費エネルギーは $I_c\Phi_0$ で与えられるので、 I_c の低下により消費電力を小さくできる。通常、 I_c の値は、熱雑音による誤動作が起こらない様に $k_B T$ に対して十分に大きくとられており、現在の設計ではその下限値を $100\mu\text{A}$ としている。 I_c の減少により消費エネルギーの低減効果が期待できる。

サブ μm 接合プロセスの研究 (AIST)

I_c を $20\mu\text{A}$ に下げるためには、Josephson 接合の面積をこれまでの $1\mu\text{m}$ 角から 1/5 に減少させなければならない。更に、大規模集積回路のためには、接合面積のばらつきを十分に小さくする必要がある。AIST では二オブ微細 Josephson 接合作製技術の確立を目指して、加工技術とリソグラフィ技術を開発する。

非同期アーキテクチャの研究 (Stony Brook 大)

SFQ 回路に適した非同期式 Wave pipeline に基づく MPU のアーキテクチャを検討する。Wave pipeline は、パイプライン間のレジスタを取り除く手法であり、これと非同期設計法を組み合わせることで、タイミング設計が容易な高効率データパスを構成する。また、クロックツリーの削減により消費電力を低減する。開発した SFQ 回路用セルライブラリを用いて、日米協力して非同期式 MPU の基本アーキテクチャの研究に取り組む。

4. 研究成果

断熱モード QFP 回路の研究

横国大における断熱モード QFP 回路の研究では、本手法を用いて演算回路の消費エネルギーを極限的に低減できることが明らかとなり、学術的に極めて大きなインパクトを示すことができた。以下にこれまでに得られた研究成果を示す。

(1) 断熱動作のための回路パラメータ条件と消費エネルギーの理論的解明 (論文)

数値シミュレーションにより QFP 回路が断熱モードで動作するための回路パラメータ条件を明らかにした。また、回路の動作スピードと消費電力の関係を明らかにした。これにより断熱モード QFP 回路の消費エネルギーは回路の動作スピードに対して比例的に減少することを示した。(図 2 参照)

(2) 消費エネルギーの実験的評価 (論文)

超伝導共振器と断熱モード QFP 回路を結合することにより、断熱モード QFP 回路の消費エネルギーを測定した。5GHz 動作に対して 10zJ/bit の値を得た(図 3 参照)。この数値は従来の SFQ 回路に対して 100 倍以上小さく、また最新の CMOS 回路に対しても 5 桁以上小さい。

(3) 熱雑音に対する回路の誤り率の理論的評価 (論文)

有限温度を仮定し、断熱モード QFP 回路のビット誤り率(BER)を数値シミュレーションにより評価した。これにより有限温度においても断熱モード QFP 回路が安定に動作することを明らかにした。また、アンシャントで Q

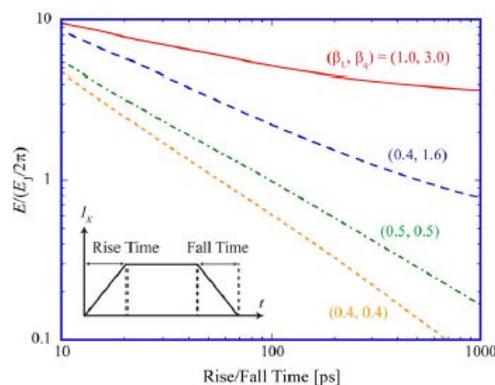


図 2 断熱モード QFP 回路の動作スピードと消費エネルギーの関係

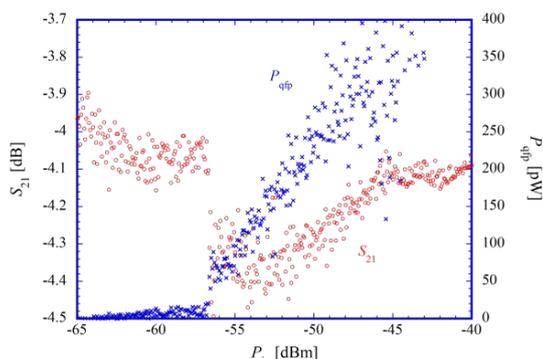


図 3 断熱モード QFP 回路の 5GHz における消費電力の測定結果

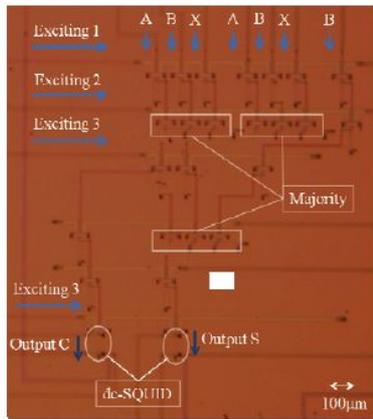


図4 断熱モード QFP 回路を用いた 1b 全加算器のチップ写真

値の高い断熱モード QFP 回路は、 $k_B T$ 熱雑音を下回るビットエネルギーで動作することを数値シミュレーションにより示した。これにより断熱モード QFP 回路は、従来の SFQ 回路に対して 3 桁以上の低消費電力で動作できることを明らかにした。

(4) 断熱モード QFP 回路を用いた演算回路の動作実証 (論文)

断熱モード QFP の基本ゲートである NOT ゲート、Majority ゲートを試作し、その正常動作を確認した。また、これらのセルライブラリを用いて 1b 全加算器を設計試作し、十分に広い動作マージンでの回路の正常動作を実証した (図4 参照)。

(5) 断熱モード QFP 回路用オンチップ交流電源の動作実証 (論文)

断熱モード QFP 回路が演算を行なう際にエネルギーを供給し、演算を終了後にエネルギーを回収できる、エネルギー回収可能なオンチップ交流電源を提案し、その動作実証を行なった。本電源を用いて断熱モード QFP 回路を駆動し、5GHz での正常動作を確認した。

以上の研究成果は、断熱モード動作に基づいて $k_B T$ 程度のエネルギーで高速に論理演算が可能な演算素子の基本動作を明らかにしており、本領域における新たなパラダイムを構築できた。今後、Landauer リミットと呼ばれる演算エネルギーの熱力学的下限値の解明や、可逆演算への展開の可能性も出てきており、学術的な意義は極めて大きいと考えている。

～ インダクティブロード技術、ゲート間 PTL 配線技術の研究、 I_c 低減技術の研究

名古屋大学では、当初の研究計画に従い、(i) インダクティブロード技術の導入、(ii) ゲート間受動線路 (PTL) 配線技術の積極導入、(iii) 微細化によるジョセフソン接合の臨界電流の低減の 3 つの方法により SFQ 回路の低電力化に努めてきた。インダクティブロード技術は、SFQ 回路を電流源駆動するために用いていたバイアス抵抗の抵抗値を低減化し、代わりにインダクタンスを挿入することで、バイアス抵抗での静的な消費電力を抑

制しようとするものである。臨界電流の低減化では、従来の 1/4 である $40\mu A$ まで現行作製プロセスで利用可能であることが、実験によって明らかとなったため、(i) と (iii) を組合せた SFQ 回路を数値解析し、さらにそれに基づきの回路設計を行った。実験では、シフトレジスタ回路において、従来の 1/500 までの消費電力の低減化に成功した (論文)。一方で、(i) による極端な電力低減化は、SFQ 回路の動作を遅くすることも明らかとなり、最適値として静的消費電力の低減は、従来の 1/50 ~ 1/5 と判断した。実際の静的消費電力の低減は、この値に臨界電流の低減率を掛けたものとなり、1/200 ~ 1/20 が総合的な電力低減化率となる。

一方、バイアス抵抗の低減化は、PTL に送りだされる信号のエネルギーの低下をもたらす。このため、やはりインダクティブロード技術を導入し、送信回路、受信回路の最適化を完了した。

以上を受け、マイクロプロセッサプロトタイプ的设计・試作を行った。図5はその顕微鏡写真である。1.4 mm x 1.7 mm 角の中に 3900 個のジョセフソン接合が集積されている。回路の動作周波数は 30 GHz、消費電力は $230\mu W$ であり、当初の目標を概ね達成することができた。

サブ mm 接合プロセスの研究 (AIST)

ジョセフソン接合 (JJ) の臨界電流 I_c を $20\mu A$ に下げることが目標に、JJ 最小面積をこれまでの $1\mu m^2$ から 1/5 の $0.2\mu m^2$ に縮小する研究を行った。i 線ステッパーによる露光条件、 SF_6 ガスを用いた反応性イオンエッチング条件の最適化を行い、設計値 $0.9\mu m$ (直径) の円形接合を作製し、その特性を評価した。同時に作製した面積の異なる JJ から露光、エッチング工程における JJ 直径の縮小値を約 $0.3\mu m$ と求めることができた。また、サブミクロン JJ においてもリーク電流の増大など顕著な特性劣化は見られなかった。1000 個シリーズ $0.28\mu m^2$ JJ で測定した I_c の標準偏差は、 $1\sigma=3.4\%$ であった。(論文)

JJ 微細化で最も困難なことは、JJ と上部配線を結ぶコンタクトの形成である。このコンタクトホールを形成できる最小値が JJ の微細化を制限する。このため、コンタクトホールを用いず JJ と上部配線とのコンタクトを行うために、CMP (Chemical Mechanical Polishing) とエッチバックを用いた JJ 頭部露出法を開発した。この方法を用いて $0.2\mu m^2$ 以下の JJ と上部配線との良好な超伝導コンタクトが可能であることを確認した。

以上の研究成果は臨界電流値が $30\mu A$ 程度の接合からなる大規模集積回路を可能とし、従来に対して 30% の消費エネルギー低減効果をもたらすものである。

非同期アーキテクチャの研究 (Stony Brook 大)

Stony Brook 大グループと協力して、完全非同期型の Wave pipeline アーキテクチャに

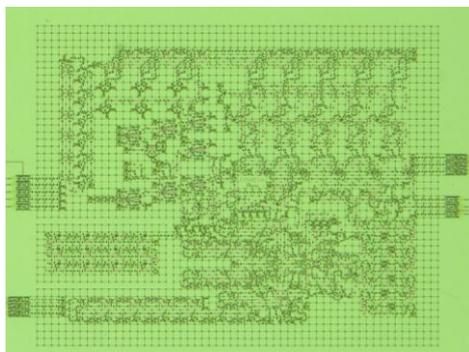


図 5 インダクティブロード技術と I_c 提言により低消費電力化したSFQマイクロプロセッサの顕微鏡写真

基づく演算回路の設計手法の研究を行った。提案手法を用いて 16-bit 加算器、8-bit 乗算器、8-bit 算術演算回路設計し、我々が開発した SFQ セルライブラリと Nb9 層のアドバンスドプロセス (ADP) を用いて回路を試作した。回路は 20 GHz~42GHz で動作し、提案手法の有効性を実証した (論文, ,)。本研究成果は数十 GHz で動作する SFQ 回路のタイミング設計を容易にするばかりではなく、クロックツリーの排除により大きな消費電力の削減効果をもたらし、学術的意義は高い。

5 . 主な発表論文等

[雑誌論文] (計 49 件)

N. Takeuchi, T. Ortlev, Y. Yamanashi, N. Yoshikawa, “(Invited) High-speed Experimental Demonstration of Adiabatic Quantum-Flux-Latches,” IEEE Trans. Appl. Supercond., vol. 24, 2014, 1300204. DOI: 10.1109/TASC.2014.2311444

D. Si, K. Inoue, Y. Yamanashi, N. Yoshikawa, “Yield analysis of large-scale adiabatic-quantum-flux-parametron logic: The effect of the distribution of the critical current,” Physica C, vol. 504, 2014, pp. 102-105. DOI:10.1016/j.physc.2014.05.007

N. Takeuchi, T. Ortlev, Y. Yamanashi, N. Yoshikawa, “Novel latch for adiabatic quantum-flux-parametron logic,” Journal of Appl. Physics, vol. 115, 2014, 103910. DOI: 10.1063/1.4868336

A. Fujimaki, M. Tanaka, R. Kasagi, K. Takagi, M. Okada, Y. Hayakawa, K. Takata, H. Akaike, N. Yoshikawa, S. Nagasawa, K. Takagi, N. Takagi, “Large-Scale Integrated Circuit Design Based on a Nb Nine-Layer Structure for Reconfigurable Data-Path Processors,” IEICE Trans. Electron., vol. E97-C, 2014, pp. 157-165. DOI: 10.1587/transele.E97.C.157

S. Nagasawa, K. Hinode, T. Satoh, M. Hidaka, H. Akaike, A. Fujimaki, N. Yoshikawa, K. Takagi, N. Takagi, “Nb 9-layer fabrication process for superconducting large-scale SFQ circuits and its process evaluation,” IEICE

Trans. Electron., vol. E97-C, 2014, pp. 132-140. DOI: 10.1587/transele.E97.C.132

N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Simulation of sub- $k_B T$ bit-energy operation of adiabatic quantum-flux parametron logic with low bit-error-rate,” Appl. Phys. Lett., 103, 062602 (2013). DOI: 10.1063/1.4817974

K. Inoue, N. Takeuchi, K. Ehara, Y. Yamanashi, and N. Yoshikawa, “Simulation and Experimental Demonstration of Logic Circuits Using an Ultra-low-power Adiabatic Quantum-flux-parametron,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1301105. DOI: 10.1109/TASC.2012.2236133

N. Takeuchi, K. Ehara, K. Inoue, Y. Yamanashi and N. Yoshikawa, “Margin and Energy Dissipation of Adiabatic Quantum-Flux-Parametron Logic at Finite Temperature,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1700304. DOI: 10.1109/TASC.2012.2232336

M. Dorojevets, C. L. Ayala, N. Yoshikawa and A. Fujimaki, “16-Bit Wave-Pipelined Sparse-Tree RSFQ Adder,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1700605. DOI: 10.1109/TASC.2012.2233846

M. Dorojevets, A. K. Kasperek, N. Yoshikawa, and A. Fujimaki, “20-GHz 8×8 -bit Parallel Carry-Save Pipelined RSFQ Multiplier,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1300104. DOI: 10.1109/TASC.2012.2227648

M. Dorojevets, C. L. Ayala, N. Yoshikawa and A. Fujimaki, “8-Bit Asynchronous Sparse-Tree Superconductor RSFQ Arithmetic-Logic Unit With a Rich Set of Operations,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1700104. DOI: 10.1109/TASC.2012.2229334

M. Tanaka, A. Kitayama, T. Kouketsu, M. Ito, and A. Fujimaki, “Low-Energy Consumption RSFQ Circuits Driven by Low Voltages,” IEEE Trans. Appl. Supercond., vol. 23, 2013, 1701104. DOI: 10.1109/TASC.2013.2240555

N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator,” Appl. Phys. Lett., 102, 052602 (2013). DOI: 10.1063/1.4790276

T. Mukaiyama, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Operation of an Adiabatic Quantum-Flux-Parametron Gate Using an On-chip AC Power Source,” IEEE Trans. Appl. Supercond., 23, 2013, 1301605. DOI: 10.1088/0953-2048/26/3/035010

T. Mukaiyama, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Design and Demonstration of an On-chip AC Power Source for Adiabatic Quantum-Flux-Parametron Logic,” Supercond. Sci. Tech., vol. 26, 2013, 035018. DOI: 10.1088/0953-2048/26/3/035018

N. Takeuchi, D. Ozawa, Y. Yamanashi and N. Yoshikawa, "An Adiabatic quantum flux parametron as an ultra-low-power logic device," Supercond. Sci. Tech., vol. 26, 2013, 035010. DOI: 10.1088/0953-2048/26/3/035010

M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, "18-GHz, 4.0-aJ/bit Operation of Ultra-Low-Energy Rapid Single-Flux-Quantum Shift Registers," Japanese Journal of Applied Physics 51, 2012, 053102. DOI: 10.1143/JJAP.51.053102

〔学会発表〕(国際会議 181 件、国内会議 182 件、計 363 件)

N. Takeuchi, T. Orllepp, Y. Yamanashi, N. Yoshikawa, "Experimental demonstration of quantum-flux-latch-based circuits," 2014 Appl. Superconductivity Conference (ASC 2014), Charlotte, North Carolina, USA, August, 2014, 4EO3A-05.

X. Peng, T. Kato, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, K. Takagi, N. Takagi, S. Nagasawa, "(Invited) High-speed demonstration of bit-serial floating-point adders and multipliers using single-flux-quantum (SFQ) circuits," 2014 Appl. Superconductivity Conference (ASC 2014), Charlotte, North Carolina, USA, August, 2014, 2EO2C-02.

吉川信行, "【招待講演】SFQ 回路を用いたデジタル多重化", 未踏科学技術協会超伝導科学技術研究会第 83 回ワークショップ、全日通電が関ビルディング(東京), 2014 年 3 月 10 日。

N. Yoshikawa, "Sub-KBT Bit-Energy Operation of Superconducting Logic: What is the Minimum Energy Bound in the Computation?," East Asia Symposium on Superconductor Electronics (EASSE2013), Taiwan Normal University, Taipei, October 23-26, 2013.

N. Takeuchi, T. Orllepp, K. Inoue, Y. Yamanashi, N. Yoshikawa, "Proposal and Implementation of High-Speed Test Circuits for Adiabatic Quantum-Flux-Parametron Gates," 26th International Symposium on Superconductivity (ISS2013), Tokyo, Japan, November 18-20, 2013, FDP-32.

N. Yoshikawa, N. Takeuchi, K. Inoue and Y. Yamanashi, "(Invited) Recent Developments on Ultra-Low-Energy Adiabatic Quantum-Flux-Parametron Logic," 26th International Symposium on Superconductivity (ISS 2013), Tokyo, Japan, November 18-20, 2013, FD-12-INV.

吉川信行, "【招待講演】断熱型超伝導回路と可逆演算への展開", 応用物理学会超伝導分科会第 48 回研究会、産業技術総合研究所つくばセンター(つくば), 2013 年 11 月 22 日。

吉川信行, "【招待講演】極限的低エネルギー動作を実現する断熱型超伝導回路とその可逆演算動作の可能性", 日本学術振興会超伝導エレクトロニクス第 146 委員会通信・情報処理分科会第 9 回研究会、機械振興会館、2013 年 7 月 22 日。

吉川信行, "【基調講演】超伝導デジタルエレクトロニクスの新展開", CRAVITY 公開記念シンポジウム、産業技術総合研究所つくば、2013 年 3 月 6 日。

〔産業財産権〕

出願状況(計 1 件)

名称: 超伝導集積回路装置

発明者: 吉川信行、鈴木秀雄

権利者: 横浜国立大学

種類: 特許

番号: 特願 2014-181355

出願年月日: 2014 年 9 月 5 日

国内外の別: 国内

〔その他〕

ホームページ等

http://www.yoshilab.dnj.ynu.ac.jp/yoshilab_hp/

6. 研究組織

(1) 研究代表者

吉川 信行 (YOSHIKAWA, Nobuyuki)

横浜国立大学・大学院工学研究院・教授

研究者番号: 7 0 2 0 2 3 9 8

(2) 研究分担者

藤巻 朗 (FUJIMAKI, Akira)

名古屋大学・大学院工学研究科・教授

研究者番号: 2 0 1 8 3 9 3 1

日高 睦夫 (HIDAKA, Mutsuo)

独立行政法人産業技術総合研究所・

ナノエレクトロニクス研究部門・

上級主任研究員

研究者番号: 2 0 5 0 0 6 7 2

前澤 正明 (MAEZAWA Masaaki)

独立行政法人産業技術総合研究所・

エレクトロニクス研究部門・

研究グループ長

研究者番号: 4 0 3 5 7 9 7 6

鈴木 秀雄 (SUZUKI Hideo)

(財) 国際超電導産業技術研究センター・

超電導工学研究所・

主管研究員

研究者番号: 4 0 6 0 7 2 3 0

(3) 研究協力者

Mikhail Dorojevets

Stony Brook 大学・Department of

Electricals and Computer Engineering・

Professor