

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 6 日現在

機関番号：17104

研究種目：基盤研究(A)

研究期間：2010～2013

課題番号：22240022

研究課題名(和文) シリコンナノディスクアレイ構造を用いた知能情報処理デバイス・回路の開発

研究課題名(英文) Development of an intelligent information processing device and circuit using silicon nanodisk array structures

研究代表者

森江 隆 (MORIE, Takashi)

九州工業大学・生命体工学研究科(研究院)・教授

研究者番号：20294530

交付決定額(研究期間全体)：(直接経費) 38,000,000円、(間接経費) 11,400,000円

研究成果の概要(和文)：ナノディスクアレイ構造と最先端CMOS素子であるFinFETを結合して構成したスパイクングニューロンデバイスを提案・開発した。ナノディスクアレイはバイオナノプロセスと中性ビームエッチング技術で作製される。スパイクングニューロンモデルの実装では、シナプス部でのシナプス後電位の生成が鍵となる。これをナノディスクアレイ内での電子伝導での時間遅れにより実現する。また、ゆらぎのある電子伝導がノイズを利用した情報処理に利用できる。単電子回路シミュレーションを用いて、電子の動作を解析し、ナノ構造を設計した。また、ナノデバイスに適した情報処理モデルとして、モジュラー型自己組織化マップの発展系を開発した。

研究成果の概要(英文)：We have proposed and developed a spiking neuron device that consists of nanodisk array structures and a FinFET device, which is the most advanced CMOS device. The nanodisk array is fabricated using bio-nano-process and neutral beam etching techniques. A neuron part of this device is realized by a FinFET, and a synapse part consists of a nanodisk array. In spiking neuron models, generation of post-synaptic potentials, PSPs, is an essential function. For generating PSPs, we use a delay in electron hopping among nanodisks. Generated PSPs have fluctuation caused by stochastic electron movement, which can be used for neural information processing effectively using noise. We have analyzed electron movement in a nanodisk array by single-electron circuit simulation, and designed the nanostructure including a control electrode. We have also developed an advanced model of the modular-network self-organizing map, SOM, as an information processing model suitable for our nanodevice.

研究分野：総合領域

科研費の分科・細目：情報学・感性情報学・ソフトコンピューティング

キーワード：ナノディスクアレイ構造 スパイクングニューロン CMOSデバイス ゆらぎ

### 1. 研究開始当初の背景

これまでの情報処理用ナノデバイス研究の多くは、単電子トランジスタに関するもので、既存 CMOS 回路を置き換えるデジタル回路への応用を念頭に置いたものがほとんどである。現在のところ、微細加工技術を駆使したトップダウン的手法のみにより微細パターンを生成する手法では 10nm 以下のデバイスを形成することは困難である。しかし、近年、分担者(寒川)らにより、自己組織化的な方法(ボトムアップ的手法)を利用してナノ構造を作製する技術が開発され、新たな応用が期待されるようになった。脳型ハードウェアは、規則的な構成が多く、モデル自体に冗長性があることから、自己組織的なデバイス作製法が向いていると考えられる。

脳型処理モデルとしては、2000 年代以降、神経細胞の発火動作をより忠実に模倣するいわゆるスパイクニューロンモデルが注目され、スパイクタイミング依存シナプス可塑性(STDP)と呼ばれる学習法とともに、神経科学分野、人工ニューラルネットワーク分野の双方で研究が盛んに行われ、そのハードウェア化も研究されてきた。研究代表者も STDP を搭載したスパイクニューラルネットワーク LSI を開発し、連想メモリ動作を初めて確認するなどの成果をあげてきた。

### 2. 研究の目的

本研究では、標準 CMOS 集積回路とボトムアップ手法を利用した新開発のシリコンナノディスクアレイ構造を合体した究極の省サイズ・低消費電力な脳型情報処理デバイスを開発する。実現する脳型情報処理回路とデバイスは、アナログとデジタル方式を融合した時間軸情報処理回路に基づくもので、自己集成型バイオナノプロセスと中性粒子ビームエッチングによる高精度なナノ構造を用いる。処理モデルとしては、スパイクニューロンモデルおよびモジュラーネットワーク SOM (自己組織化マップ) をターゲットとし、脳型知能情報処理ハードウェアの構築を目指す。

### 3. 研究の方法

- (1) ナノディスクアレイ構造作製方法の最適化を行うと共に、実デバイスにより電子伝導の物理特性を測定し、そのメカニズムを解明する。
- (2) スパイクニューロンモデル実装のために、構造シミュレータおよび単電子回路シミュレータを用いて、最適なナノディスクアレイと電極配置のナノ構造を設計する。
- (3) ナノディスクアレイ構造と微細 CMOS デバイスを結合する製造方法を開発する。試作結果を設計・製造法にフィードバックし、最適化を図る。
- (4) ナノ構造スパイクニューロンモデルで実現する情報処理モデルの仕様を最適化する。

### 4. 研究成果

#### (1) ナノ構造作製方法の最適化と物理特性解明

分担者の寒川らは、高精度低ダメージエッチングが可能である中性粒子ビームにより、エッチングマスクとしてフェリチンと呼ばれる球殻状タンパク質(直径 13nm)に内包された直径 7nm の鉄コアを用いて円盤状シリコンナノ構造(ナノディスク:ND)を作製するプロセスを開発し、さらにフェリチンの自己組織化機能を利用して ND の 2 次元配列を作製する技術を開発した。この 2 次元 ND アレイ構造における電気的特性の構造依存性について検討した。

本研究で用いたナノ構造の製造法を **図 1** に示す。まず、SiO<sub>2</sub>(Neutral Beam Oxide; NBO)/poly-Si(膜厚=2, 4, 6nm)/SiO<sub>2</sub>/Si 構造を持つ多層膜上にフェリチン溶液をスピコートすることで自己組織的に 2 次元配列を形成し、酸素中熱処理によって外周の蛋白質を除去し鉄コアのみを残す。その鉄コアをマスクに基板表面に存在する 3nm 厚 NBO 膜を NF<sub>3</sub> ガス+水素ラジカル照射を行うことで選択的に除去し、続いて塩素中性粒子ビームによって poly-Si のエッチングを行い、ND 2 次元アレイを作製した。これをチャンネルとし、金属電極(Cr/Al)を蒸着して 2 端子デバイスとした。

このように形成された ND アレイ内では、電子がナノディスク間を確率的にトンネルしながら伝導することができる。ND 厚さが異なるデバイスの I-V 特性の温度依存性を測定し、活性化エネルギーを評価した。2 次元 ND アレイ構造は ND 直径約 10nm, ND 間ギャップ約 2nm であり、電極間の印加電圧は 2.0V とした。測定した温度特性を **図 2** に示す。図のように、ND 厚さによって電流特性の活性化エネルギーが制御できることがわかった。

次に、2 次元 ND アレイのパルス応答を測定した。その結果、**図 3** に示すように、時間的に緩やかに変動する応答波形が得られると共に、連続して入力されるパルスに対してはその応答が加算的になることも確認できた。これは後述するシナプスでの応答に相当する現象である。

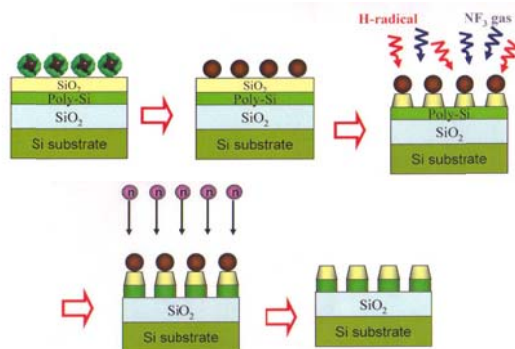


図1:自己組織化作製プロセスによるナノディスクアレイ(NDA)作製法

(2) ナノ構造の最適化と情報処理回路への応用：スパイクニューロンモデルのためのナノディスクアレイの単電子回路シミュレーション

全結合型ニューラルネットワークでは、シナプス数がニューロン数の2乗に比例するため、その集積回路実装ではシナプス部の回路占有面積と消費電力がチップ性能に直結する。そこで、ニューロン部をCMOS回路で実現し、ゲート電極に接続した自己組織化NDアレイ構造でシナプス部を実現するデバイス構成法を提案し、単電子回路シミュレーションによりシナプス部の応答特性を調べた。すなわち、シナプス後電位の生成およびその制御法を示すとともに、ナノ構造中の確率的電子移動におけるゆらぎを利用して、ノイズを伴うスパイクニューロンモデルを実現する手法を提案した。

スパイクニューロンモデルの中で積分発火型(図4)はもっとも単純なモデルであるが、連想メモリをはじめとする興味深い応用がある有用なモデルである。各シナプス部で入力スパイクを受け取ると、そのタイミングで時間的に変化するシナプス後電位(post-synaptic potential; PSP)が生成される。PSPには興奮性(EPSP)と抑制性(IPSP)があり、それぞれニューロンの内部電位を上昇もしくは下降させる。すべてのシナプスで生成されたPSPの時空間加算によりニューロンの内部電位が決定され、それがしきい値を越えた時にそのニューロンが発火して出力スパイクを生成する。その後一定期間不応期が発生し、また発火が可能な状態に戻る。このモデルで重要な機能はシナプス荷重に比例した振幅のPSPを生成することであり、本研究では、荷重を記憶するアナログメモリ機

能ではなく、PSP生成機能に着目した。

NDアレイ構造を用いたシナプス部では、ND間を電子がランダムホッピングして移動する電気伝導機構を利用して、PSPを生成する。また、シナプス荷重の機能を実現するために、制御電極を追加した構造を考案した(図5)。NDアレイ中の電気伝導特性は図3に示したように既に実デバイスで調べられており、PSP生成に相当する電位変動やPSP加算に関する実験結果が得られている。

上記の方法で形成したNDアレイ構造は、トンネル伝導により電子が移動するので、極小面積の高抵抗素子として利用できる。伝導電子数を制御できるため、超低消費電力動作も可能になると期待できる。

各入力電極にスパイクパルスが入力されると、電子が出力電極から入力電極に向けてランダムホッピングし、出力電極の電位が変化する。この電位変化がPSPとなるが、その高さは各ナノディスクアレイ上に設置した制御電極により制御される。出力電極の電位がMOSトランジスタのしきい値を越えたとき、トランジスタが導通し、ニューロンの発火処

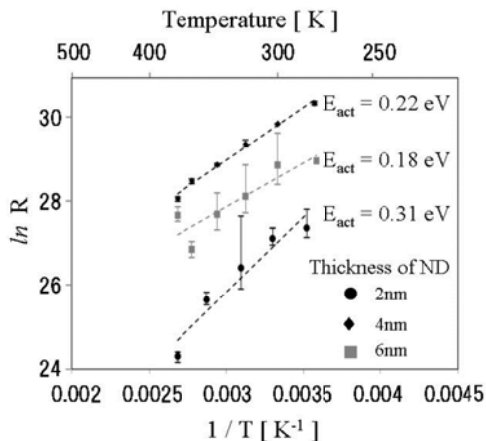


図2:NDA 電子伝導の温度特性と活性化エネルギー

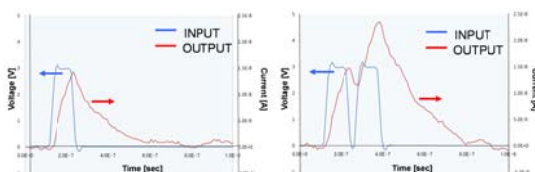


図3:2次元NDAのパルス応答

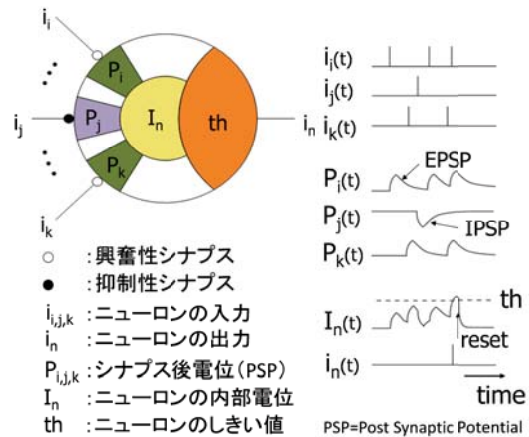


図4:積分発火型スパイクニューロンモデル

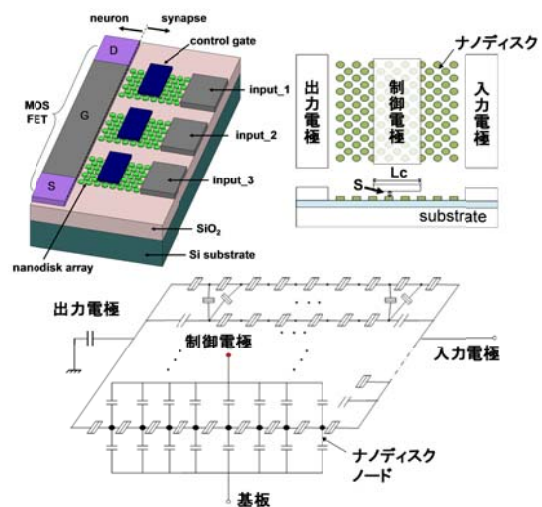


図5:ナノ構造をシナプス部に用いたスパイクニューロンデバイスのイメージと、ナノ構造部とその等価回路



理が行われる。

まず、**図5** (右上) に示すような構造を仮定した。本来、出力電極は MOS トランジスタのゲート電極であるが、ここでは簡単のために一定の容量で置き換えた。この構造をもとに、市販の構造シミュレータ “Maxwell 3D” を用いて容量抽出し、等価回路を作成した (**図5** (下))。このとき、3nm 以下の電極間隔をトンネル接合とみなし、3nm 以上のものを (電子が通過できない) 通常の容量とみなした。トンネル抵抗は 500M とした。次に、得られた等価回路について、モンテカル口法に基づく単電子回路シミュレータで動作解析を行った。このシミュレータでは、電子が移動できるすべての経路において移動するまでの待ち時間を、乱数を用いてそれぞれ計算する。そして、最短の待ち時間となる経路を電子が移動するとして、それに応じて電位変化を計算する。そのため、試行ごとにシミュレーション結果にゆらぎが生じる。なお、一様乱数生成に関して、線形合同法を用いた自作関数、Microsoft VisualC++の rand 関数、メルセンヌ・ツイスタ法の三種類を試したが、大きな違いが見られなかったため、以下では Microsoft Visual C++の rand 関数を用いたシミュレーション結果を示す。

まず、PSP 波形生成に関して、制御電極への印加電圧 ( $V_c$ ) の波形への依存性について調べた。仮定したナノ構造の諸元と構造シミュレーションで抽出した容量値を表 1 に示し、回路シミュレーション結果を**図6**に示す。制御電圧  $V_c$  をスパイクパルス入力と同じタイミングで立ち上げた後、一定に保つようにすると、ほぼ同じ形状の PSP が生成され、波形高さが  $V_c$  に依存するようになった。そこで、以降はこの条件で検討を行った。

次に、電子移動のゆらぎを調べるために、

表1:シミュレーション条件

ナノディスク (ND) サイズ	直径	10 nm	ゲート-基板	22.9aF
	高さ	2 nm	ゲート-Fin	336.2aF
	間隔	3 nm	ゲート-入力電極	5.77aF
制御電極幅	12 nm	ゲート-制御電極	7.94aF	
制御電極とND間距離	5 nm	入力電極-制御電極	7.05aF	

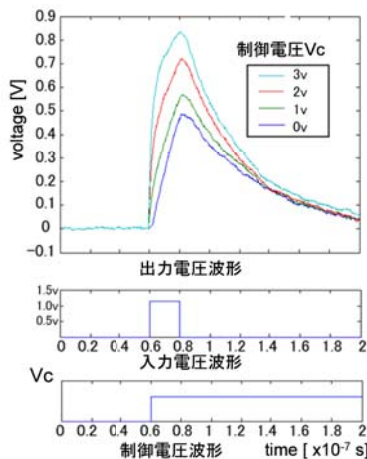


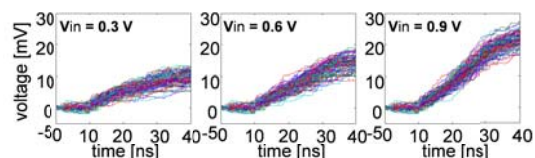
図6: ナノ構造シナプスの単電子回路シミュレーション結果 (PSP 波形生成)

出力電圧 (PSP) 波形の立ち上がり部分の様子を調べた。  $V_c=0.3V$  とし、入力パルス振幅 ( $V_{in}$ ) を変えた時の 100 回分のシミュレーション結果を重ね書きした。その結果、**図7**に示すように  $V_{in}$  に応じて出力電圧の平均値が変化しているが、ゆらぎ幅 (標準偏差) は同じ割合では変化していない。スパイクニューロンモデルではスパイクタイミングのみに情報を載せているため、入力スパイクの振幅は自由に設定できる。したがって、 $V_{in}$  を変えることで、相対的にゆらぎ (ノイズ) 量を変えることができる。また、 $V_{in}$  を一定とし  $V_c$  を変えた時のシミュレーション結果でも同様の結果を得た。以上より、入力電圧または制御電極電圧のいずれを変えても、振幅とゆらぎ比率を変えられることがわかった。

### (3) ナノディスクアレイ構造と CMOS デバイスとの結合プロセス

ナノ構造と CMOS デバイスとの結合については、初年度、ファウンドリサービスを利用した  $0.25\mu m$  標準 CMOS 技術を用いて MOS トランジスタを試作し、配線層を研磨によりエッチバックして、その上に ND アレイ構造の材料となる Si 膜を堆積するプロセスを試みた。しかし、低温で堆積する必要があったために膜質が十分でなく、良好な ND 構造が形成できないことがわかった。このため、CMOS とナノ構造の製造工程自体を見直し、第二年度からは、独立行政法人産業技術総合研究所 (産総研) の協力を得て、産総研で MOS トランジスタ (FinFET) を作製後、東北大で ND アレイ構造を形成し、その後再び産総研で配線工程を行うプロセスを試みた。

自己組織化プロセスのためのフェリチン溶液塗布を FinFET 作製後にウェハ全面に均一に行うためには、完全にチップ表面を平坦化する必要がある。そのための研磨技術 (Chemical Mechanical Polishing; CMP) が鍵となった。ND アレイ構造を FinFET のゲート電極に接続するために、CMP によりゲート部を精度良く露出させる必要がある。このために、デバイスの周辺にダミーパターンを形成することで、孤立 FinFET 周辺での CMP での過研磨を防止する手法を考案した (**図8**)。試作結果から、ゲート電極の露出とフェリチン高密度配置をそれぞれ TEM, SEM 観察により確認した (**図9**)。



ノイズ制御	$V_{in}$ (V)	標準偏差 (mV)	平均値 (mV)	ゆらぎ度 (%)
$V_c=0.3V$	0.3	1.63	8.05	20.24
	0.6	1.91	11.61	16.41
	0.9	2.19	16.88	12.96

図7: 1次元NDAのパルス応答のシミュレーション結果 (立ち上がり特性のゆらぎ)

以上により 2 次元 ND アレイ構造と FinFET との結合プロセスを確立した。

#### (4) ナノ構造スパイクングニューロンモデルで実現する情報処理モデル

スパイクパルス入力に対して立ち上がりの緩やかな応答波形を生成し、それにより積和演算を実行する手法を評価し、二つのパターン（ベクトル）の類似度（距離）計算として、規格化ベクトルによる内積を利用することで、モジュラーネットワーク自己組織化マップ（mnSOM）の実装が可能であることを確認した。理論研究における SOM の発展系については、従来リーマン幾何学を用いて体系化されていた形状空間論を高階 SOM の立場から理論化し、高階 SOM が形状空間論の工学的実装であることを示した。また、SOM の高階化は理論的に見て非線形テンソル分解に相当することを明らかにし、テンソルに拡張した Tensor SOM を開発し、マーケティングの大規模データに応用した。その結果、データの 9 割以上が欠損していた場合でもデータの可視化や分析が可能であることを、また欠損データの推定ができることを示し、これにより Tensor SOM の持つ能力の高さを示した。

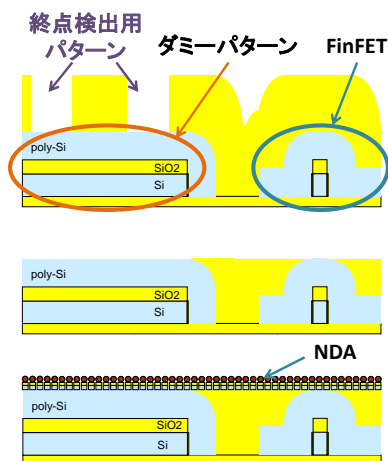


図8: FinFET 上 NDA 形成のための平坦化プロセス

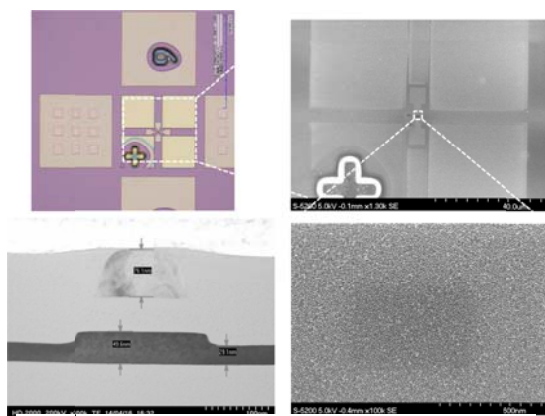


図9: 平坦化後の FinFET パターンの SEM 写真(右上)と断面 TEM 写真(左下)、フェリチン高密度配置の SEM 写真(右下)

#### 5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)(特記無い場合は査読有)

[雑誌論文](計 35 件)

- (1) Y. Takahashi, S. Ueno, and M. Arita: Multi-Functional Logic Gate by Means of Nanodot Array with Different Arrangements, Journal of Nanomaterials, 2013. <http://dx.doi.org/10.1155/2013/702094>
- (2) Y. Takahashi, H. Takenaka, T. Uchida, M. Arita, A. Fujiwara, and H. Inokawa: High-speed operation of Si single-electron transistor, ECS Transactions 58, 73-80, 2013. doi:10.1149/05809.0073ecst
- (3) R. Tsukamoto, M. Godonoga, R. Matsuyama, M. Igarashi, J. Gardiner Heddle, S. Samukawa, and I. Yamashita, Effect of PEGylation on Controllably Spaced Adsorption of Ferritin Molecules, Langmuir, 29, 12737-12743, 2013.
- (4) M. Jo, Y. Kato, M. Arita, Y. Ono, A. Fujiwara, H. Inokawa, Y. Takahashi, and J. B. Choi, Effect of arrangement of input gates on logic switching characteristics of nanodot array device, IEICE Transactions on Electronics, E95-C, 865-870, 2012. Doi: 10.1587/transele.E95.C.865
- (5) Y. Takahashi, S. Ueno, and M. Arita, Multi-Functional Logic Gate by Means of Nanodot Array with Different Arrangements, Journal of Nanomaterials, 2013. <http://dx.doi.org/10.1155/2013/702094>
- (6) S. J. Kim, J. J. Lee, H. J. Kang, J. B. Choi, Y.-S. Yu, Y. Takahashi, and D. G. Hasko, One electron-based smallest flexible logic cell, Applied Physics Letters, 101, 183101-1-4, 2012. Doi: 10.1063/1.4761935
- (7) R. Tsukamoto, M. Igarashi, S. Samukawa, and I. Yamashita, Fast Two-Dimensional Ferritin Crystal Formation Realized by Mutant Ferritin and Poly(ethylene glycol) Modified SiO2 Substrate, Applied Physics Express, 5, 065201, 2012.
- (8) 薬師寺 翔, 古川 徹生, 高階化 SOM による形状表現マップ, 知能と情報(日本知能情報ファジィ学会誌), 24, 648-659, 2012.
- (9) S. Yakushiji, T. Furukawa, Shape space estimation by higher-rank of SOM, Neural Computing and Applications, 2012. doi:10.1007/s00521-012-1004-4
- (10) 梁海超, 森江 隆, 孫 意来, 五十嵐 誠, 寒川 誠二, ナノディスクアレイ構

造と CMOS 回路を結合したスパイクングニューロンデバイス, 電子情報通信学会技術研究報告, NC2011-66, 111, 241, 125-129, 2011. (査読無)

- (11) 森江 隆, 石川 聖二, 【招待論文】知的画像認識技術と脳型 LSI 実装, 電子情報通信学会誌, 94, 6, 459-463, 2011. (査読無)
- (12) M. Igarashi, R. Tsukamoto, C.-H. Huang, I. Yamashita, and S. Samukawa, Direct Fabrication of Uniform and High Density Sub-10-nm Etching Mask Using Ferritin Molecules on Si and GaAs Surface for Actual Quantum-Dot Superlattice, Applied Physics Express, 4, 015202-1-015202-3, 2011.
- (13) M. Igarashi, C.-H. Huang, T. Morie, and S. Samukawa, Control of Electron Transport in Two-Dimensional Array of Si Nanodisks for Spiking Neuron Device, Appl. Phys. Express, 3, 085202, 2010.
- (14) M. Igarashi, C.-H. Huang, T. Morie, and S. Samukawa, Control of Activation Energy for Electron Transport in Two-Dimensional Array of Si Nanodisks, Ext. Abstracts of Int. Conf. on Solid State Devices and Materials (SSDM 2010), 934-935, 2010.

[学会発表](計 5 2 件)

- (1) 李 昌勇, 肥後昭男, Cedric Thomas, 田村洋典, 吉川憲一, 山下一郎, 寒川誠二, Polyethylene glycol (PEG) を塗布した基板上的フェリチン 2 次元配列, 第 61 回 応用物理学会春季学術講演会, 相模原, 2014/03/20.
- (2) T. Morie, H. Liang, Y. Sun, T. Tohara, M. Igarashi, and S. Samukawa (Invited), A Silicon Nanodisk Array Structure Realizing Synaptic Response of Spiking Neuron Models with Noise, The 19th Asia and South Pacific Design Automation Conference (ASP-DAC 2014), Singapore, 2014/01/21.
- (3) Y. Takahashi, H. Takenaka, T. Uchida, M. Arita, A. Fujiwara, and H. Inokawa (Invited), High-speed operation of Si single-electron transistor, 224th Electrochemical Society Meeting (ECS) ULSI Process Integration 8, San Francisco, 2013/10/27.
- (4) S. Samukawa (Invited), Novel Quantum Effect Devices Fabricated Using Fusion of Bio-template and Defect-Free Neutral Beam Etching, 2013 JSAP-MRS Joint Symposia, Kyotanabe, 2013/09/17.
- (5) 東原 敬, 梁 海超, 遠藤 和彦, 五十嵐 誠, 寒川 誠二, 昌原明植, 森江 隆, FinFET とナノディスクアレイ構造を結合したニューロンデバイス, 第 60 回応

用物理学会春季学術講演会, 神奈川, 2013/03/29.

- (6) S. Samukawa (Invited), Novel Quantum Effect Devices realized by Fusion of Biotemplate and Defect Free Neutral Beam Etching, 2013 IEEE International NanoElectronics Conference, Singapore, 2013/01/04.
- (7) 梁 海超, 孫 意来, 森江 隆, 五十嵐 誠, 寒川 誠二, ノイズを伴うスパイクングニューロンモデルを実現するナノディスクアレイ構造, 第 72 回応用物理学会学術講演会, 山形, 2011/09/01.

[図書](計 1 件)

高橋 庸夫, ナノシリコンの最新技術と応用展開, 81-92, シーエムシー出版, 2010.

[その他]

ホームページ等

<http://www.brain.kyutech.ac.jp/~morie/>

6 . 研究組織

(1) 研究代表者

森江 隆 (MORIE TAKASHI)

九州工業大学・大学院生命体工学研究科・教授

研究者番号: 20294530

(2) 研究分担者

寒川 誠二 (SAMUKAWA SEIJI)

東北大学・流体科学研究所・教授

研究者番号: 30323108

高橋 庸夫 (TAKAHASHI YASUO)

北海道大学・情報科学研究科・教授

研究者番号: 90374610

古川 徹生 (FURUKAWA TETSUO)

九州工業大学・大学院生命体工学研究科・教授

研究者番号: 50219101

(3) 連携研究者

中田 一紀 (NAKATA KAZUKI)

九州工業大学・大学院生命体工学研究科・助教

黄 啓賢

東北大学・流体科学研究所・助教

・研究協力者

遠藤 和彦 (ENDO KAZUHIKO)

産業技術総合研究所・主任研究員

五十嵐 誠 (IGARASHI MAKOTO)

東北大学・流体科学研究所・大学院生

梁 海超 (LIANG HAICHAO)

九州工業大学・大学院生命体工学研究科・大学院生

孫 意来 (SUN YIRAI)

九州工業大学・大学院生命体工学研究科・大学院生

東原 敬 (TOHARA TAKASHI)

九州工業大学・大学院生命体工学研究科・大学院生