

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 1 日現在

機関番号：17104

研究種目：基盤研究(B)

研究期間：2010～2012

課題番号：22300017

研究課題名（和文）次世代低消費電力 LSI 回路のための電力調整型テスト方式に関する研究

研究課題名（英文）Power Adjustment Testing for Next-Generation Low-Power LSI Circuits

研究代表者

温 暁青 (WEN XIAOQING)

九州工業大学・情報工学研究院・教授

研究者番号：20250897

研究成果の概要（和文）：

LSI テストでは、活性化パスの遅延超過に起因する歩留まり低下、及び、活性化パスの遅延不足に起因する微小遅延欠陥検出不能による品質低下は深刻化してきている。本研究では、活性化パス近傍の局所電力を必要に応じて増減させることによって、各活性化パスにおける遅延超過や遅延不足を同時に解決するという、電力調整型テスト方式を世界に先駆けて確立した。この方式は、半導体産業の生命線である歩留まりと品質の向上に貢献すると期待できる。

研究成果の概要（英文）：

There are two major problems in LSI testing, namely decreasing test yield due to excessive delay along sensitized paths and decreasing test quality due to inadequate delay along sensitized paths. In this research, a novel scheme has been established, which dynamically adjusts regional power dissipation in the neighborhood of sensitized paths to minimize its impact on test yield and test quality. This scheme of power adjustment testing is expected to contribute to higher test yield and better test quality.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	3,400,000	1,020,000	4,420,000
2011 年度	800,000	240,000	1,040,000
2012 年度	800,000	240,000	1,040,000
年度	0	0	0
年度	0	0	0
総計	5,000,000	1,500,000	6,500,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：LSI テスト、低電力テスト、テスト電力調整、遅延テスト、微小遅延故障、活性化パス、高品質化、高信頼化

1. 研究開始当初の背景

- (1) LSI 回路のテストにおいて、活性化パスの遅延超過に起因する歩留まり低下、及び、活性化パスの遅延不足に起因する微小遅延欠陥検出不能による品質低下は深刻化してきていた。
- (2) テスト歩留まり低下の要因として

キャプチャ (Capture: 回路応答取込操作) 電力高騰に対処するため、低キャプチャ電力テスト方式が提案された、LSI 回路全体の平均テスト電力をある程度削減できるが、特定の遅延超過活性化パスの近傍の電力を削減できないという欠点(A)があった。

(3) テスト品質を向上させるために、微小遅延欠陥を考慮したテスト品質評価基準として SDQM (Small Delay Quality Model) をもとに、長いパスを選択することによって活性化パスの遅延を増加させる手法が提案されたが、テスト入力数が大幅に増えるという欠点(B)があった。

2. 研究の目的

本研究は上記欠点AとBを解決するために、パス遅延が近傍電力に大きく影響されることに着目し、活性化パス近傍の局所電力を必要に応じて増減させることによって、各活性化パスにおける遅延超過や遅延不足を同時に解決する電力調整型テスト方式 (PAT: Power Adjustment Testing) を世界に先駆けて確立することを研究の目的とした。具体的な研究目標は以下の通りであった。

- ① 電力解析: ゲート・レイアウト混合型高精度テスト電力解析手法の確立 (H22年度上半期)
- ② 実験評価: 試作LSI回路によるテスト電力解析手法の実験評価と改良 (H22年度下半期)
- ③ 対象特定: 高精度電力解析に基づく電力調整エリア特定手法の提案 (H23年度上半期)
- ④ 電力調整: 電力調整エリアに対する局所テスト電力調整手法の提案 (H23年度下半期)
- ⑤ 圧縮対応: 電力調整技術の圧縮スキャン環境への拡張手法の提案 (H24年度上半期)
- ⑥ 技術総合: 各要素技術の融合による電力調整型テスト方式 (PAT) の確立 (H24年度下半期)

3. 研究の方法

それまでの低電力テストや微小遅延欠陥テストの研究で得られた成果、知見、コアチーム、産学・国際連携ネットワーク、及び、多くの大型研究事業を成功に導いた経験をフルに活用し、強力な研究体制で本研究を着実に遂行した。

1年目には、パス上のゲートの状態遷移に基づく高精度テスト電力解析手法を提案し、試作LSIで評価・改良した。2年目には、パス近傍の明確化によって電力調整エリアを特定し、テスト電力調整手法を確立した。3年目には、標準テスト基盤である圧縮スキャン環境にテスト電力調整手法を拡張した上、各要素

技術を統合して電力調整型テスト方式 (PAT: Power Adjustment Testing) を確立した。

4. 研究成果

LSIテストでは、活性化パスの遅延超過に起因するテスト歩留まり低下、及び、活性化パスの遅延不足に起因する微小遅延欠陥検出不能によるテスト品質低下は深刻化してきている。本研究では、活性化パス近傍の局所電力を必要に応じて増減させることによって、各活性化パスにおける遅延超過や遅延不足を同時に解決するという、電力調整型テスト方式を世界に先駆けて確立した。この革新的なテスト方式は、半導体産業の生命線である歩留まりと品質の向上に貢献すると期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計6件)

(1) S. Wu, L.-T. Wang, X. Wen, Z. Jiang, W.-B. Jone, M. S. Hsiao, L. Tan, Y. Zhang, C.-M. Li, and J.-L. Huang, "Launch-on-Shift Test Generation for Testing Scan Designs Containing Synchronous and Asynchronous Clock Domains", ACM Transactions on Design Automation of Electronic Systems, Vol. 17, Issue 4, Article No. 48, October 2012. (査読有)

(2) H. Salmani, W. Zhao, M. Tehranipoor, S. Chacravarty, P. Girard, and X. Wen, "Layout-Aware Pattern Evaluation and Analysis for Power-Safe Application of TDF Patterns", ASP Journal of Lower Power Electronics, Vol. 8, No. 2, pp. 248-258, April 2012. (査読有)

(3) K. Miyase, K. Noda, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, H. Furukawa, X. Wen, and S. Kajihara, "Distribution-Controlled X-Identification for Effective Reduction of Launch-Induced IR-Drop in At-Speed Scan Testing", IEICE Trans. Inf. & Syst., Vol. E94-D, No. 6, pp. 1216-1226, June 2011. (査読有)

(4) K. Miyase, X. Wen, S. Kajihara, Y. Yamato, A. Takashima, H. Furukawa, K. Noda, H. Ito, K. Hatayama, T. Aikyo, and K. K. Saluja, "A Study of Capture-Safe Test Generation Flow for At-Speed Testing", IEICE Trans. Inf. & Syst., Vol. E93-A, No. 7, pp. 1309-1318, July 2010. (査読有)

[学会発表] (計 31 件)

- (1) K. Enokimoto, X. Wen, K. Miyase, J.-L. Huang, S. Kajihara, and L.-T. Wang, "On Guaranteeing Capture Safety in At-Speed Scan Testing With Broadcast-Scan-Based Test Compression", Proc. 26th Intl. Conf. on VLSI Design, pp. 279-284, Pune, India, January 5-10, 2013.
- (2) K. Miyase, S. Kajihara, and X. Wen, "Estimation of the Amount of Don't-Care Bits in Test Vectors", Proc. IEEE Workshop on RTL and High Level Testing, Paper 2.3, Niigata, Japan, November 22-23, 2012.
- (3) Y.-T. Lin, J.-L. Huang, and X. Wen, "A Transition Isolation Scan Cell Design for Low Shift and Capture Power", Proc. IEEE Asian Test Symp., pp. 107-112, Niigata, Japan, November 19-22, 2012.
- (4) Y.-T. Lin, J.-L. Huang, and X. Wen, "A Transition Isolation Scan Cell Design for Low Shift and Capture Power", Proc. VLSI Test Technology Workshop, Paper 2.2, Yilan, Taiwan, July 10, 2012.
- (5) K. Miyase, M. Aso, R. Ootsuka, X. Wen, H. Furukawa, Y. Yamato, K. Enokimoto, and S. Kajihara, "A Novel Capture-Safety Checking Method for Multi-Clock Designs and Accuracy Evaluation with Delay Capture Circuits", Proc. IEEE VLSI Test Symp., pp. 197-202, Hawaii, USA, April 23-26, 2012.
- (6) K. Miyase, H. Tanaka, K. Enokimoto, X. Wen, and S. Kajihara, "Additional Path Delay Fault Detection with Adaptive Test Data", Proc. IEEE Workshop on RTL and High Level Testing, pp. 31-34, Jaipur, India, November 25-26, 2011.
- (7) K. Miyase, U. Uchinodan, K. Enokimoto, Y. Yamato, X. Wen, S. Kajihara, F. Wu, L. Dilillo, A. Bosio, and P. Girard, "Effective Launch Power Reduction for Launch-Off-Shift Scheme with Adjacent-Probability-Based X-Filling", Proc. IEEE Asian Test Symp., pp. 90-95, New Delhi, India, November 20-23, 2011.
- (8) M. A. Kochte, S. Kundu, K. Miyase, X. Wen, and H.-J. Wunderlich, "Efficient BDD-based Fault Simulation in Presence of Unknown Values", Proc. IEEE Asian Test Symp., pp. 383-388, New Delhi, India, November 20-23, 2011.
- (9) X. Wen, "Towards the Next Generation of Low-Power Test Technologies", Proc. IEEE Int'l. Conf. on ASIC, Paper 1E-1, Hong Kong, China, October 25-28, 2011.
- (10) Y.-T. Lin, J.-L. Huang, and X. Wen,

"Clock-Gating-Aware Low Launch WSA Test Pattern Generation for At-Speed Scan Testing", Proc. IEEE Intl. Test Conf., Paper 2.3, Anaheim, USA, September 18-23, 2011.

(11) Y. Yamato, X. Wen, M. A. Kochte, K. Miyase, S. Kajihara, and L.-T. Wang, "A Novel Scan Segmentation Design Method for Avoiding Shift Timing Failure in Scan Testing", Proc. IEEE Intl. Test Conf., Paper 12.1, Anaheim, USA, September 18-23, 2011.

(12) M. A. Kochte, K. Miyase, X. Wen, S. Kajihara, Y. Yamato, K. Enokimoto, and H.-J. Wunderlich, "SAT-based Capture-Power Reduction for At-Speed Broadcast-Scan-Based Test Compression Architectures", Proc. IEEE Intl. Symp. on Low Power Electronics and Design, pp. 33-38, Fukuoka, Japan, August 1-3, 2011.

(13) X. Wen, "VLSI Testing and Test Power", Proc. Workshop on Low Power System on Chip (SoC), Paper 4.1, Orlando, USA, July 28, 2011.

(14) X. Wen, K. Enokimoto, K. Miyase, Y. Yamato, M. Kochte, S. Kajihara, P. Girard, and M. Tehranipoor, "Power-Aware Test Generation with Guaranteed Launch Safety for At-Speed Scan Testing", Proc. IEEE VLSI Test Symp., pp. 166-171, Dana Point, USA, May 1-5, 2011.

[図書] (計 1 件)

(1) X. Wen and Y. Zorian, Part IV Circuit Testing, Chapter 20: Low-Power Testing for Low-Power LSI Circuits, Advanced Circuits for Emerging Technologies, pp. 511-528, John Wiley & Sons, New Jersey, June 2012.

[その他]

ホームページ等

<http://aries3a.cse.kyutech.ac.jp/~wen/>

6. 研究組織

(1) 研究代表者

温 晓青 (WEN XIAOQING)

九州工業大学・情報工学研究院・教授

研究者番号：20250897

(2) 研究分担者

梶原 誠司 (KAJIHARA SEIJI)

九州工業大学・情報工学研究院・教授

研究者番号：80252592

宮瀬 紘平 (MIYASE KOHEI)

九州工業大学・情報工学研究院・助教

研究者番号：30452824