

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 5 月 22 日現在

機関番号：17401
 研究種目：基盤研究（B）
 研究期間：2010～2012
 課題番号：22300018
 研究課題名（和文） FPGA による自己修復ディペンダブルシステムの研究開発
 研究課題名（英文） Development of Self-Repair Dependable system on FPGA
 研究代表者
 末吉 敏則（SUEYOSHI TOSHINORI）
 熊本大学・大学院自然科学研究科・教授
 研究者番号：00117136

研究成果の概要（和文）：本研究では、SRAM 型 FPGA における信頼性の問題と高信頼化技術の課題を明確にした上で、FPGA の再構成可能という特徴を生かした高信頼システムの研究を行った。まず、冗長実装技術と再構成技術を用いたソフトウェアに対する高信頼化技術を提案し実装・評価を行った。さらに、システムレベルの高信頼性を保証するための信頼性評価技術について提案し FIT 値測定システムを構築した。最後に、動的再構成技術を活用したハードエラー回避技術の研究を行い、ソフトウェア・ハードエラー両方に対して自己復旧可能な高信頼システムを開発し有効性を示した。

研究成果の概要（英文）：SRAM-based field programmable gate arrays (FPGAs) are vulnerable to a soft-errors and physical hard-errors. In order to overcome this issues, our goal is the development of self-repair dependable system on FPGA using following three factors. First, we propose the Triple Modular Redundancy (TMR) scheme coupled with the dynamic partial reconfiguraition to remove SEU from the FPGA' s configuration memory. Second, we propose an evaluation method that provides results in terms of the realistic failure in time (FIT) by using reconfiguration-based fault-injection analysis. By using the proposed method, we successfully evaluated a TMR circuit and could discuss the result in terms of realistic FIT data. Finally, a uniforming design technique for PRRs (Partial Reconfigurable Regions) are introduced in order to relocate their PRB (Partial Reconfigurable Block). Additionally, our design technique enables to implement large partial module by combining neighboring PRRs.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	7,600,000	2,280,000	9,880,000
2011 年度	4,600,000	1,380,000	5,980,000
2012 年度	2,000,000	600,000	2,600,000
年度			
年度			
総計	14,200,000	4,260,000	18,460,000

研究分野：リコンフィギャラブルシステム
 科研費の分科・細目：計算機システム・ネットワーク
 キーワード：ディペンダブルシステム・FPGA

1. 研究開始当初の背景

システムの故障原因には、設計や実装の製造工程における誤りや、熱や衝撃などの外的要因がある。製造工程における不具合については、FPGA を書き換えることにより解決を図る研究がこれまでも行われてきた。しかし、従来の方法では、出荷後の外的要因による故障に対応することは非常に難しい。外的要因（熱、衝撃、放射線など）による不具合は、故障個所が不特定であるばかりか、デバイスの一部が物理的に破壊されることもあるからである。

しかし、出荷後の故障に FPGA の部分再構成を用いて対応しようとする研究が NASA の火星探査ローバーミッションなどの宇宙分野の機器開発において行われ始めている。例えば、FPGA に回路を実装する場合に回路使用率に空き領域を残したままで出荷し、もしハードウェアにエラーが生じたら、そこに実装されていた回路を空き領域にコピーし、その回路の入出力も再配線する。こうすれば、空き領域をすべて使用するまで FPGA の動作が保証されるため、製品の信頼性向上につなげることができる。

このように回路をいくつかのモジュールに分割し、モジュール単位で回路修復を行うことによって、単純な回路の多重化に比べて面積使用効率を高めることが可能となる。また、アプリケーションに依存するが、一部の回路を再構成している間、それ以外の回路は動作を続けることが可能なので、見た目上はシステムの動作を一切中断することなく、修復を行うことも可能となる。高信頼化システムを実現する機能について予備検討を行った結果、先の遠隔再構成システムや動的リコンフィギュラブルシステムで実現した機能と類似しており、これら機能をベースにエラー耐性対策向けに機能拡張することによる実現の着想に至った。

2. 研究の目的

論理仕様を電氣的にプログラムすることによって、ユーザの手元で種々の論理回路を実現できるデバイスに FPGA (Field Programmable Gate Array) がある。FPGA は高集積化・高性能化が飛躍的に進み、マスク等の開発費を含めたトータル・コストが ASIC に比べて有利で、かつ開発期間も短いことから、民生機器から産業機器まで様々な分野で利用されるようになってきている。しかし、単なる ASIC の代替用途に止まらず、リコンフィギュラブルロジックと総称されるクラスの FPGA は、ASIC にはない機能である再構成可能という特徴を積極的に活用した応用を創出している。

代表者らは、SRAM 型 FPGA に代表されるリコンフィギュラブルロジックの再構成機能の潜在的可能性を探求し、製品出荷後も変更・

拡張・アップグレードを行う遠隔再構成システムやアプリケーションに応じて自身のハードウェア構成を適応的に再構成する動的リコンフィギュラブルシステムを開発してきた。本研究は、この SRAM 型 FPGA の再構成機能を活用し、低コストで柔軟性に富む自己修復ディペンダブルシステムを実現することを目的とする。

システム誤動作の原因には、ハードエラーとソフトエラーがある。ハードエラーは、使用しているうちにトランジスタが段々と劣化して正常に動作しなくなったり、配線の弱い部分が切れてしまうということなどで発生し、いわゆる寿命で起こる不良である。一方、ソフトエラーは外部からの電気ノイズで発生することもあるが、微細化が進んだ最近の LSI におけるソフトエラーの主因はアルファ線や中性子である。本研究では、回路に致命的なダメージを与えるハードエラー、そして、特に SRAM 型 FPGA では永続的エラーの原因ともなるソフトエラーに対する自己修復対策を実現して“起き上がり子法師”の如く動作するディペンダブルシステムの構成方式を提案・試作するとともに、その開発環境を構築し、高信頼化を支援する次世代 FPGA 向け機構を明らかにする。

3. 研究の方法

FPGA による自己修復ディペンダブルシステムを実現する方法として、ソフトエラー耐性対策とハードエラー耐性対策とを分け、それぞれの自己修復ディペンダブルシステム実現手法について研究を行うとともに、ソフトエラー耐性機構を備えたシステムの評価を行った。また、それら耐性対策に対応した高信頼化システム設計支援ツール、さらにエラー検出や耐性対策を支援する自己修復ハードウェア機構を備えたデバイスの研究を行った。また、部分再構成技術とスペア領域を組合わせたハードエラー耐性機構の開発を行った。最終年度は自己修復ディペンダブルシステムのプロトタイプの開発を行い、提案手法の評価を行った。

(1) ソフトエラー耐性対策の研究

ソフトエラー耐性を実現する方法としては、TMR (Triple Mode Redundancy) のような三重多数決回路が考えられる。組合せ回路、多数決回路、I/O パッドをいずれも 3 重化した Full TMR ならば組合せ回路にはエラー訂正が可能であるが、レジスタをもつステートマシンに対してはなお不十分である。永続的エラーとなるレジスタおよびコンフィギュレーション情報に対するエラーを考慮する必要がある。例えば、各モジュールの出力を比較することでエラーを検出し、エラー発生時にコンフィギュレーションコントローラへ再構成を指示する。その結果、正常なモジュールだけで演算を継続し、短時間での回路構成

情報・レジスタの訂正が可能となり，エラー訂正に要する時間をユーザに意識させないようにすることができる．ソフトコア CPU を搭載する TMR の場合には，継続して動作していたモジュールと再構成したモジュールの同期がさらに必要となる．これまでの基礎検討を基にして，この方式の可能性を探求し，ソフトウェア耐性対策の問題点を洗い出しを行った．

(2) ソフトエラー耐性評価の研究

高信頼回路の評価を行うために，ソフトウェア蓄積を考慮したフォルトインジェクション評価システムの構築を行い，FIT を用いて評価結果を示した．評価時間を削減して蓄積を考慮するために，再構成時間の削減と再構成回数の削減を目的とし，フレーム単位部分再構成およびブートストラップ法を用いたフォルトインジェクション評価システムを構築した．従来研究の評価システムでは，FIT のような評価指標で表すことが少なく，注入したフォルトのうちどれだけの割合で故障が発生したかを示すのみであった．これでは，コンフィギュレーションメモリの SER を考慮していないため，異なるデバイス状に実装した場合に信頼性の比較ができない．そこで，本研究では故障率とコンフィギュレーションメモリの SER からシステム全体の FIT を算出する仕組みを構築した．

(3) 部分再構成を用いた自己復旧システムに関する研究

モジュール単位での故障検出を行い，モジュール単位で動的にハードエラーを回避する技術について議論を行う．ハードエラー回避を行うためには，以下の点を考慮してシステムを構築する必要がある．(a)．故障箇所の特定，(b)．故障回避先の領域確保，(c)．故障回避先の再構成データの用意，(d)．再構成後の内部状態同期 以上の4点に着目する．

まず，故障モジュールの特定は，モジュールを多重化し出力比較などを行うことで実現を図る．ハードエラーを回避するためには，回避先となる領域に回路が実装されてはならない．また，動的にハードエラーを回避するためには，回避先は部分再構成領域である必要がある．回避先の部分再構成データを用意しておく必要がある．故障回避先の領域確保は，部分再構成領域を設計することで実現できる．しかし，故障が発生するモジュールは予測することが困難であるため，故障を回避したい全モジュールの部分再構成データを保持しておく必要がある．FPGA の内蔵メモリは容量が小さいため，ほとんどの場合，コンフィギュレーションデータを保持するために外部メモリが必要となる．これは，プリント基板の面積増加やコスト増加を招くため好ましくない．

そこで，部分再構成データの再配置技術を

提案し，ハードエラー回避の柔軟性向上を図った．次に，その技術を利用してハードエラーとソフトウェアの両方に対してディペンダブルなシステムの実装を行い，その評価を行う．ハードエラーに対しては，部分再構成データの再配置を行うことで，FPGA 内部で動的にハードエラーを回避するシステムの提案を行った．同時に，ソフトウェアについても，これまで同様に三重冗長化と FPGA 内部再構成を用いて動的に復旧を行った．

4. 研究成果

(1) 内部状態を持つ回路におけるソフトウェア回復技術

ソフトコアプロセッサの高信頼化に向けた同期復旧手法を提案した．高信頼化の対象システムとして，Xilinx 社製ソフトコアプロセッサである MicroBlaze を用い，TMR 構成と部分再構成を組み合わせることで回路構成を動的に修復するシステムを構築した．また，再構成後に Voter 経由でレジスタ情報の退避と復帰を行うことで，ソフトコアプロセッサの同期が可能であることを確認した．評価結果より，高信頼化を行わない場合と比較して回路規模は約 4.7 倍に増加し，動作周波数は約半減するという結果になった．一方で，復旧処理にかかる時間は，回路構成修復の時間を部分再構成を用いることで隠蔽できることからマイクロ秒オーダーで復旧処理を実行できた．これらより，面積と動作周波数のオーバーヘッドを満足できれば，全体再構成と比較して非常に短い時間でプロセッサの復旧が可能であることが分かった．また，条件付き確率を用いて信頼性評価を行った結果，構築した動的復旧システムが高い信頼性を確保できることを確認した．提案した復旧技術によりソフトコアプロセッサシステムの信頼性を向上させることができた．しかし，その信頼性評価は確率ベースの推定値であり，高信頼システムを評価可能なより詳細な評価手法が必要である．

(2) フォルトインジェクション評価システムの構築

高信頼システムの評価を目的として，フォルトインジェクション評価の高速化技術の提案を行った．まず，一回あたりの再構成時間を短縮するために，フレーム単位部分再構成を用いたフォルトインジェクション法について述べた．また，フォルトインジェクション回数を削減するために，モンテカルロ法の一つであるブートストラップ法を適用した．これらについて，フォルトインジェクション評価システムを構築し評価を行った．結果として，フレーム単位部分再構成は，フォルトインジェクション 1 回の時間を約 10 分の 1 に削減し，Xilinx によりサポートされている部分再構成よりも効率よくフォルトインジェクションができることを実証した．

ブートストラップ法を用いた評価においては、ブートストラップ法を用いない場合と評価結果を比較し、約40分の1の再構成回数で、十分な精度で評価が可能であることを示した。これらを組み合わせることで、評価時間の削減を行い多数のフォルトインジェクションを必要とする高信頼回路の評価を可能とした。フレーム単位部分再構成およびブートストラップ法は、本評価システム以外でも利用可能である。このことから、フレーム単位部分再構成とブートストラップ法を用いた評価手法は、評価時間の短縮に非常に有効であるという結論を得た。

(3). 部分再構成を用いた自己復旧システムの構築

ハードエラー・ソフトエラー両方に対するディペンダブルシステムの実装を行った。まず、柔軟にハードエラー回避を行うために、部分再構成データの再配置設計手法について議論を行った。再配置設計手法により部分再構成領域間で部分再構成データを共有可能となることから、再構成の柔軟性を向上できることを示した。また、TMR構成と部分再構成データの再配置設計を用いて、ソフトエラー・ハードエラーに対する自動復旧システムを構築した。この自動復旧システムは、ハードエラー回避用の部分再構成領域であるスベア領域にも再配置設計を適用し、FPGA内部で自己復旧可能な構成をとっている。検証の結果、正常なモジュールの回路情報をリードバックして、スベア領域を再構成することでハードエラーから自動的に復旧できることを確認した。これにより、FPGAの再構成技術を利用することで、ハードエラーに対してディペンダブル化が可能であるという結論を得た。最後に今後の課題および展望を示す。

1. 高信頼設計のオーバーヘッド低減

三重冗長実装、部分再構成設計、部分再構成データの再配置設計により、ソフトエラーおよびハードエラーに対して動的復旧可能なシステムを実装できることは実証した。しかし、それらの実装は部分再構成データの再配置によりハードエラー回避とソフトエラー回復を実証できたという段階であり、面積や動作周波数が大きく悪化するという課題がある。特に、再配置設計に関しては、実用性を高めるために設計手法を洗練する必要がある。また、現在はシステム全体の評価しか行っておらず、故障に対してクリティカルなモジュールや、故障に対して元々ロバストなモジュールなどの特定ができていない。そのため、システム全体を均一に高信頼化しており、高信頼実装による面積や動作速度のオーバーヘッドが大きい。故障に対してクリティカルなモジュールを特定できれば、設計にフィードバックをかけ効率よく信頼性を上げる

ことができる。面積・性能のオーバーヘッドを最低限に抑え、効率よく信頼性をあげるためにモジュール単位の信頼性評価手法が必要である。

2. ハードエラー耐性の評価

部分再構成データの再配置を用いたハードエラー回避システムの提案を行い、その動作検証を行った。しかし、現時点ではハードエラーに対する定量的な信頼性評価を行うことはできていない。また、スベア領域を実装することで実装面積が増加し、コンフィギュレーションメモリ数が増加する。それによりソフトエラー耐性も変化するため、ハードエラー耐性・ソフトエラー耐性両方のトレードオフを考慮した総合的な信頼性評価が必要である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計9件)

1. Y. Ichinomiya, T. Kimura, M. Amagasaki, M. Kuga, M. Iida and T. Sueyoshi, "Fault-Injection Analysis to Estimate SEU Failure in Time by Using Frame-Based Partial Reconfiguration", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, Vol. E95-A, No. 12, pp. 2347-2356, Dec. 2012

2. Y. Ichinomiya, K. Takano, M. Amagasaki, M. Kuga, M. Iida and T. Sueyoshi, "Accelerated evaluation of SEU failure-in-time using frame-based partial reconfiguration," Proc. International Conference on Field Programmable Technology (ICFPT2012), 査読有, pp. 220-223, Seoul, Korea, Dec. 2012.

3. Y. Ichinomiya, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi, "A bitstream relocation technique to improve flexibility of partial reconfiguration," Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing (ICA3PP-12), Lecture Notes in Computer Science (LNCS) 7439, Springer-Verlag Berlin Heidelberg, 査読有, pp. 139-152, Sep. 2012.

4. M. Fujino, H. Tanaka, Y. Ichinomiya, M. Kuga, M. Iida, M. Amagasaki and T. Sueyoshi, "Fault Recovery Technique for TMR Softcore Processor System using Partial Reconfiguration," Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing (ICA3PP-12), Lecture Notes in

Computer Science (LNCS) 7439, Springer-Verlag Berlin Heidelberg, 査読有, pp.392-404, Sep. 2012.

5. Y. Ichinomiya, S. Usagawa, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi,

“Designing flexible reconfigurable regions to relocate partial bitstreams,” Proc. the 20th Annual International IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2012), 査読有, pp.241, Toronto, Canada, May 2012

6. Y. Ichinomiya, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi,

“Improving the Soft-error Tolerability of a Soft-core Processor on an FPGA using Triple Modular Redundancy and Partial Reconfiguration”, Journal of Next Generation Information Technology, 査読有, Vol. 2, No. 3, pp. 35-48, Sep. 2011

7. T. Kimura, N. Kai, M. Amagasaki, M. Kuga and T. Sueyoshi,

“A Case Study of Evaluation Technique for Soft error Tolerance on SRAM-based FPGAs”, Proc. of IEEE Region 10 International Technical Conference (TENCON2010), 査読有, T6-2.5, Fukuoka, Japan, Nov. 2010

8. Y. Ichinomiya, M. Amagasaki, M. Kuga and T. Sueyoshi,

“Soft-error Tolerability Analysis for Triplicated Circuit on an FPGA,”

Proc. the 16th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2010), 査読有, pp.448-453, Taipei, Taiwan, Oct. 2010

9. Y. Ichinomiya, S. Tanoue, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi,

“Improving the Robustness of a Softcore Processor against SEUs by using TMR and Partial Reconfiguration,”

Proc. the 18th Annual International IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2010), 査読有, pp.47-54, Charlotte, North Carolina, USA, May 2010

[学会発表] (計 17 件)

1. Y. Ichinomiya, K. Takano, M. Amagasaki, M. Kuga, M. Iida and T. Sueyoshi

“Accelerated evaluation of SEU failure-in-time using frame-based partial reconfiguration,” Proc. International Conference on Field Programmable Technology (ICFPT2012), 査読有, pp.220-223, 2012.12.11, Seoul (Korea)

2. H. Tanaka, Y. Ichinomiya, M. Amagasaki, M. Kuga, M. Iida and T. Sueyoshi

“Self-repair Technique using Spare Resource in TMR Softcore Processor System,” Proc. 2012 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 01-1P-05, 2012.9.24, 長崎大学 (長崎)

3. 高野光平, 一ノ宮佳裕, 尼崎太樹, 久我守弘, 飯田全広, 末吉敏則

“FPGA システムのソフトウェア耐性評価におけるブートストラップ法による高速化,” 信学技報 RECONF2012-45, vol.112, no.203, pp.125-130, 2012.9.19, 立命館大学 (草津)

4. M. Fujino, H. Tanaka, Y. Ichinomiya, M. Kuga, M. Iida, M. Amagasaki and T. Sueyoshi,

“Fault Detection and Avoidance of FPGA in Various Granularities”, Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing (ICA3PP-12), pp.392-404, 2012.9.7, 九州産業大学 (福岡)

5. Y. Ichinomiya, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi,

“A bitstream relocation technique to improve flexibility of partial reconfiguration”,

Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing (ICA3PP-12), pp.139-152, 2012.9.7, 九州産業大学 (福岡)

6. 一ノ宮 佳裕,

“FPGA 実装回路のソフトウェア耐性評価に向けた部分再構成によるフォルト注入解析手法,”

ソフトウェア(などの LSI における放射線効果)に関する勉強会, 2012.8.27, 福岡システム LSI 総合開発センター (福岡)

7. 田中宏樹, 一ノ宮佳裕, 宇佐川貞幹, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則

“単一 FPGA 内における三重冗長モジュールの動的再配置によるハードエラー回避手法,” 信学技報 RECONF2012-11, vol.112, no.70, pp.61-66, 2012.5.29, 沖縄県男女共同参画センター (那覇)

8. 高野 光平, 木村 剛士, 一ノ宮 佳裕, 尼崎太樹, 久我守弘, 飯田全広, 末吉敏則,

“動的部分再構成を用いたソフトウェア耐性評価手法,”

LSI とシステムのワークショップ2012 予稿集, pp.192-194, 2012.5.29, 北九州国際会議場 (北九州)

9. Y. Ichinomiya, S. Usagawa, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi,

“Designing flexible reconfigurable regions to relocate partial bitstreams,” Proc. the 20th Annual International IEEE Symposium on Field-Programmable Custom

Computing Machines (FCCM2012), pp.241, 2012. 5. 1, Toronto, Canada(USA)

10. 藤野誠, 一ノ宮佳裕, 久我守弘, 尼崎太樹, 飯田全広, 末吉敏則
`システムの高信頼化に向けた Supervisor Processor の一検討, ``
信学技報 CPSY2011-92, vol.111, no.461, pp.199-204, 2012. 3. 3, ホテル松島大観荘 (仙台)

11. 一ノ宮佳裕, 藤野誠, 尼崎太樹, 久我守弘, 飯田全広, 末吉敏則
`二重冗長ソフトコアプロセッサにおけるソフトウェアの高速復旧技術, ``
信学技報 RECONF2011-42, vol.111, no.323, pp.7-12, 2011. 11. 28, ニューウェルシティ宮崎 (宮崎)

12. M.Fujino, Y.Ichinomiya, M.Amagasaki, M.Kuga, M.Iida and T.Sueyoshi
`Reliable Softcore Processor System using TMR and Dynamic Reconfiguration, ``
Proc. 2011 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 11-1P-02, 2011. 9. 26, 佐賀大学 (佐賀)

13. 宇佐川貞幹, 一ノ宮佳裕, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則
`動的再構成システムに向けた部分再構成データの再配置に関する一検討, ``
信学技報 RECONF2011-30, vol.111, no.218, pp.49-54, 2011. 9. 26, 名古屋大学 (名古屋)

14. T.Kimura, Y.Ichinomiya, M.Koga, M.Amagasaki, M.Kuga and T.Sueyoshi
`A Case Study of Dependability Estimation for SRAM-based FPGA Circuits, ``
Proc. the 6th International Student Conference on Advanced Science and Technology(ICAST), pp107-108, 2011. 9. 23, Jinan (China)

15. 山本千重子, 白石恭平, 一ノ宮佳裕, 尼崎太樹, 久我守弘, 末吉敏則
`FPGA における二重冗長ソフトコアプロセッサの高信頼化手法, ``
若手の会セミナー2011 講演論文集, 情報処理学会九州支部, pp.37-41, 2011. 9. 17, パレスインホテル鹿児島 (鹿児島)

16. 藤野 誠, 甲斐統貴, 一ノ宮佳裕, 尼崎太樹, 久我守弘, 末吉敏則
`ソフトコアプロセッサシステムの高信頼化に向けたコンテキスト同期手法, ``
信学技報 RECONF2011-5, vol.111, no.32, pp.25-30, 2011. 5. 12, 北海道大学 (札幌)

17. T.Kimura, N.Kai, M.Amagasaki, M.Kuga and T.Sueyoshi,
`A Case Study of Evaluation Technique for Soft error Tolerance on SRAM-based FPGAs, ``
Proc. of IEEE Region 10 International Technical Conference (TENCON2010), T6-2.5, 2010. 11. 22, 福岡国際会議場 (福岡)

18. Y.Ichinomiya, M.Amagasaki, M.Kuga and

T.Sueyoshi,
`Soft-error Tolerability Analysis for Triplicated Circuit on an FPGA, ``
Proc. the 16th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2010), pp.448-453, 2010. 10. 19, Taipei(Taiwan)

19. T.Kimura, N.Kai, M.Amagasaki, M.Kuga and T.Sueyoshi
`A Case Study of Soft Error Emulation for SRAM-based FPGA Circuits, ``
Proc. 2010 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 12-1A-05, 2010. 9. 25, 九州産業大学 (福岡)

20. 木村剛士, 甲斐統貴, 堤 喜章, 尼崎太樹, 久我守弘, 末吉敏則
`SRAM 型 FPGA 上の実装回路におけるソフトウェア耐性評価手法の一検討, ``
信学技報 RECONF2010-7, vol.110, no.32, pp.37-42, 2010. 5. 13, やすらぎ伊王島 (長崎)

21. Y.Ichinomiya, S.Tanoue, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi,
`Improving the Robustness of a Softcore Processor against SEUs by using TMR and Partial Reconfiguration, ``
Proc. the 18th Annual International IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2010), pp.47-54, 2010. 5. 3, Charlotte, North Carolina(USA)

〔図書〕 (計1件)

1. 末吉敏則, 一ノ宮佳裕 (分担執筆),
FPGA 活用チュートリアル 2012/2013 年版,
第7章 部分再構成技術の特徴と高信頼化システムへの応用, CQ 出版社, pp.97-110, May 2012.

〔その他〕

ホームページ等
<http://www.arch.cs.kumamoto-u.ac.jp>

6. 研究組織

(1) 研究代表者

末吉 敏則 (SUEYOSHI TOSHINORI)
熊本大学・自然科学研究科・教授
研究者番号: 00117136

(2) 研究分担者

久我 守弘 (KUGA MORIHIRO)
熊本大学・自然科学研究科・准教授
研究者番号: 80243989

尼崎 太樹 (AMAGASAKI MOTOKI)
熊本大学・自然科学研究科・助教
研究者番号: 50467974