

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 18 日現在

機関番号：82118

研究種目：基盤研究(B)

研究期間：2010～2014

課題番号：22340068

研究課題名(和文)超高頻度トリガシステムのデッドタイムレス化の研究

研究課題名(英文)Study of Deadtime Minimization of a Ultra High Rate Trigger System

研究代表者

中尾 幹彦(Mikihiko, Nakao)

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・准教授

研究者番号：80290857

交付決定額(研究期間全体)：(直接経費) 6,200,000円

研究成果の概要(和文)：本研究では 30 kHz の超高頻度で起きる事象のトリガを約 1,000 個の読み出し機器に可能な限り遅延なく分配し、パイプライン方式で読み出されるデータが帯域幅を越えない仕組みを保ちつつデッドタイムを十分無視できる程度に小さくする方法を考案した。このトリガ分配を効率良く行なうためのシリアル通信プロトコルを新たに設計し、またプロトコルを FPGA の論理回路として実装するための回路モジュール FTSW を製作した。このシステムはポアソン分布の疑似トリガによる試験やビームや宇宙線を用いた検出器の動作試験で検証され、間もなく開始される Belle II 実験の主要な構成要素として使用される。

研究成果の概要(英文)：We have developed a system to distribute the triggers for the events of interest at an ultra high rate of 30 kHz to about 1,000 readout devices with minimum latency, and to minimize the deadtime to a negligible level while keeping the pipelined data not exceeding the bandwidth limit. In this study we have designed a new serial transmission protocol to efficiently construct the trigger distribution scheme, and developed an "FTSW" circuit module to implement the protocol as a logic circuit inside an FPGA. This FTSW has been used to evaluate and confirm the design in a test using an artificial trigger of a pseudo Poisson random distribution or in a series of detector readout tests with accelerator beam or cosmic rays, and will be one of the major component of the soon starting Belle II experiment.

研究分野：素粒子実験物理学

キーワード：トリガシステム データ収集システム シリアル通信プロトコル FPGA Bファクトリー Belle II

1. 研究開始当初の背景

(1) 素粒子の標準理論の 3 本柱のひとつである小林・益川理論を検証した高エネルギー加速器研究機構の KEKB 加速器を用いた Belle 実験が本研究開始年度の平成 22 年度で 11 年間に渡る運転期間を終了した。Belle 実験ではさらに素粒子物理の課題である標準理論を超える新しい物理の手掛りとなるような結果が得られつつあったが、その検証にはより多くのデータが必要となるために KEKB 加速器と Belle 実験を大幅に改良して SuperKEKB 加速器と Belle II 実験として 50 倍ものルミノシティを得る計画が開始されていた。トリガ・データ収集系に統一読み出しシステムを用いて効率よくデータ収集を行うことが出来たことが Belle 実験の成功の要因のひとつであったため Belle II 実験でも同様の統一読み出しシステムが検討されていた。だが実際にはトリガ・データ収集系の方式そのものは一から設計しないと動作もままならないデータ量となることが想定されていた。

(2) Belle II 実験の読み出しシステムにはジュネーブ CERN 研究所の LHC 実験のための技術が数多く転用されてきていた。しかし、Belle II で使えるトリガ分配技術が存在していなかったということと、FPGA の技術が発展してきており、FPGA を用いた高速シリアル通信が安価に実現できる素地が整いつつあった。

2. 研究の目的

(1) データ収集システムのデッドタイムは、読み出しデータの破損を防ぐためにトリガ分配システムがトリガを受けつけることを一時的に停止することにより生じる。単純なシステムではデータ読み出し中には次のトリガを受けつけることは出来ないが、トリガの受けつけおよび読み出しの処理をパイプライン化することにより、トリガの頻度にデータサイズを掛けたものの平均が読み出しと転送経路の帯域幅を越えない限りはデッドタイムを生じないシステムを構築することが可能である。ただしどのような単位時間あたりにおいてもこの条件をみたく帯域幅を用意することは費用対効果の点で現実的でない。実際には瞬間的にトリガの頻度が読み出し帯域幅からの制限を越える割合が無視できるほど十分小さく、従ってデッドタイムが十分小さくなる条件を要求することが現実的である。そこで、本研究では Belle II 実験の各サブ検出器を例にとり、個々の検出器の読み出しシステムからくる制限をふまえて上記の条件をみたく方式の設計を行う。

(2) Belle II 実験では 30 kHz という超高頻

度のトリガシステムにおいて 1,000 個あまりの読み出しシステムで事象を読み出すことが必要となる。トリガを分配するにあたっては、単純に読み出しシステムの台数分の信号線を用意するだけでは足りず、トリガ信号に付随するトリガ条件などの信号を含める必要があるが、旧来のパラレルに複数の信号線を用いる方式は高密度の実装や速い信号に対応できなくなりつつあり、時分割でシリアル化するのが妥当である。また、検出器そのものが大規模であるためにトリガ信号を分配するためには複数の段階を経る必要がある。信号のシリアル化にあたって問題となるのは、シリアル化に要する遅延時間である。特に多段階を経ることにより遅延時間が積み重なってくる。既存のシリアル通信プロトコルにはこのような機能に特化したものは存在しないため、新たなシリアル通信プロトコルを設計し、遅延時間の最小化を目指す。

(3) トリガシステムのデッドタイムレス化だけではなく実際に稼働するトリガ分配システムに必要なさまざまなタイミング情報を分配して運用が可能であることを実証することも本研究の重要な目的である。従って本研究で設計するシリアル通信プロトコルでは Belle II 実験で必要な数多くの制御機構をすべて取り扱えるとともに、他の応用分野でも使用できる汎用性を持たせた設計とする。

3. 研究の方法

(1) 本研究に用いるトリガ分配システムでの機器間通信の基本技術要素を以下のように選定した。具体的には、物理的接続にはカテゴリ 7 の LAN ケーブルを、電気的には LVDS 信号を、シリアル通信の転送レートには 254 Mbps の速度を選択した。LVDS 信号は長距離の高速信号に対応でき FPGA に追加の部品なしで入出力できるため回路を単純化できる。LAN ケーブルは安価で入手性が良く高い帯域幅に対応でき、254 Mbps の LVDS 信号の到達可能距離を Belle II 検出器のほぼ端から端までをカバーできる 20 メートル程度まで確保できる。254 Mbps の信号は倍速データ転送(DDR)方法を用いれば FPGA 内の論理回路で 127 MHz と十分に余裕のある動作周波数を用いて信号の生成、受信、その他の処理を行うことができる。127 MHz は特殊な周波数であるために水晶発振器を特注で製作する必要があるが、SuperKEKB 加速器の加速空洞の動作周波数の 508 MHz から 4 分周したものをを用いると加速器運転と同期を取ることができる。汎用に用いるために市販の 125 MHz の水晶発振器を用いて 250 Mbps で運用することも可能である。これらを扱う FPGA としては、平成 22 年度当時最新であった Xilinx 社の Virtex 5 FPGA を選択した。また、トリガ分配システムのモジ

ジュールは周辺設備の整っていた VME 規格を用いた。VME モジュールの 2 スロット幅を用いれば最大 24 本の LAN ケーブルをフロントパネルに接続できることから、1 モジュールにつき 20 の接続先に分配することとし、3 段階の接続で Belle II 検出器全体をカバーできることとした。

(2) 上記の基本要素の検証のため、試験基板を作成した。基板の高密度化も試験項目のひとつであるため最初から 24 ポートのモジュールを製作することにした。この時点では汎用の 125 MHz の発振器を用いているが、それ以外はほぼ最終型の設計とした。この試験基板により設計上の問題点を洗い出すとともに、LAN ケーブルを用いた接続時における信号特性などを異なる種類と長さのケーブルごとに比較試験を行った。試験基板において判明した問題点などを改善するために、修正版の基板の作成を行った。

(3) デッドタイムのシミュレーションには C++ 言語によるプログラムで簡単なモデルを構築した。トリガは平均 30 kHz で時間間隔がポアソン分布をとることとし、ある一定時間内に受けつけることの出来る事象数を変数としてトリガを受けつけることの出来なかった時間の割合をデッドタイムの割合として計算する。この大きさは検出器の読み出し方式によって大きく異なるが、最も条件の厳しいシリコン崩壊点検出器の例ではトリガの種類によって受けつけられる事象数を変えることにより多くのトリガを受けつけられるようになっており、そのような効果もシミュレーションに含める。トリガ分配および状態信号収集にかかる遅延の分だけ受けつけ可能なトリガ数が減ってしまうため、この遅延の削減が重要な課題となる。また、ハードウェアでもテストできるようにするためポアソン分布をとる任意のトリガ頻度のトリガ生成論理回路を FPGA 内に設計する。FPGA 内では浮動小数や指数関数などは扱えないために直接ポアソン分布の疑似乱数を生成することが難しいが、メモリ Lookup テーブル方式により直接計算の出来ない関数の結果を前もって用意することにより乱数割合は落ちるもののポアソン分布に近い分布を得ることが出来る。

(4) トリガ分配のための遅延の少ないシリアル転送プロトコルの開発が本研究で最大の難関である。8b/10b 符号化技術を用いてデータのフレームを定義して同期やリセットなどの各種情報の分配を行うとともに、トリガ信号やトリガを止めるためのビジー信号も符号化して埋め込む専用のプロトコルの設計および実装を行った。FPGA 内の論理の VHDL 言語による記述からアルゴリズムを C++ に変換して容易に試験が行える環境を整備し、問題点の解明などに役立てること

が出来た。

(5) 本研究の最終年度が近づくとつれ Belle II のサブ検出器と読み出しシステムの準備が整い始めるため、加速器ビームを用いた読み出し試験（ビームテスト）や宇宙線を用いた試験（宇宙線テスト）が可能になってくる。実システムの試験はまず試験用のテストデータと疑似生成したトリガにより動作確認を行うが、ビームや宇宙線などの自然現象を元にしたトリガを用いると、疑似信号で予期していないタイミングの信号が得られる。

4. 研究成果

(1) 本研究で開発した試験基板を FTSW (Frontend Timing Switch) と名付け、電気的および機能的な基本性能をすべて満たしていることを確かめることが出来た。また、本研究で製作したものをわずかに修正したものを Belle II 実験で大量生産して採用することとなった。Belle II 実験ではエレクトロニクス・ハットと呼ばれるトリガ分配の起点となる場所と分配の最終地点の読み出しシステムとの間が 40 メートルくらい離れているケースが出てきたため中間に光ファイバ経由の伝送路を設けたが、これも FTSW モジュールに子基板を載せることにより対応し、合計 1000 台弱の機器を 1 種類の FTSW モジュールのみを約 150 台用いて、機能ごとに数種類のファームウェアを用意して構築を行った。

(2) トリガ分配のための遅延の少ないシリアル転送プロトコルを開発して、実際に運用することが出来るようになった。疑似生成したトリガによる 30 kHz のトリガでシステムが動作することを確認した。このプロトコルの基本設計自体は初年度にほぼ形になっていたが、実際の試験を重ねてゆく上で改良が重ねられていった。このプロトコルの送信側は FTSW モジュールであるが、受信側はサブ検出器ごとに異なる FPGA を用いた基板である。プロトコル受信部はバージョン管理されたファームウェア部品として各サブ検出器グループによって使用されている。

(3) 平成 25 年度は飛跡検出器のビームテストを Spring-8 で、また崩壊点検出器のビームテストをドイツ・ハンブルグの DESY 研究所で行った。これらの試験でデータの収集に成功したが、さまざまな問題点も発見し、現場で修正できたものは修正を加え、そうでないものも問題点を整理して修正することが出来た。この際に転送プロトコルのアルゴリズムの C++ によるシミュレーションを行うことが出来たため問題箇所の同定と修正を素早く行うことが出来た。

(4) 平成 26 年度には Belle II 検出器の電磁カロリメータ、KL/ μ 検出器、飛跡検出器の実機で宇宙線テストが開始された。特に電磁カロリメータと飛跡検出器ではそれぞれ 52 台および 300 台の読み出し機器に対応できるシステムを構築し、運用を行うことに成功している。

(5) 30 kHz のポアソン分布疑似トリガにおいてもトリガ条件が 1 パーセントより十分小さくなる条件をシミュレーションにより得ることが出来た。また、実際の読み出しシステムにおいてはシミュレーションに含めることの出来ないデッドタイムの成分があるが、これも無視できるほど小さいということを確認することが出来た。

(6) 以上、本研究によってほぼデッドタイムの生じない Belle II 実験のためのトリガ分配技術を確立することが出来た。研究期間内にはまだ崩壊点検出器の最終読み出しシステムが出揃っていないなどの点でまだ不十分であるが、平成 27-28 年度に予定されている試験等で確認できる予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 5 件)

"First results of the Belle II Silicon Vertex Detector readout system",
M. Friedl, M. Nakao 他 (Belle II SVD and DAQ group, 全 24 名),
J. of Instrum. 9 C12005 (2014). (査読有り)

"Development of a Data Acquisition System for the Belle II Silicon Vertex Detector",
K. Nakamura, M. Nakao 他 (Belle II SVD and DAQ group, 全 23 名),
PoS TIPP2014 (2014) 198. (査読有り)

"Minimizing Dead Time of the Belle II Data Acquisition System with Pipelined Trigger Flow Control",
M. Nakao, M. Friedl, C. Lim, and T. Uchida,
IEEE Trans. Nucl. Sci. 60, 3729-3734 (2013) (査読有り).

"Timing Distribution for the Belle II Data Acquisition System",
M. Nakao,
J. of Instrum. 7, C01028 (2012). (査読有り)

"Data acquisition system for Belle II",
M. Nakao, T. Higuchi, R. Itoh and S. Y.

Suzuki,
J. of Instrum. 5, C12004 (2010). (査読有り)

〔学会発表〕(計 6 件)

"Non-Stop Data Acquisition System for the Belle II Experiment",
M. Nakao, S. Y. Suzuki, R. Itoh, S. Yamada, T. Higuchi, T. Konno,
第 19 回 IEEE Realtime Conference (2014 年 5 月、奈良)

"Multi-purpose Trigger Timing Distribution System for a Small Test Setup",
M. Nakao,
第 19 回 IEEE Realtime Conference (2014 年 5 月、奈良)

"Minimizing Dead Time of the Belle II Data Acquisition System with Pipelined Trigger Flow Control",
M. Nakao, M. Friedl, C. Lim, and T. Uchida,
第 18 回 IEEE Realtime Conference (2012 年 5 月、パークレー、米国)

"Timing Distribution for the Belle II Data Acquisition System",
M. Nakao,
第 11 回 Topical Workshop on Electronics for Particle Physics (2011 年 9 月、ウィーン、オーストリア)

"Belle II DAQ の開発 (1) タイミング信号分配システム"
中尾 幹彦, 他 (全 8 名)
日本物理学会秋期大会 (2011 年 9 月、弘前大学)

"Data Acquisition System for Belle II",
M. Nakao
第 10 回 Topical Workshop on Electronics for Particle Physics (2010 年 9 月、アーヘン、ドイツ)

〔図書〕(計 件)

〔産業財産権〕
出願状況 (計 件)

名称 :
発明者 :
権利者 :
種類 :
番号 :
出願年月日 :
国内外の別 :

取得状況（計 件）

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
取得年月日：
国内外の別：

〔その他〕

ホームページ等

<http:// Belle.kek.jp/~nakao/daq2/>

6. 研究組織

(1) 研究代表者

中尾 幹彦 (NAKAO, Mikihiko)

高エネルギー加速器研究機構・素粒子原子
核研究所・准教授

研究者番号：22340068

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：