

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 5 月 10 日現在

機関番号：11301

研究種目：基盤研究（B）

研究期間：2010～2012

課題番号：22360136

研究課題名（和文）

リコンフィギュラブル接合を基盤とした三次元集積化研究

研究課題名（英文）

A Study of 3D Integration Based on Reconfigurable Bonding

研究代表者

福島 誉史 (Takafumi Fukushima)

所属・職名

東北大学・未来科学技術共同研究センター・准教授

研究者番号：10374969

研究成果の概要（和文）：

三次元集積回路(3D IC)をウェーハレベル、且つ高歩留りで作製するための鍵となるリコンフィギュラブル接合技術を開発し、良品チップに Si 貫通配線(TSV: Through-Si Via)を形成して多段積層する新たな三次元集積化技術を創出した。リコンフィギュラブル接合とは、液体の表面張力を駆動源として多数のチップを一括で支持ウェーハ上に位置合わせすると同時に接合させ、高温・高真空下の TSV 形成工程を経た後に、チップを剥離して別のウェーハに転写できるインテリジェントな接合が可能であった。これにより従来の(二次元)IC チップに TSV を容易に形成することが可能となるため、3D IC の多品種少量生産を目的としたアジャイル集積の実現可能性が検証できた。

研究成果の概要（英文）：

A new reconfigurable bonding technologies has been studied for 3D stacked known good dies with TSV in order to increase throughput and yield. In the reconfigurable bonding, a large number of KGDs can be precisely and simultaneously self-assembled on wafers by surface tension of liquid and at the same time temporarily bonded on the wafers. After high temperature and high-vacuum processes, the KGDs can be removed from the wafers and transferred to the other corresponding wafers. By using the reconfigurable bonding with conventional 2D LSI chips, we showed high feasibility of TSV-based 3D and hetero agile integration.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	6,100,000	1,830,000	7,930,000
2011 年度	4,800,000	1,440,000	6,240,000
2012 年度	3,400,000	1,020,000	4,420,000
年度			
年度			
総計	14,300,000	4,290,000	18,590,000

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：インターコネクト・パッケージのシステム化・応用

## 1. 研究開始当初の背景

積層された薄いチップ間を長さ数十  $\mu\text{m}$  の極めて短い TSV を介して接続する三次元

集積化技術は、ムーアの法則に従う半導体の微細化限界を打破できる革新的な技術として国内外で盛んに研究が活性化しており、最

近 Chip-to-Wafer 積層に特に高い関心が集まっている。これは 2009 年 12 月開催予定の半導体デバイス国際会議 (IEDM) に採択された論文 (Session 14: Process Technology – Advanced 3D Technology Processing) を見ても分かる通り、我々の他に台湾の TSMC、ベルギーの IMEC が Chip-to-Wafer 積層を発表している。2013 年現在でも Chip-to-Wafer 積層に対する期待は非常に大きい。

## 2. 研究の目的

膨大な数のチップを積層するには、ロボットを用いた pick-and-place では長い時間を要する。我々はこの問題を解決するため、液体の表面張力を利用して多数のチップを自己組織的に一括積層するセルフアセンブリ技術を世界に先駆けて研究してきた。本研究ではこの技術を発展させた自己組織化三次元集積の開発に取り組む。これまでは SiO<sub>2</sub> を介した直接接合に限定されていたため歩留りが低く剥離は困難であった。しかし、耐熱性高分子溶液を介してチップを支持ウェーハ上に一時的に接合し、TSV 形成後に剥離させ、対向する LSI ウェーハに転写するリコンフィギュラブル接合では、歩留りと工程の自由度が高い。本研究では、このリコンフィギュラブル接合の基礎的研究と応用可能性を検証する。

## 3. 研究の方法

樹脂の分子設計を行い、その水溶液を用いてチップを自己組織的に位置合わせさせ、且つ接合まで行って、精度と接合強度、剥離性を評価した。精度評価は、チップに設けたバーニアパターンを I R 顕微鏡で観察することにより行った。接合強度は、引張試験機シェア試験機を用いて行った。剥離性能は剥離液に浸漬し、溶剤溶解原理を用いて剥離させ、その剥離時間で評価した。チップサイズを 3 mm 角～5 mm 角、水溶液の液量は 0.5  $\mu$  L とした。親水性疎水性の領域はフォトリソグラフィを用いて行った。

## 4. 研究成果

平成 22 年度には、リコンフィギュラブル接合の媒体となる耐熱性高分子溶液の分子設計と調製を行った。特に、主鎖にイミド基を有する耐熱性、且つ水溶性の高分子溶液を選定した。イミド系の高分子材料は、アミン系の求核試薬による求核的アシル置換反応により、容易にイミド環が開環し、アミドになるため、特定の薬液に対して高い溶解性や分解性を付与できる。

分子設計して調製した高分子材料の 5 % 重量減少温度は 450 °C 以上であった (TG-DTA 法により測定)。また、少量の非プロトン性の極性溶媒を含む水に任意に溶解

させることが可能であった。この樹脂の固形分を約 3 wt %、非プロトン性の極性溶媒を約 4 wt %、水を約 93 wt % で調製した水溶液の表面張力は、約 65 mN/m と高い値を示した (白金プレートを用いたウェルヘルミ法により測定)。また、この時の粘度は、約 10 cP であった。スピンコート法によりシリコンウェーハ上に塗布することが可能であり、270 °C / 30 分で成膜することができた。

まず、この材料が自己組織的にチップを位置合わせすることが可能かどうかを判断するため、接触角計を用いて各種表面に対する濡れ性を評価した。テフロン系の疎水性薄膜上にこの水溶性耐熱高分子を滴下すると 100 度以上の高い接触角が得られ付着濡れを示した。一方、ガラスのような親水性の膜上に滴下するとその接触角は 5 度以下であった。このように親水性、疎水性表面に対して高い濡れ性のコントラストを示した。次いで、親水性の接合領域とその周囲を疎水化した領域を形成したシリコンウェーハを用意した。親水性の接合領域上へこの液滴を滴下すると、周辺領域には拡張せずに、液滴は接合領域全体に円滑に拡張して拘束されることが分かった。したがって、リコンフィギュラブル接合に必要な一過性接着剤として利用できる可能性が高いことが判明した。

平成 23 年度には、22 年度に選定した高表面張力液体 (約 60 mN/N) であるポリアミドイミド (PAI) 樹脂を用いて、3 mm 角のテストシリコンチップのセルフアセンブリとリコンフィギュラブル接合実験を行った。

テストシリコンチップには表面に熱酸化膜を形成し、セルフアセンブリの精度を評価した。比較のため、1 % フッ酸 (約 70 mN/N) と低表面張力液体 (約 40 mN/N) であるポリイミド (PI) 樹脂を用いた。アライメント精度は、フッ酸、PAI、PI の順に低下し、それぞれ平均 1  $\cdot$  m 以内、1-2  $\cdot$  m、約 4  $\cdot$  m であった。PAI はフッ酸よりは精度が低いものの、PI に比べると非常に精度が高くなることが分かった。

続いて、セルフアセンブリ後の接合強度を測定した。主に引張試験とシェア試験を行い、ベアシリコン、および表面に熱酸化膜を形成した 3 mm 角のテストチップを用いた。セルフアセンブリ後に無負荷で接合させたベアシリコンチップでは接合強度が 0.1 kg 以下を示したが、熱酸化膜を形成したシリコンチップでは、同条件で 3 kg 以上、圧力に換算すると 3 MPa 以上の高い強度を示した。一方、320 °C で 10 分間、セルフアセンブリ後に真空中で熱圧着したチップでは、ベアシリコン、熱酸化膜ともに約 4 MPa の強度を示した。

しかしながら、この PAI 樹脂接着層は、320 °C で本硬化するとアミン等の剥離液に対して高い耐性を示すことが判明した。そこで、接着したチップを機械的に剥がすこと試み

た。具体的には接着層の厚みを樹脂の濃度によって変え、この厚みによってチップの接合強度を制御することを検討した。樹脂厚を 1  $\mu\text{m}$  程度まで薄くすることによって、対向するウェーハに転写できることを確認できた。この時、目的のウェーハとチップの接着はバンプ接合を想定して、エポキシ系の NCF (Non Conductive Film) を用いた。セルフアセンブリさせたチップとキャリアウェーハの界面の接合強度を 1-3MPa の間に制御することで歩留りの高い転写が実現できた。現在、接合領域の接合面積や表面粗さ、接合表面の材質を変えてさらにこの転写技術を高度化するための実験データを取得している。

平成 24 年度には、この接合強度の制御を検討し、目的のウェーハへ機械的に転写するための適度な接合強度と剥離性能を付与する条件の最適化を試みた。初めに、熱酸化膜を用いたフッ酸接合を用いて、次の 4 つの条件を変えてシェア強度を測定した。1 つ目は表面の粗さである。Ra 0.2nm 以下では 20MPa 以上、Ra 0.3-0.8nm の間では 2-5MPa 程度、Ra 1.0nm 以上ではほとんど接合しなかった。2 つ目は接合面積である。3mm 角のチップを用い、接合面積 1mm<sup>2</sup> ではシェア強度 2-5MPa、接合面積 2-5mm<sup>2</sup> ではシェア強度 5-20MPa、接合面積 9mm<sup>2</sup> ではシェア強度 20MPa 以上であった。3 つ目はフッ酸の濃度である。0%および 10%はほとんど接合しなかった。0.01%では接合強度 2-5MPa を示し、0.1-2%では接合強度 10MPa 以上を示した。4 つ目は酸化膜の種類である。熱酸化膜の場合、As depo の状態でも非常に高い平坦性 (Ra 0.18nm) と高い密度を示すため接合強度も高い (20-40MPa)。一方、350°C で形成したプラズマ TEOS 酸化膜の場合、As depo では Ra 0.4nm 程度であり、CMP により Ra 0.05nm 程度に鏡面化処理しないと高い接合強度 (10-30MPa) を得られなかった。ここでは機械的に剥離可能な適度な接合強度を要求している。実際に転写実験を試みたところ、チップの仮接合強度は 2-5MPa 程度が妥当な値であるという結果を得た。以上の結果を応用して、水溶性の PAI 樹脂を用いたセルフアセンブリにより仮接合したチップを目的のウェーハに転写することに成功した。特に PAI 樹脂の濃度と PAI 樹脂が被着する酸化膜の材質が非常に重要なパラメータであることを追求した。この技術を用いて目的のウェーハにチップを転写後、TSV 形成することまで達成することができた。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

1. Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichoel

Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi “Multichip Self-Assembly Technology for Advanced Die-to-Wafer 3-D Integration to Precisely Align Known Good Dies in Batch Processing”, IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, Vol. 1, 1873-1884 (2011).

2. Takafumi Fukushima, Takayuki Konno, Eiji Iwata, Risato Kobayashi, Toshiya Kojima, Mariappan Murugesan, Ji-Chel Bea, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Self-Assembly of Chip-Size Components with Cavity Structures: High-Precision Alignment and Direct Bonding without Thermal Compression for Hetero Integration”, Micromachins, vol.2, 49-68 (2011).
3. 岩田永司, 福島誉史, 大原悠希, 李康旭, 田中徹, 小柳光正, “三次元積層型集積回路のための自己組織化チップ位置合わせ技術”, 電子情報通信学会 和文誌 C J93-C, 493-502 (2010).
4. T. Fukushima, E. Iwata, T. Konno, J.-C. Bea, K.-W. Lee, T. Tanaka, and M. Koyanagi, “Surface-tension-driven chip self-assembly with load-free hydrogen fluoride-assisted direct bonding at room temperature for three-dimensional integrated circuits”, APL, vol.96, 154105 (2010).

[学会発表] (計 17 件)

- 1) 伊藤有香, 福島誉史, 李康旭, 長木浩司, 田中徹, 小柳 光正, “機能性液体を用いた自己組織化チップ実装技術”, 第 27 回エレクトロニクス実装学会春季講演大会, 仙台, 2013/3/14
- 2) Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Development of 3D Integration Technologies and Recent Challenges”, ADMETA Plus 2012 Advanced Metallization Conference 2012, 東京, 2012/10/23
- 3) Yuka Ito, Takafumi Fukushima, Kang-Wook Lee, Koji Choki, Tetsu Tanaka, and Mitsumasa Koyanagi, “Optoelectronic Heterogeneous Integration Technology, Using Reductant-Assisited Self-Assembly with Cu/Sn Microbump”, 2012 International Conference on Solid State Devices and Materials (SSDM 2012), 京都, 2012/9/26
- 4) 福島誉史, “先端三次元積層型 LSI の技術動向と展望”, SEMI Forum Japan 2012, 大

阪, 2012/6/13

5) T. Fukushima, J. Bea, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi,

“Self-Assembly-Based 3D Integration Technologies”, 2012 3rd IEEE International Workshop on Low Temperature Bonding for 3D Integration, 東京, 2012/5/22

6) Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Wafer-Level 3D Integration Technology Using Self-Assembly”, MSPNEX (International Micro System Packaging Forum) 2012, 韓国, 2012/4/12

7) Takafumi Fukushima, Yuki Ohara, Jicheol Bea, Mariappan Murugesan, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Temporary Bonding Strength Control for Self-Assembly-Based 3D Integration”, IEEE International 3D System Integration Conference (3DIC) 2011, 大阪, 2012/2/1

8) 福島 誉史, “3D Chip Stacking Technologies and Hetero System Integration”, SEMI テクノロジーシンポジウム (STS) 2011, 千葉, 2011/12/8

9) T. Fukushima, K.-W. Lee, T. Tanaka, and M. Koyanagi, “Development of Wafer-Level 3D System Integration Technologies”, International Union of Materials Research Societies-International Conference in Asia (IUMRS-ICA), 台湾, 2011/9/20

10) T. Fukushima, Y. Ohara, M. Murugesan, J.-C. Bea, K.-W. Lee, T. Tanaka, and M. Koyanagi, “Self-Assembly Technologies with High-Precision Chip Alignment and Fine-Pitch Microbump Bonding for Advanced Die-to-Wafer 3D Integration”, Electronic Components and Technology Conference (ECTC), USA, 2011/6/2

11) T. Fukushima, K.-W. Lee, T. Tanaka, and M. Koyanagi, “3D and Hetero Integration Based on Chip-to-Wafer Bonding Using Self-Assembly Technologies”, Workshop ICRA (IEEE Int. Conf. on Robotics and Automation), 中国, 2011/5/9

12) 岩田永司, 福島 誉史, 李康旭, 田中徹, 小柳光正, “三次元集積のための高精度チップ位置合わせと常温直接接合技術”, 2011年春季第 58 回応用物理学関係連合講演会, 神奈川, 2011/3/24

13) 福島 誉史, 岩田永司, 李康旭, 田中徹, 小柳光正, “狭ピッチ金属マイクロバンプを有するチップの自己組織化実装技術”, 第 25 回 エレクトロニクス実装学会春季講演大会, 東京, 2011/03/08

14) T. Fukushima, E. Iwata, J. Bea, M. Murugesan, K.-W. Lee, T. Tanaka, and M.

Koyanagi, “Evaluation of Alignment Accuracy on Chip-to-Wafer Self-Assembly and Mechanism on the Direct Chip Bonding at Room Temperature”, IEEE International 3D System Integration Conference (3DIC), ドイツ, 2010/11/17

15) 福島 誉史, 小柳光正, “機能性高分子を用いた次世代集積回路の作製技術と人工網膜への応用”, 第 55 回高分子夏季大学, 仙台, 2010/7/14

16) 李康旭, 福島 誉史, 田中徹, 小柳光正, “東北大学における三次元積層技術とヘテロインテグレーション”, JPCA Show 2010 アカデミックプラザ, 東京, 2010/6/4

17) T. Fukushima, E. Iwata, K.-W. Lee, T. Tanaka, and M. Koyanagi, “Self-Assembly Technology for Reconfigured Wafer-to-Wafer 3D Integration”, 60th Electronic Components and Technology Conference (ECTC), USA, 2010/6/3

〔図書〕 (計 1 件)

福島 誉史, 李康旭, 田中徹, 小柳光正, “3次元積層型集積回路に向けた自己組織化チップ実装技術”, 電子材料, Vol. 49, 17-24 (2010).

〔産業財産権〕

〔その他〕 受賞

2012 年 3 月 第 25 回エレクトロニクス実装学術講演大会 研究奨励賞受賞  
講演題目: 「狭ピッチ金属マイクロバンプを有するチップの自己組織化実装技術」

6. 研究組織

(1) 研究代表者:

福島 誉史 (Takafumi Fukushima)  
東北大学・未来科学技術共同研究センター・准教授

研究者番号: 10374969