

平成 26 年 6 月 9 日現在

機関番号：11301

研究種目：基盤研究(B)

研究期間：2010～2013

課題番号：22360137

研究課題名(和文) 不揮発性素子を用いたPVTバラつきフリーVLSIシステムの基盤研究

研究課題名(英文) Nonvolatile-device-based PVT-variation-resilient VLSI system

研究代表者

羽生 貴弘 (HANYU, TAKAHIRO)

東北大学・電気通信研究所・教授

研究者番号：40192702

交付決定額(研究期間全体)：(直接経費) 14,000,000円、(間接経費) 4,200,000円

研究成果の概要(和文)：本研究課題では、設計マージンのリラックス化，ならびに総合的なVLSIの高性能化・高歩留り化を実現する新概念VLSI設計技術の構築を目的とし、不揮発性記憶素子とシリコン集積回路を組み合わせることで製造後および動作中に集積回路の特性を調整できるPVTバラつきフリー回路方式，ならびに上述したバラつきを十分小さくする回路パラメータ自動調整技術に関する研究を行った。

研究成果の概要(英文)：The aim of this research is to develop a new paradigm VLSI design methodology which relaxes design margin and realizes high-performance VLSI with high-dependability. In this research, we developed a MOS/magnetic-tunnel-junction-hybrid logic-circuit style for realizing a PVT-variation-aware VLSI processor with higher performance capability. For applying the proposed method to large-scale circuit structures, an optimization algorithm of circuit parameters based on evolutionary computation technique was also examined.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：回路設計技術 集積回路 バラつき補正技術 新機能デバイス 最適化技術

## 1. 研究開始当初の背景

近年における集積回路の性能向上は、主に「Mooreの法則」に基づいた回路のスケーリングによって推進されてきた。しかし、数十億もの素子を集積する現在のVLSIチップでは、素子間の配線が占める面積および消費電力の増大、設計プロセスの極限的微小化にともなう物理的限界が問題となり、従来までのスケーリング則に沿った回路の高性能化には限界が見えつつある。これらの問題を解決し、高性能な次世代VLSIを実現するためのブレークスルーを見出すには、従来の微小化技術の進展による高性能化だけではなく、いわゆる「More than Moore」と呼ばれるような、新デバイスの採用および回路機能の多様化によるパフォーマンス向上が必須である。

一方、近年におけるプロセスの極限的微小化にともなう顕在化しつつある電源電圧の低下やリーク電流の増加、およびそれらに起因するノイズ耐性およびプロセスバラつき耐性の低下といった様々な問題が、近年のVLSI設計において大きな障害となっている。通常、回路設計においては、デバイスが潜在的に有するバラつきにともなう回路性能のゆらぎを考慮し、十分な動作マージンを取った上で設計を行う。しかし、チップ上に集積された数十億もの素子それぞれにおけるバラつきの影響を製造前の設計技術のみで吸収・補正しようとした場合、確保しなければならない設計マージンは非常に大きくなってしまい、回路性能(動作速度、回路面積など)の低下、製造コストの増加に繋がる。製造後あるいは動作時の特性に応じて性能調整を行うような補正方式も広く研究が行われているが、回路本来の機能とは関係の無い、特性制御用のみ用いられる回路ブロックを回路内に組み込む必要があるため、回路面積に対するオーバーヘッドとなる。

以上の理由により、VLSIの高性能性と高信頼性はトレードオフの関係にある。ディープサブマイクロプロセス世代におけるMOSのしきい値電圧やプロセス定数のバラつきが、ロット間のみならず単一チップのデバイス間においてさえも非常に大きくなるという現状を考慮すると、従来の設計アプローチによって高性能かつ高信頼なVLSIを実現することはますます困難になっていくことが予想される。

## 2. 研究の目的

回路の高性能化・低消費電力化を達成しつつ、動作マージンを確保する手法として、本研究課題では、回路特性のバラつき増大に対して従来のような「動作マージンを十分に確保」するのではなく、「回路特性バラつきに応じて、回路の動作点を適応的に調整」する回路構成方法とその自動調整技術を実現する。ハードウェアを試作後に、その回路の動

作点を変更するためには、回路自体が動作特性に関して「プログラマブル」な構造をしており、かつ、プログラムした動作点を「できるだけ低コストのハードウェア」で実現されなければならない。そこで、本研究代表者らのグループでは、電源電圧等の外部信号バックアップが不要な「不揮発性素子」をプログラマブルデバイスとして活用し、(1)この不揮発性素子とMOSトランジスタを組み合わせ、バラつき補正機能付き基本回路ブロックを考案する。また、(2)バラつきの影響に応じて適応的な回路パラメータ調整を行うための最適化技術、を同時に開発する。これらの技術の有効性を示すため、実チップ試作を通じて、提案技術で原理動作検証を合わせて行う。

## 3. 研究の方法

### 【平成22年度】

通常、回路設計においては、バラつきにともなう回路性能のゆらぎを考慮し、十分な動作マージンを取った上で設計を行う。しかし、極限的微小化にともなう取りうるマージンの幅がさらに狭くなっていくような現在のプロセス動向においては、このような従来の設計法によって高信頼性と高性能性が両立したVLSIを実現することはますます困難になっていくと予想される。この問題に対し、本研究グループでは、MTJ(Magnetic Tunnel Junction)素子(図1)とよばれる新世代デバイスをを用いた新しい回路方式を用いることによる解決を図る。具体的な研究方法は以下のとおりである。

(1)MTJ素子を用いたバラつき補正機能付き基本回路の仕様決定

MTJ素子は、一定値以上の電流を流すことで磁化の状態に対応した $R_p$ (低抵抗)、 $R_{Ap}$ (高抵抗)の2種類の抵抗値を切り替えられる性質を有する不揮発性記憶素子であり、不揮発性、高い書換え耐性( $\sim 10^{15}$ )、読出し・書込みの高速性(<10ns)、CMOSプロセスとの高い親和性、素子のコンパクト性といった特徴を有する。本素子を回路に組み込むことで、バラつきが回路特性に与える影響を補正する機能を付加し、設計段階における動作マージンの制約を緩めると同時にバラつきによる性能劣化を抑え、結果として高い性能を有する回路を実現することが可能となる。また本素子はCMOS層上に直接積層することが可能であるため、回路規模に対するオーバーヘッドもほとんど存在しない。さらに、素子の不揮発性により、定常的な電力供給の必要なくバラつき補正の状態を保持することが可能である。つまり、回路自体の性能を落とすことなく、バラつき補正という機能を付加することができるため、「More than Moore」の思想に基づく多機能化と「More Moore」の思想に基づく高性能化を同時に達成することが可能なアプローチといえる。

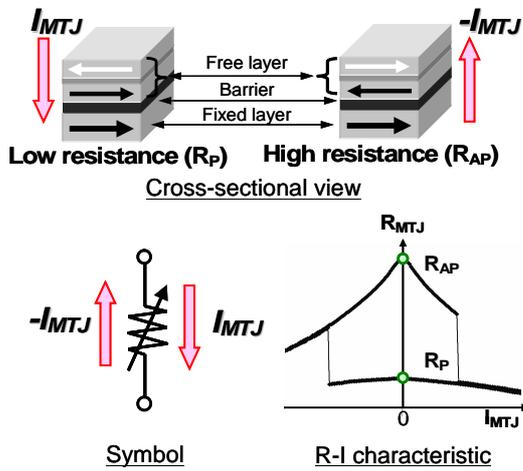


図 1. MTJ 素子の構造と R-I 特性

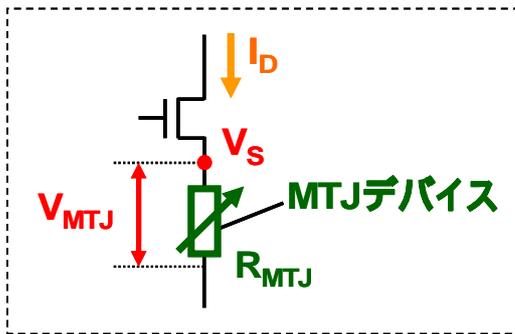


図 2. バラつき補正機能付き回路の構成例

ばらつくことによって回路の性能に影響を与える要因としては、プロセス、電源電圧、温度の3つが知られているが、本年度は、プロセスバラつきを主な検討対象として取り上げる。本方式に基づくバラつき補正機能付き回路構成の例を図2に示す。本構造はトランジスタのソース端にMTJデバイスが接続されており、MTJデバイスの状態を变化させることでプロセスバラつきによって生じるトランジスタのしきい値電圧  $V_{th}$  の変化を吸収し、バラつきの影響を抑えることが可能な構造となっている。現在までの研究成果としてしきい値電圧  $V_{th}$  に対して25%程度のバラつきが生じた場合であっても、本構成を用いることで正しい動作を保証できることが示されている。

以上をふまえ、本年度は、本方式に基づくバラつき補正機能付き回路ブロックの仕様検討を行う。論理部と記憶部を融合することでコンパクトかつ多機能な回路を実現する「ロジックインメモリアーキテクチャ」の思想に基づき、最小のコストで十分なバラつき耐性を有する回路ブロックの構成を検討する。

(2) 回路シミュレーションによる原理検証及び基本チップ試作

上記の検討結果に基づいて策定した基本回路ブロックについて、計算処理用ソフトウェアを使用した回路シミュレーションによる基本動作検証、ならびに基本チップの試作

を行い、本回路方式のプロセスバラつきに対する有効性について検討を行う。実用に足るバラつき耐性を有しているかどうかを検証するためには、モンテカルロ法などを用いた乱数シミュレーションにより、さまざまなバラつきの状態を想定した膨大な回数動作検証を行う必要がある。十分な計算処理能力およびメモリ領域を有する大規模演算処理用ワークステーション上において計算処理用ソフトウェアを運用することにより、本目的を達成することが可能である。

本年度最後の計画として、以上の検討を通して設計された基本回路ブロックについてチップ試作を行い、提案方式の実環境における有効性を検討する。

【平成 23 年度以降】

22 年度に行った基本回路の仕様決定ならびに原理検証を元に、MTJ 素子を用いた具体的応用に関する回路の構成及び試作を行う。同時に、回路上に分散配置された MTJ 素子を製造バラつきや動作環境の影響に応じて適応的に調整するための最適化技術についても検討する。

(1) MTJ 素子を用いた具体的応用に関する回路構成及び試作

基本回路ブロックを組み合わせることで、具体的応用を念頭に置いたより大規模な回路を構成し、回路シミュレーションおよび実チップ試作を通して提案技術の有効性を示す。対象とする回路が大規模化し、考慮すべきバラつきの影響が大きくなった場合において生じうる問題点を洗い出し、その対策を検討する。シミュレーションをベースとした検討を行い、十分なバラつき耐性が得られることを確認した上で、実チップの試作ならびに動作検証を行う。

なお、22 年度の研究計画においても記述したとおり、バラつきの影響はチップの製造プロセスが微細化するほど大きくなる。そのため、23 年度以降のチップ試作については、よりバラつきの影響が大きいと考えられる最先端微細プロセスを用いて行い、提案技術によって実現されるバラつき耐性が今後のさらなる極限的微細化においても十分な効果を有していることを示す。

(2) メタヒューリスティック最適化アルゴリズムに基づく適応的調整技術の検討

MTJ 素子は2状態を取りうる1bit記憶と見なすことができ、N 個の MTJ 素子によって実現できる状態は  $2^N$  個である。回路が大規模化し、内蔵された MTJ 素子の個数が増加すると、素子の状態によって実現可能な組合せは爆発的に増加するため、環境に応じてその中から仕様を満たす組合せを選択し、各素子を個別に調整するのは次第に困難になることが予想される。

この問題に対し、ある状態における回路の入出力特性のみを元に、メタヒューリスティック最適化アルゴリズム(例：遺伝的アルゴ

リズム)を適用し、高い性能を実現するための準最適な組合せを探索する適応的調整技術について検討を行う。N個のMTJ素子の状態はNビットのビット列によって表現することができるため、ビット列を探索対象の表現として用いる遺伝的アルゴリズムを用いた最適化問題へ容易に帰着することができる。

検討の第1段階として、本技術のシミュレーションベースによる原理検証を行う。回路シミュレータSPICEおよびC++もしくはMatlabといったプログラミング言語を使用することでシミュレーション環境を構築し、トランジスタ特性のバラつきや環境の変化によって性能が劣化した場合などを対象に、適応的な性能改善が可能であることを示す。また、単に素子のサイズを大きくするなどして同程度のバラつきを確保しようとした場合と比較し、回路規模などの観点から提案技術による調整がどの程度のメリットがあるかを確認する。

検討の第2段階として、不揮発素子を内蔵した小規模テストチップ+提案アルゴリズムに基づいて動作する最適化用ハードウェアにより、実チップにおいても同等の最適化が可能であることを示す。

最終年度においては、22~24年度に行うシミュレーションとチップ試作、およびその測定結果を取りまとめ、それらから得られる検討を通し、提案技術の有効性に関する総合的な評価を行う。

#### 4. 研究成果

##### 【平成22年度】

プロセスバラつきを主な検討対象として取り上げ、バラつきにともなう性能劣化に対して適応的に補償を行う回路技術のための基本回路の仕様検討を行った。具体的には、論理部と記憶部を融合することでコンパクトかつ多機能な回路を実現する「ロジックインメモリアーキテクチャ」の思想に基づき、最小のコストで十分なバラつき耐性を有する回路ブロックの構成を検討した。MTJ (Magnetic Tunnel Junction) 素子と呼ばれる磁性デバイスを用い、バラつきが回路特性に与える影響を補正する機能を付加することで、設計段階における動作マージンの制約を緩めると同時に、バラつきによる性能劣化を抑え、結果として高い性能を有する回路が実現できる可能性を示した。

上記の検討結果に基づいて策定した基本回路ブロックについて、計算処理用ソフトウェアを使用した回路シミュレーションによる基本動作検証を行い、本回路のプロセスバラつきに対する有効性について検討を行った。実用に足るバラつき耐性を有しているかどうかを検証するために、モンテカルロシミュレーションにより、さまざまなバラつきの状態を想定した動作検証を行い、提案技術がPVTバラつきフリーVLSIを実現するためのキ

ー技術となることを確認した。

また、バラつき補償技術の発展応用として、電流モード回路の省電力化技術についても検討を行った。対象回路におけるクリティカスパスのレプリカ回路を用いて回路動作に最低限必要な電流量を求め、その結果に応じて回路に組み込まれた可変電流源を制御することで、様々な動作条件において適応的に無駄な消費電力を削減するような回路が実現可能であることを示した。

##### 【平成23年度】

前年度に提案、構築したバラつき補正機能付き基本回路セルに基づく具体的な回路構成の検討を行った。論理部と記憶部を融合することでコンパクトかつ多機能な回路を実現する「ロジックインメモリアーキテクチャ」の思想に基づき、最小のコストで十分なバラつき耐性を有する回路セルの構成を検討し、その有効性について定性的・定量的な評価を行った。さらに、本回路セルを用いてある程度の規模を有する具体的な回路構造へ応用する際、回路規模に対するオーバーヘッドが少なく、かつバラつき補正機能が最も効率よくはたらくセルの粒度(回路規模に対するMTJ素子の割合)がどの程度かについて検討を行い、その結果に基づいて応用回路の設計を行った。

上記の検討結果に基づいて設計したバラつき補正機能付き回路セルアレイについて、計算処理用ソフトウェアを使用した回路シミュレーションによる基本動作検証を行い、本回路のプロセスバラつきに対する有効性について検討を行った。実用に足るバラつき耐性を有しているかどうかを検証するために、モンテカルロシミュレーションにより、さまざまなバラつきの状態を想定した動作検証を行い、提案技術の有効性を確認した。

また、様々なバラつきの状態に応じて適切な補正を行うための最適化アルゴリズムについても検討を行った。初期検討として山登り法に基づく探索アルゴリズムを用い、上記のセルに基づく大規模回路モデルへの適用を通し、回路の入出力のみのモニタリングによって内部パラメータのチューニングを施すことが可能であることを確認した。

##### 【平成24年度】

不揮発素子に基づくバラつき補正機能付き基本回路セルを用い、応用回路の設計を行った。具体的には、特にバラつきの影響が顕著となる回路例として電流モード論理回路、オペアンプを取り上げ、バラつき補正機能を付加することによって得られる改善の割合、あるいは回路本来の動作に与える影響に関して定性的・定量的な評価を行った。

対象とするバラつき補正機能付き回路が大規模化した際に必須となる、回路内可変抵抗素子のパラメータ最適化手法について基礎検討を行った。MTJ素子を2状態を取りうる1bit記憶と見なし、N個のMTJ素子の状態をNビットのビット列で表現した上で、これ

を遺伝的アルゴリズムの個体表現として用い、回路の入出力特性のみを元に最適なパラメータ集合を探索する最適化手法を提案した。本手法を用いて  $N=10$  程度の規模の回路を対象とした評価を行い、準最適なパラメータ集合を短時間で求めることができることを確認した。

上記内容のさらなる発展の可能性として、3端子MTJ素子を用いることによる再構成可能LSIの高性能化、ならびに動きベクトル抽出用低消費電力画像処理ハードウェアへの応用の可能性について検討するとともに、本技術実証のためのチップ試作について検討を行った。

#### 【平成25年度】

昨年度の研究で得た知見を元に、実用化を念頭に置いた応用回路の更なる高度化を図った。具体的には、昨年度開発した電流モード論理回路、オペアンプ向け基本回路を元により柔軟なバラつき補正機能を実現するための回路構造の改善について検証を行った。これらの結果と昨年度までの結果を元に、提案するバラつき補正機能付き回路技術に対する総合的な評価を行った。

昨年度実装した遺伝的アルゴリズムに基づくパラメータ最適化アルゴリズムについて、より小さな計算量で準最適なパラメータ集合の探索を可能にするためのさらなる高度化を検討した。昨年度は  $N=10^4$  程度のMTJ素子を有する回路を対象とした評価を行い、準最適なパラメータ集合を短時間で求めることができることを確認したが、本年度は回路規模ならびに素子数がさらに増加した際に、提案する最適化アルゴリズムが現実的な時間内で最適化を行うことが可能かどうか、ならびに、もし困難である場合はどのようにアルゴリズムを高度化すべきかを検討した。

微細プロセスにともなって問題となる温度バラつきに対する耐性を有しつつ、低電圧・高速動作が可能な論理ゲートの実現に向けた検討を行った。高速動作が可能であることで知られる差動型電流モード論理回路技術に、バルク・ドレイン接続型pMOS負荷、レプリカバイアス回路、クロスカップル型負荷といった回路技術を組み合わせることで、所望の論理ゲートが実現可能であることを確認した。

#### 5. 主な発表論文等

〔雑誌論文〕(計 8 件)

1. M. Natsui and T. Hanyu, "Design of Process-Variation-Resilient Analog Basic Components Using Magnetic-Tunnel-Junction Devices," *Journal of Multiple-Valued Logic and Soft Computing*, Vol.21, No.5-6, pp.597-608, 2013. (査読有)  
<http://www.oldcitypublishing.com/pdf/3498>

2. M. Natsui, N. Sakimura, T. Sugibayashi, and T. Hanyu, "MTJ/MOS-Hybrid Logic-Circuit Design Flow for Nonvolatile Logic-in-Memory LSI," 2013 IEEE International Symposium on Circuits and Systems (ISCAS2013), pp.105-108, 2013. (査読有)  
DOI: 10.1109/ISCAS.2013.6571793
3. M. Natsui, K. Kashiuchi, and T. Hanyu, "Design and Evaluation of a Differential Switching Gate for Low-Voltage Applications," 43rd IEEE International Symposium on Multiple-Valued Logic (ISMVL2013), pp.147-151, 2013. (査読有)  
DOI: 10.1109/ISMVL.2013.23
4. M. Natsui, T. Arimitsu and T. Hanyu, "Low-Energy Pipelined Multiple-Valued Current-Mode Circuit Based on Current-Level Control Technique," *Journal of Multiple-Valued Logic and Soft Computing*, Vol.19, No.1-3, pp.219-231, 2012. (査読有)  
<http://www.oldcitypublishing.com/pdf/2910>
5. M. Natsui and T. Hanyu, "Scalable Serial-Configuration Scheme for MTJ/MOS-Hybrid Variation-Resilient VLSI System," 10th IEEE International NEWCAS Conference (NEWCAS2012), pp.97-100, 2012. (査読有)  
DOI: 10.1109/NEWCAS.2012.6328965
6. Y. Kim, M. Natsui and T. Hanyu, "Variation-Resilient Current-Mode Logic Circuit Design Using MTJ Devices," 2012 IEEE International Symposium on Circuits & Systems (ISCAS2012), pp.2705-2708, 2012. (査読有)  
DOI: 10.1109/ISCAS.2012.6271866
7. M. Natsui, T. Nagashima, and T. Hanyu, "Process-Variation-Resilient OTA Using MTJ-Based Multi-Level Resistance Control," 42nd IEEE International Symposium on Multiple-Valued Logic (ISMVL2012), pp.214-219, 2012. (査読有)  
DOI: 10.1109/ISMVL.2012.52
8. M. Natsui, Y. Kim and T. Hanyu, "MTJ-Based Optimal Vth-Tuning Technique for a Process-Variation-Aware VLSI processor," The 56th Magnetism and Magnetic Materials Conference (MMM2011), pp.480-481, 2011. (査読有)  
<http://www.magnetism.org/>

〔学会発表〕(計 17 件)

1. K. Kashiuchi, M. Natsui, and T. Hanyu,

- "Design of a Low-Voltage Logic Gate Based on Differential-Pair Circuitry," 2013 International Workshop on Emerging ICT, Sendai, Japan, p. 3-6, 29 October, 2013.
2. 夏井雅典, 荒木敦司, 羽生貴弘, "MTJ 素子を用いた不揮発性ロジック LSI の低電力化に関する一考察," 多値論理研究ノート, pp.8-1-8-6, 兵庫, 2013 年 9 月 14 日.
  3. 櫻内清弘, 夏井雅典, 羽生貴弘, "低電圧動作差動論理基本ゲートの構成に関する一考察," 多値論理研究ノート, pp.15-1-15-6, 富山, 2012 年 9 月 15 日.
  4. 櫻内清弘, 夏井雅典, 羽生貴弘, "低スイッチング電力基本論理ゲートの構成に関する一考察," 平成 24 年度電気関係学会東北支部連合大会, p. 2H18, 秋田, 2012 年 8 月 30 日.
  5. Y. Kim, M. Natsui and T. Hanyu, "Design of an MTJ-Based Variation-Resilient Basic Gate of Differential Logic," 平成 24 年度電気関係学会東北支部連合大会, p. 1A07, 秋田, 2012 年 8 月 30 日.
  6. キムヨクン, 夏井雅典, 羽生貴弘, "Vth 補償機能を有する MOS/MTJ ハイブリッド電流モードロジックとその最適化," 第 25 回多値論理とその応用研究会, pp.17-21, 宮崎, 2012 年 1 月 8 日.
  7. K. Kashiuchi, M. Natsui, and T. Hanyu, "Evaluation of Vth-Variation Effect on Multiple-Valued Current-Mode Circuits," Proceedings of 2011 China-Korea-Japan Electronics and Communications Conference, p. 157, University of Electronic Science and Technology of China, China, 27 October, 2011.
  8. 長嶋孝晃, 夏井雅典, 榊井昇一, 羽生貴弘, "可変抵抗素子を用いたポストプロセスばらつき補償機能付き OTA の検討," 平成 23 年度電気関係学会東北支部連合大会, p. 268, 宮城, 2011 年 8 月 26 日.
  9. キムヨクン, 夏井雅典, 羽生貴弘, "不揮発性可変抵抗素子を用いた LSI パラメータばらつき最小化アルゴリズムの検討," 平成 23 年度電気関係学会東北支部連合大会, p. 269, 宮城, 2011 年 8 月 26 日.
  10. 夏井雅典, 羽生貴弘, "不揮発性ロジックインメモリアーキテクチャが拓く新概念 VLSI 設計パラダイム," LSI とシステムのワークショップ 2011, 福岡, 2011 年 5 月 16 日.
  11. 勝俣翠, 松永翔雲, 夏井雅典, 羽生貴弘, "MTJ 素子を用いた完全並列形不揮発 TCAM ワード回路の構成," 第 24 回多値論理とその応用研究会, pp.5-10, 宮城, 2011 年 1 月 8 日.
  12. M. Natsui, "High-yield VLSI design using emerging functional devices and its impact," 2010 Joint Workshop between Tohoku University and National Tsing Hua University, Akiu Resort Hotel Sakan, Sendai, Japan, 15 December, 2010.
  13. Y. Kim, M. Natsui and T. Hanyu, "Design of a Dependable Logic Circuit Using Nonvolatile Programmable Devices," Japan-China-Korea Conference on Electronics & Communications 2010, p. JCK-P-18, Tohoku University, Sendai, Japan, 1 November, 2010.
  14. L. Yuhui, D. Suzuki, M. Natsui and T. Hanyu, "MTJ-Based Nonvolatile Reconfigurable LSI with Fine Grained Power Management," Japan-China-Korea Conference on Electronics & Communications 2010, p. JCK-P-17, Tohoku University, Sendai, Japan, 1 November, 2010.
  15. 松永翔雲, 夏井雅典, 羽生貴弘, "MTJ 素子を用いた低消費電力不揮発性 TCAM のパワーゲーティング手法," 多値論理研究ノート, pp.9-1-9-6, 広島, 2010 年 9 月 11 日.
  16. 勝俣翠, 松永翔雲, 夏井雅典, 羽生貴弘, "完全並列形不揮発 TCAM 向けワード回路の構成," 平成 22 年度電気関係学会東北支部連合大会, p. 285, 青森, 2010 年 8 月 26 日.
  17. M. Natsui and T. Hanyu, "Process-Variation-Aware VLSI Design Using an Emerging Functional Devices and Its Impact," Booklet of the 19th International Workshop on Post-Binary ULSI Systems, pp.20-25, Casa Convalescencia, Barcelona, Spain, 28 May, 2010.
- 〔図書〕(計 0 件)
- 〔産業財産権〕  
出願状況(計 0 件)  
取得状況(計 0 件)
- 〔その他〕  
ホームページ等  
<http://www.ngc.riec.tohoku.ac.jp/>
6. 研究組織
- (1) 研究代表者  
羽生 貴弘 (HANYU, TAKAHIRO)  
東北大学・電気通信研究所・教授  
研究者番号: 40192702
- (2) 研究分担者  
夏井 雅典 (NATSUI, MASANORI)  
東北大学・電気通信研究所・助教  
研究者番号: 10402661