

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 6月 5日現在

機関番号：13901

研究種目：基盤研究(C)

研究期間：2010 ～ 2012

課題番号：22500045

研究課題名（和文）

高性能コンピュータの方式に関する研究

研究課題名（英文） Study on architecture of high-performance computers

研究代表者

安藤 秀樹 (ANDO HIDEKI)

名古屋大学・工学研究科・教授

研究者番号：40293667

研究成果の概要（和文）：低速な主記憶による性能低下を抑えることを目的に、メモリ・レベル並列（MLP: memory-level parallelism）を利用するコンピュータ・アーキテクチャについて研究を行った。MLPとは、主記憶へのアクセスを並列化することをいう。2つの方式を提案した。1つは、プロセッサが管理する命令数を仮想的に増加させ、コストの増加を抑えつつMLPを促進する仮想リオーダー・バッファ方式である。もう1つは、多数の命令を管理できるようにハードウェアの拡大は行いが、それによる悪影響、すなわち、クロック速度の悪化や命令レベル並列の阻害を抑制するため、適応的にそれらのハードウェアのサイズを変更する動的命令ウィンドウ・リサイジング方式である。評価を行った結果、通常のプロセッサに対し、仮想リオーダー・バッファ方式により35%、動的命令ウィンドウ・リサイジング方式により45%の性能向上を達成できることを確認した。

研究成果の概要（英文）：I studied computer architecture that exploits memory-level parallelism (MLP) to suppress performance degradation due to slow main memory. MLP is to parallelize memory accesses. I proposed two schemes. One is a virtual reorder buffer scheme that virtually increases the number of instructions a processor supports, and promotes MLP with suppressing cost increase. Another is a dynamic instruction window resizing scheme that enlarges the hardware supporting a large number of instructions, but adaptively resizes the size of the hardware to suppress the adverse effect due to this, i.e., the degradation of the clock speed and difficulty of instruction-level parallelism exploitation. Our evaluation results show that the virtual reorder buffer and the dynamic resizing schemes achieve performance improvement by 35% and 45% over those of the conventional processor, respectively.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	700,000	210,000	910,000
2011年度	1,300,000	390,000	1,690,000
2012年度	1,200,000	360,000	1,560,000
総計	3,200,000	960,000	4,160,000

研究分野：コンピュータ・ハードウェア

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：コンピュータ・アーキテクチャ、メモリ・レベル並列

## 1. 研究開始当初の背景

プロセッサのクロック速度は、年率約 60%という非常に高い速度で向上して来たが、一方で、主記憶をなす DRAM のアクセス速度は年率 5%程度でしか向上して来なかった。この結果、現在では、プロセッサと主記憶の間には、数 100 倍もの速度差がある。このギャップを埋めるため、主記憶とプロセッサの間に数階層のキャッシュを配置することが一般的である。キャッシュとは、最近アクセスしたデータを保存しておく、主記憶よりは小容量であるが高速なメモリである。最近アクセスされたデータほど再びアクセスされるという傾向を利用している。アクセスするデータがキャッシュに見つければ（ヒットという）、短い時間内にデータを供給できる。しかし見つからない場合（ミスという）、主記憶にまでアクセスしなくてはならず、性能は大きく低下する。前述したように、現在ではプロセッサと DRAM の速度ギャップが非常に大きいので、わずかなミスでも性能低下は著しい。ミスを極力さけるため、現在のコンピュータではキャッシュの容量を年々大きくしており、現在ではプロセッサ・チップの大半を占めるに至っている。これは高コスト化の最大の要因となっている。それにも関わらず、キャッシュ・ミスにより実際の性能はピーク性能の数分の 1 しかない応用も数多く存在する。

コスト制約が厳しい電子機器では、キャッシュは小容量にせざるをえなく、ミスは頻繁に起こるので、プロセッサ/DRAM 間速度ギャップはより深刻な問題である。さらに、ソフトウェアは年々複雑化しており、それに伴って扱うデータ量も増加している。また、メディア処理など大量のデータを扱う応用が増加している。これによってキャッシュの容量不足がより深刻に起こり、ミスの確率が上昇し、本問題をより悪化させている。

## 2. 研究の目的

本研究では、メモリ・レベル並列(MLP: memory-level parallelism)を利用し、主記憶アクセスによる性能への悪影響を抑制する方式を検討する。一般に、主記憶は高度にバンク化されており、並列にアクセスを受け付けることができる。そこで、生じるべき主記憶アクセスを何らかの方法により同時化(すなわち並列化)させることができれば、キャッシュ・ミス 1 回当たりの主記憶アクセス時間は実効的に減少する。これを MLP の利用と呼ぶ。

MLP の利用を実現するには一般に、プロセッサにできるだけ先の命令を読み込み処

理を開始させる必要がある。このためにはプロセッサが同時に扱うことのできる命令(インフライト命令)の数を大幅に増加させる必要がある。具体的には現在の 10 倍もの数にする必要がある。しかし、インフライト命令を増加させるには、基本的にはそれを保持するハードウェア(命令ウィンドウ)を大きくさせなければならない。命令ウィンドウをなすハードウェアとは具体的には、1) レジスタ・ファイル(RF: register file)、2) リオーダー・バッファ(ROB: reorder buffer)、3) 発行キュー(IQ: issue queue)、である。これらを総称して命令ウィンドウと呼ぶ。命令ウィンドウを拡大すると、単純にコストが上昇するという問題が生じる。このほかに、動作速度が低下し、クロック速度を悪化させ、逆に性能が低下するという問題がある。

本研究では、ROB について、実際に拡大を行わず、実効的に拡大する方式を研究した。また、命令ウィンドウの拡大は行うが、クロック速度に悪影響を与えない方式を研究した。

## 3. 研究の方法

コンピュータを正確に模擬するシミュレータとして SimpleScalar Tool Set と呼ばれるものがある。これは、現在主流のスーパースカラ方式を採用したプロセッサのマイクロアーキテクチャ上での動作を C 言語で記述したシミュレータである。本研究の性能評価では、このシミュレータに提案方式を組み込み評価を行った。また、クロック・サイクル時間を評価しなければならないので、命令ウィンドウを構成するハードウェアの LSI レイアウトを考慮し、回路シミュレータ SPICE を用いて遅延評価を行った。

## 4. 研究成果

### (1) ROB の実効的拡大方式

仮想リオーダー・バッファ方式(VROB: virtual reorder buffer)方式と呼ぶ次のような方式を考案した。通常 ROB のエントリが不足すると、フロントエンドでパイプラインはストールする。VROB では、ROB を仮想的に拡大し、ROB のエントリを使い果たしたとき、仮想のエントリを命令に割り当てる。このとき、他の資源、具体的には、物理レジスタとロード・ストア・キューのエントリは割り当てない。ROB の仮想エントリを割り当てられた命令は、資源によるストールがないため、パイプラインを進み、オペランドが揃えば実行される。これを先行実行と呼ぶ。先行実行命令には、物理レジスタが割り当てられていない

が、代わりに小さなバッファを用意し、ここに実行結果を書き込む。そして、このバッファまたはバイパス論理によって、実行結果を後続の命令に渡していく。こうして次々と命令は先行実行される。もし先行実行された命令が、キャッシュをミスすると、データはキャッシュに入れられる。先行実行された命令に対し、後に、ROB の実エントリが割り当て可能になれば、必要な資源が全て割り当てられ通常の実行が行われる。この際、すでに先行実行でデータがキャッシュに入れられているため、通常ならキャッシュにミスする場合でもヒットする。先行実行は、資源によるストールがないため(すなわち事実上無限に資源があることになるため)、キャッシュにミスする命令が、プログラム上で離れた位置にあったとしても、同時あるいは近い時間に実行される確率が高まり、MLP が利用される。

図 1 に性能評価結果を示す。同図は、ベンチマーク (横軸) における IPC (instructions per cycle) を示している。IPC とは 1 サイクルに実行された平均命令数であり、性能を表す指標である。各ベンチマークにつき 2 つの棒グラフがあるが、左が通常のプロセッサ (ベース) の IPC であり、右が VROB の IPC である。ベンチマークは、SPECfp2000 である。同図に示すように、すべてのベンチマークにおいて VROB はベースより高い性能を示し、平均で 35% の性能向上を達成した。

## (2) クロック速度を低下させない命令ウィンドウ方式

動的命令ウィンドウ・リサイジング方式 (DR: dynamic instruction window resizing) と呼ぶ次のような方式を考案した。命令ウィンドウ (IW: instruction window) を大きくすれば、キャッシュにミスする命令が、プログラム上で離れた位置にあったとしても、近い時間内に実行される確率が高まり、MLP が利用される。一方で、IW を大きくすると、命令発行に遅延が生じ、命令レベル並列 (ILP: instruction-level parallelism) の利用が阻害される。そこで、DR 方式では、実行中に MLP が利用できる期間を予測し、その期間だけ IW を拡大する。一方、そうでない期間は、IW を通常通り小さく保ち、ILP を利用する。このように、利用できる並列性に合わせて、適応的に IW のサイズを決定し、並列性を最大限に引き出し、性能向上を図る。

図 2、3 に性能評価結果を示す。図 2 は、ILP 利用により性能を向上させるタイプのプログラムの代表として gzip の性能 (IPC) を、図 3 は、MLP 利用により性能を向上させるタイプのプログラムの代表として swim の性能を示す。両図とも、3 つのモデルの性能を示している。1) 固定サイズ・モデル: 命令ウ

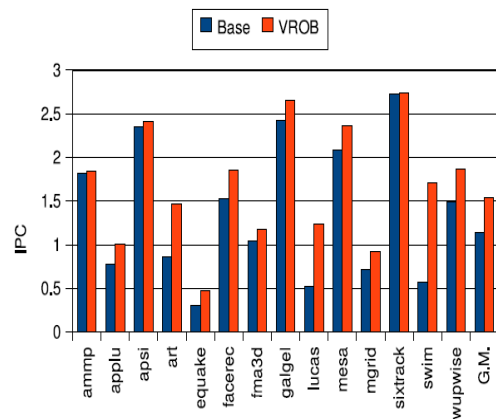


図 1 IPC 1

ィンドウは S 段にパイプライン化されており、発行に S クロックを要する。横軸が S=1~4 の青色の棒グラフである。2) DR モデル: 固定サイズ・モデルと同様に命令ウィンドウはパイプライン化されている。しかし、MLP 利用可能予測により動的にサイズを変更する。横軸が sizing の青色の棒グラフである。3) 理想モデル: 命令ウィンドウのサイズは固定サイズのそれと同じであるが、パイプライン化されておらず 1 クロックで動作する。それによるクロック速度への影響はないとする。横軸が S=1~4 のオレンジ色の棒グラフである。図より以下のことがいえる。1) DR モデルは、固定サイズ・モデルの S=1~4 での性能の中で最も高い性能とほぼ同等の性能を達成している。図を掲載していないが、SPECint2000, SPECfp2000 のすべてのプログラムで同様のことがいえる。この結果、通常のプロセッサ (S=1 の固定サイズ・モデル) に対し、45% の性能向上を達成することができた。2) DR モデルは、パイプライン化のデメリットがない理想モデルに対しても、S=1~4 での性能の中で最も高い性能とほぼ同等の性能を達成している。このことは、DR 方式がパイプライン化された命令ウィンドウのデメリットを避けつつタイムリーに命令ウィンドウを拡大し、MLP を利用していることを示している。

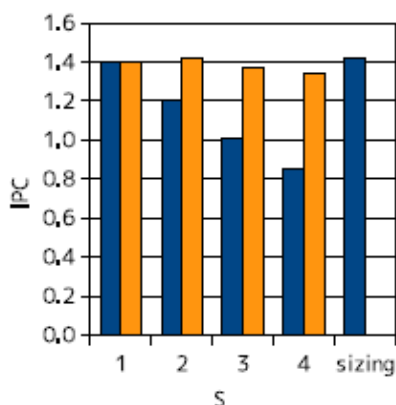


図2 gzipのIPC 1

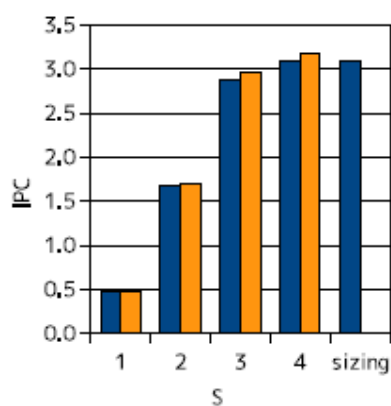


図3 swimのIPC 1

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

1. K. Yamaguchi, Y. Kora, and H. Ando, ``Delay Evaluation of issue Queue in Superscalar Processors with Banking Tag RAM and Correct Critical Path Identification,`` IEICE Transactions on Information and Systems, Vol. E95-D, No. 9, pp. 2235-2246, September 2012. (査読有)
2. Y. Tanaka and H. Ando, ``Register File Size Reduction through Instruction Pre-Execution Incorporating Value Prediction,`` IEICE Transactions on Information and Systems, Vol. E93-D, No. 12, pp. 3294-3305, December 2010. (査読有)

[学会発表] (計13件)

1. 山口恭平, 塩谷亮太, 安藤秀樹, ``資源リサイジングとクロック周波数ブーストを適応的に切り替えるデュアルターボブースト,`` 2013年先進的計算基盤システムシンポジウム SACSYS 2013, 2013年5月(2013.5.22, 仙台市) (査読有)
2. 山口恭平, 塩谷亮太, 安藤秀樹, ``動的な資源のリサイジングを組み合わせたデュアルターボブースト, 情報処理学会研究報告, Vol.2012-ARC-201, No.18, 2012年8月.(2012.8.1, 鳥取市)
3. 稲垣貴範, 塩谷亮太, 安藤秀樹, ``仮想リオーダー・バッファ方式におけるロード/ストア・キューの単純化,`` 2012年先進的計算基盤システムシンポジウム SACSYS 2012, pp.262-269, 2012年5月.(2012.5.17, 神戸市) (査読有)
4. 稲垣貴範, 塩谷亮太, 安藤秀樹, ``仮想リオーダー・バッファ方式におけるロード/ストア・キューの単純化,`` 情報処理学会研究報告, Vol.2012-ARC-198, No.9, 2012年1月.(2012.1.20, 東京)
5. 有松優, 塩谷亮太, 安藤秀樹, ``L1 データ・キャッシュ・ミスに着目した命令発行キューの動的リサイジング,`` 情報処理学会研究報告, Vol.2012-ARC-198, No.9, 2012年1月.(2012.1.20, 東京)
6. K. Yamaguchi, Y. Kora, and H. Ando, ``Evaluation of Issue Queue Delay: Banking Tag RAM and Identifying Correct Critical Path,`` Proceedings of the 29th International Conference on Computer Design, pp.313-319, October 2011. (10/10/2011, Amherst, MA, USA) (査読有)
7. 山口恭平, 甲良祐也, 安藤秀樹, ``発行キューのタグ RAM のバンク化と正確なクリティカルパスの遅延時間評価,`` 情報処理学会研究報告, Vol.2011-ARC-196, No.17, 2011年7月.(2011.7.27, 鹿児島市)
8. 加藤里奈, 安藤秀樹, ``仮想リオーダー・バッファ方式における選択的先行実行による低消費電力化,`` 情報処理学会研究報告, Vol.2011-ARC-196, No.16, 2011年7月.(2011.7.27, 鹿児島市)
9. 甲良祐也, 安藤秀樹, ``MLP に着目した

パイプライン化発行キューの動的サイジング," 2011 年先進的計算基盤システムシンポジウム SACSIS 2011, pp.72-81, 2011 年 5 月.(2011.5.25, 東京) (査読有)

10. 市原敬吾, 田中雄介, 安藤秀樹, ``仮想化により拡大したリオーダー・バッファによる先行実行," 2011 年先進的計算基盤システムシンポジウム SACSIS 2011, pp.64-71, 2011 年 5 月.(2011.5.25, 東京) (査読有)
11. 市原敬吾, 田中雄介, 安藤秀樹, "リオーダー・バッファの仮想的な拡大による先行実行," 情報処理学会研究報告, 2010-ARC-190, 2010 年 8 月.(2010.8.4 金沢市)
12. 甲良祐也, 安藤秀樹, "命令発行キューの遅延時間評価," 2010 年先進的計算基盤システムシンポジウム SACSIS 2010, pp.45-52, 2010 年 5 月.(2010.5.25, 奈良市) (査読有)
13. 岩原佑磨, 安藤秀樹, "リオーダー・バッファのハードウェア量と消費エネルギーの削減," 2010 年先進的計算基盤システムシンポジウム SACSIS 2010, pp.37-44, 2010 年 5 月.(2010.5.25, 奈良市) (査読有)

[その他]

ホームページ等

<http://www.ando.nuee.nagoya-u.ac.jp/>

## 6. 研究組織

### (1) 研究代表者

安藤秀樹 (Hideki Ando )  
研究者番号 : 40293667

### (2) 研究分担者

研究分担者なし

### (3) 連携研究者

連携研究者なし