

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年6月6日現在

機関番号：12301

研究種目：基盤研究（C）

研究期間：2010～2012

課題番号：22560319

研究課題名（和文） ナノ半導体アナログ回路の自己校正・テスト・診断修復技術の研究

研究課題名（英文） Self-Calibration, Testing, Diagnosis and Repairing Techniques of Nano-CMOS Analog Circuits

研究代表者

小林 春夫 (KOBAYASHI HARUO)

群馬大学・大学院工学研究科・教授

研究者番号：20292625

研究成果の概要（和文）：

ナノ CMOS システム LSI でのアナログ/ミックスドシグナル回路の自己校正，自己テスト，自己診断・修復技術のいくつかの技術を開発した．とくに パイプライン ADC，サイクリック ADC，逐次比較近似 ADC，インターリーブ ADC，時間デジタイザ回路に対して個別にこれらの技術を開発し有効性の検証を行った．

研究成果の概要（英文）：

Several techniques for **self-calibration, testing, diagnosis and repairing** have been developed and verified for analog/mixed-signal integrated circuits (such as pipelined ADC, cyclic ADC, SAR ADC, interleaved ADC, Time-to-Digital converter circuits) with nano-CMOS technology.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	600,000	180,000	780,000
2011年度	1,100,000	330,000	1,430,000
2012年度	1,100,000	330,000	1,430,000
年度			
年度			
総計	2,800,000	840,000	3,640,000

研究分野：電気電子工学，集積回路

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：集積回路，ナノ CMOS，アナログ，自己校正，LSI テスト

1. 研究開始当初の背景

LSI を実現する半導体（CMOS）が微細化するにつれて，トランジスタの真正利得が小さくなり，また耐圧・信頼性およびデジタル回路部の低消費電力化のために電源電圧は下がり，またトランジスタ素子の特性ばらつきが大きくなるのでアナログ回路は性能

を確保するのが困難になってきている．そこで有望な手法として，LSI 内の回路を用いてアナログ RF 回路部の特性を LSI 内部の回路で計測しその値に基づいて補正・校正を行う（LSI ユーザーが意識することなく LSI 内部で自己完結する）自己校正技術である．この技術により微細 CMOS での LSI 内のアナロ

グ RF 回路部の性能の確保が期待できる。しかしながら、この自己校正技術はまだ研究に着手されたばかりの実用化には少し先の技術であり、次の課題の問題がある。

1) アナログ回路の自己校正の理論的基礎が未確立である：

「LSI 内部の特性が完全ではない回路を用いて、他の回路の特性を測定してそれをもとに補正をかけて精度が確保できる」という自己校正の理論的基礎が確立されてない。現状の学会発表のものは、あるケースにはうまくいくという個別技術の段階である。どのような場合にうまく働き、どのような場合にうまく働かないかという統一した理論が構築されていない。

2) 適用する自己校正アルゴリズムの改善の余地が多い：

これまでの自己校正をもちいたアナログ RF 回路の学会発表例では、ほとんどの場合が（その回路実現容易性から）LMS (Least Mean Square 最小平均 2 乗誤差) アルゴリズムが用いられている。たとえば最小 2 乗誤差アルゴリズム等、より短時間で収束でき収束値精度もすぐれているアルゴリズムの適用は検討がほとんどなされていない。また、適用したアルゴリズムの安定性も十分検討されていない。一方複雑なアルゴリズムは簡単に回路実現しなければ使えない。適用アルゴリズムを回路実現法と一緒に検討する余地が多々残されている。適応信号処理・適応制御アルゴリズムおよび回路実現法の調査から上記のことが判明した。

3) 製品出荷時テストのコスト・信頼性に問題が多い：

LSI 内部の回路は自己校正を行うと、回路内部に多少の欠陥があっても補正され（すなわち欠陥がマスクされ）回路全体として正常動作を行う。この性質が製品出荷時テストで

は逆に大きな問題になる。すなわち、自己校正を行う回路内部の欠陥が補正できぎりぎりのところにあり製品出荷時テストの際に「良品」と判定されると、市場で電源電圧や温度が変動してその欠陥が補正できなくなり、その回路が誤動作をおこす。この問題はすでに半導体試験装置メーカーの一部の技術者・研究者から工業的に問題があると指摘されているが、有効なシステムレベルな対策がない。

2. 研究の目的

微細半導体 (CMOS) を用いたアナログ・デジタル混載システム LSI の性能向上・生産性向上のための新規基礎技術を研究する。具体的にはキーとなるアナログ RF 回路に対して次の研究を行う。

1) 微細 CMOS を用いたアナログ RF 回路の高性能化のために、将来の技術である「デジタル技術、適応信号処理技術を用いた自己校正技術」の研究開発を行う。

2) その「デジタル技術による自己校正技術を用いたアナログ RF 回路」は製品出荷時のテスト（故障判定）が困難になることが予想される。そのテスト容易化技術を研究開発する。

3) 考え方を発展させ、LSI 自身がアナログ部の自己診断・自己故障修復を行う技術を研究する。

3. 研究の方法

1) 逐次比較近似 AD 変換器、インターリーブ AD 変換器、パイプライン AD 変換器に関して、高度な適応同定アルゴリズムの適用とその回路実現を検討する。

2) 上記 AD 変換器のコンパレータ出力を直接観測して AD 変換器の内部状態を推定することで、性能のテスト容易化を図る技術を研究開発する。

3) LSI 自身がアナログ回路の自己診断と自己

故障修復を実現する方式を研究する。

これらの結果をシミュレーションで有効性を確認し、そのうちの2つ程度を実際に集積回路として試作してその有効性をチップとして実現する。得られた結果をもとに、考え方を一般化してAD変換器に加えて他のアナログRF回路への適用を行う。

4. 研究成果

1) ナノCMOS システムLSIでのキーコンポーネントである、逐次比較近似AD変換器、パイプラインAD変換器、タイムデジタイザ回路に関して、自己校正、デジタル誤差補正、自己テストのアルゴリズム・回路実現を検討し、シミュレーションでの動作・有効性の確認を行った。

2) 特にパイプラインAD変換器に対して、新規性・有効性の高い短時間の自己校正収束のアルゴリズムを開発した。

4) デジタル誤差補正技術・自己校正アルゴリズムの既に提案されている個別技術を体系づけるための統一理論を考察し、学会発表を行った。冗長構成でデジタル誤差補正技術を用いると、各構成要素回路への要求が緩和され、全体として高速・低消費電力化が実現できることを示した。また、内部回路を用いて他の回路の非理想要因を測定し補正する自己校正方式は回路を分割してその特性変化のダイナミックレンジを小さくすること、および分割した回路を合成する際の誤差も測定することにより(divide & conquer の考え方を使用することで)成立するというを示した。

5) デジタル誤差補正技術・自己校正アルゴリズムを用いるLSIの量産時テストについて考察し、その問題点を抽出・整理し、一部対策を検討し、学会発表を行った。補正・校正技術のみに頼ると量産時で不具合が生じるので、アナログ的にできるだけ特性ばらつきを抑えた後にこれらの技術を併用するのがよい。

6) ナノCMOS システムLSIでのキーコンポーネントである、タイムデジタイザ回路の高精度化のためにマルチビット構成とその非線形性の自己校正法を考察し、特許出願、学会発表を行った。また、タイムデジタイザ回路のデジタル信号間のタイミングの短時間・高精度テストへの応用を検討した。

7) 連続時間アナログフィルタのデジタル自

己調整法を考察し、シミュレーションによる原理確認を行い、学会発表を行った。

8) パイプラインADCの精度を向上させる自己校正アルゴリズムを考察し、シミュレーションにより有効性を確認し、学会発表を行った。

9) サイクリックADCの精度を向上させ低消費電力化を実現する自己校正アルゴリズムを考察しシミュレーションにより有効性を確認し、学会発表を行った。

10) ADCのテスト信号をデジタル信号処理により高線形化する技術を開発し実測で有効性を確認した。

11) 完全デジタルPLL回路の短時間での自己校正アルゴリズムの実機検証を行った。

12) ナノCMOS システムLSIでのキーコンポーネントである、タイムデジタイザ回路の高線形化のためのデジタル自己校正法のアルゴリズムを発展させた。(開発アルゴリズムが基本タイムデジタイザ回路だけでなく、確率的バーニア型にも適用できることを検証した。)

13) $\Delta\Sigma$ タイムデジタイザ回路が位相ノイズ測定に適用できることを理論解析・シミュレーションで示した。高価な計測器を用いずに高精度の位相ノイズ測定が可能になる。また $\Delta\Sigma$ タイムデジタイザ回路をアナログFPGAで実現し線形性自己校正アルゴリズムを検証した。

14) 動微細CMOS適した通信用AD変換器のテスト用信号(2トーン信号、I/Q信号)発生アルゴリズムを開発した。開発した手法はデジタル技術を多用するので、微細CMOSでの実現に適している。また、そこで要求されるアナログフィルタの性能を明確にした。

15) サイクリックADCの精度を向上させる自己校正アルゴリズムを考察し、シミュレーションにより有効性を確認した。

16) サイクリックADCの後段に連続時間 $\Delta\Sigma$ 変調器を設けて高精度化する構成を考察し有効性を検証した。

17) 微細CMOSチップ内の微小信号を測定できるオンチップ回路を考察しシミュレーションで動作を確認した。

18) インターリーブADCのタイミングスキューをデジタル的に検出・補正する方式を考察しシミュレーションで効果を確認した。

19) 高周波波形計測のためのサンプリング回路の非理想要因の理論解析を行い、いくつかの知見を得た。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計 8 件)

- [1] K. Kato, F. Abe, K. Wakabayashi, C. Gao, T. Yamada, H. Kobayashi, O. Kobayashi, K. Niitsu, "Two-Tone Signal Generation for ADC Testing," IEICE Trans. on Electronics, vol.E96-C, no.6, pp.850-858 (June 2013) 査読有
- [2] K. Wakabayashi, K. Kato, T. Yamada, O. Kobayashi, H. Kobayashi, F. Abe, K. Niitsu, "Low-Distortion Sinewave Generation Method Using Arbitrary Waveform Generator", Journal of Electronic Testing : Theory and Applications, Springer, vol.28, Issue. 5, pp.641-651 (Oct.2012) 査読有
- [3] T. Yagi, K. Usui, T. Matsuura, S. Uemori, Y. Tan, S. Ito, H. Kobayashi, "Background Self-Calibration Algorithm for Pipelined ADC Using Split ADC Scheme", IEICE Trans. on Electronics, Vol.E94-C, No.7, pp. 1233-1236 (July 2011). 査読有
- [4] T. Ogawa, H. Kobayashi, S. Uemori, Y. Tan, S. Ito, N. Takai, T. Yamaguchi, K. Niitsu, "Design for Testability That Reduces Linearity Testing Time of SAR ADCs", IEICE Trans. on Electronics, Vol.E 94-C, no.6, pp.1061-1064 (June 2011). 査読有
- [5] 小川智彦, 松浦達治, 小林春夫, 高井 伸和, 堀田正生, 傘昊, 阿部彰, 八木勝義, 森俊彦, "逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術," 電子情報通信学会誌和文誌 C, Vol.J94-C, no.3 (2011年3月) 査読有

〔学会発表〕 (計 47 件)

- [1] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Arakawa, D. Hirabayashi, Y. Yano, T. Gake, N. Takai, T. Yamaguchi, "Multi-bit Sigma-Delta TDC Architecture with Self-Calibration", IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 5, 2012). 査読有
- [2] G. Jin, H. Chen, C. Gao, Y. Zhang, H. Kobayashi, N. Takai, K. Niitsu, K. Hadidi,, "Digitally-Controlled Gm-C Bandpass

Filter", IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 5, 2012). 査読有

- [3] K. Kato, F. Abe, K. Wakabayashi, K. Abe, C. Gao, T. Yamada, H. Kobayashi, O. Kobayashi, K. Niitsu, "Two-Tone Signal Generation for Communication Application ADC Testing", The 21st IEEE Asian Test Symposium, Niigata, Japan (Nov. 12, 2012). 査読有
- [4] K. Kato, F. Abe, K. Wakabayashi, T. Yamada, H. Kobayashi, O. Kobayashi, K. Niitsu, "Low-IMD Two-Tone Signal Generation for ADC Testing", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 16, 2012). 査読有
- [5] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 15, 2012). 査読有
- [6] K. Wakabayashi, T. Yamada, S. Uemori, O. Kobayashi, K. Kato, H. Kobayashi, K. Niitsu, H. Miyashita, S. Kishigami, K. Rikino, Y. Yano, T. Gake, "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Algorithms Using an Arbitrary Waveform Generator", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Santa Barbara, CA (May 16, 2011) 査読有

〔図書〕 (計 1 件)

- [1] Robert Bogdan Staszewski, Poras T. Balsara (著), 山田庸一郎 (訳) 小林春夫 (監訳) 「完全デジタル PLL 回路の設計 - ディープ・サブミクロン CMOS プロセスで実現する All-Digital Frequency Synthesizer 」 CQ 出版 (2010年9月出版). (Robert Bogdan Staszewski, Poras T. Balsara, All-Digital Frequency Synthesizer in Deep Submicron CMOS Wiley Interscience (2006) の日本語訳) p.1-p.335

〔産業財産権〕

○出願状況 (計 1 件)

[1]

名称：マルチビットのデルタシグマ型タイムデジタル回路及びその校正方法

発明者：上森聡史, 石井正道, 小林春夫

権利者：半導体理工学研究センター

種類：特許出願

番号：特願 2012-031484

出願年月日：2012年2月16日

国内外の別：国内

[2]

名称：Multi-bit Delta-Sigma Time Digitizer and Calibration Method Thereof

発明者：上森聡史, 石井正道, 小林春夫

権利者：半導体理工学研究センター

種類：特許出願

番号：US 出願番号：13/767,078

出願年月日：2013年2月14日

国内外の別：国外（米国）

○取得状況（計 件）

名称：

発明者：

権利者：

種類：

番号：

取得年月日：

国内外の別：

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

小林 春夫 (KOBAYASHI HARUO)

群馬大学・大学院工学研究科・教授

研究者番号：20292625

(2) 研究分担者

(3) 連携研究者

()

研究者番号：