

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年05月24日現在

機関番号：基盤研究（B）  
 研究種目：2010～2012  
 研究期間：22560331  
 課題番号：  
 研究課題名（和文）リング発振器に基づく、超低消費電力・スケーラブル・タイムドメイン  
 連想メモリの研究  
 研究課題名（英文）Research on ring-oscillator-based, super-low-power, scalable  
 time-domain associative memories  
 研究代表者  
 マタウシュ ハンスユルゲン（Mattausch, Hans Jürgen）  
 広島大学・ナノデバイス・バイオ融合科学研究所・教授  
 研究者番号：20291487

研究成果の概要（和文）：パターン距離の周波数/時間領域のマッピング概念を連想メモリ集積回路の最小距離検索機能を最適化するために検討した。結果として、小型のデザインルールと低電源電圧へのスケーラビリティ、高検索信頼性および高検索速度を有する集積回路のアーキテクチャを開発した。最近傍 Hamming 距離検索のため 180nm CMOS で実現した性能は 0.64  $\mu\text{W}/\text{bit}$  低消費電力と 0.91 ps/bit 高速検索時間である。これは、デジタル回路として以前に実現された連想メモリの報告データより 10 倍以下低消費電力と 25% 以上早い検索時間である。65nm の CMOS 技術を用いることで更なる改善として <52nW/bit 低消費電力と 381fs/bit の高速検索を実現した。また、エラーフリーの検索を、すべての検索ケースの場合、勝者パターンと入力パターンの距離 150 まで達成できた。最大の勝者パターンと入力パターンの距離及び最小の勝者パターンと敗者パターンの距離に対しても、低エラーレート 1.6% 以下を測定した。最後に、距離をクロック数にマッピングする概念に基づく完全なデジタル新たな連想メモリアーキテクチャを発明した。

研究成果の概要（英文）：A frequency/time-domain mapping concept for pattern distances was investigated as a promising candidate to optimize the nearest-distance-search function of an associative memory. It could be clarified that a highly-reliable and high-speed integrated circuit solution for the fully-parallel pattern-matching problem, with scalability to small design rules and low power-supply voltage, is possible. The achieved performances in 180 nm CMOS for nearest Hamming-distance are 0.64  $\mu\text{W}/\text{bit}$  power consumption and 0.91 ps/bit minimum matching speed, which are <10 times lower and about >25% faster, respectively, than previously reported for digital circuits. In 65 nm CMOS further improvement to <52 nW/bit power consumption and 381 fs/bit minimum matching speed was realized. Furthermore, error-free search until winner-input pattern distances of 150 and <1.6% error rate until the largest winner-input distance were achieved. Finally, a fully digital concept based on distance-clock-number mapping was newly invented.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	600,000	180,000	780,000
2011年度	2,400,000	720,000	3,120,000
2012年度	500,000	150,000	650,000
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：連想メモリ、認識、リング波新規、タイムドメイン、VLSI

### 1. 研究開始当初の背景

パターンマッチングのプロセス、すなわち、与えられた入力パターンと最も類似する参照パターンを検索するプロセスは、認識と学習機能を必要とする多くのアプリケーションにとって重要である。例としては、画像または音声処理、データ圧縮、データベース検索およびロボット工学、が挙げられる。完全並列パターンマッチングを実装する連想メモリのための以前に報告された方法では、アナログ/デジタル混載手法とデジタル手法がある。アナログ/デジタル混載ソリューションの利点は、ビットごとにより少ないトランジスタ数、完全に非同期な自己タイミングの動作と低消費電力である。しかし、小さなデザインルールと低電源減圧へのスケールアップは困難である。一方、デジタルソリューションはスケールアップと信頼性の高いものであるが、欠点はビット当たりの大きなトランジスタ数と追加の制御信号線よりの高い消費電力になる。

### 2. 研究の目的

- (1) パターン距離を周波数/タイムドメインにマッピングする概念を用いて連想メモリの最適化調査を行う。特に、要求された検索機能プロパティを全て最適できる検討を行う。
- (2) 予想される高信頼性、速いマッチング高速化と低消費電力が可能であるかどうかを明確にする。
- (3) 実際に 180 nm および 65 nm の CMOS 技術で VLSI の実装を設計し、製造することによって、小さな設計ルールと低電源電圧へのスケールアップの検証を行う。

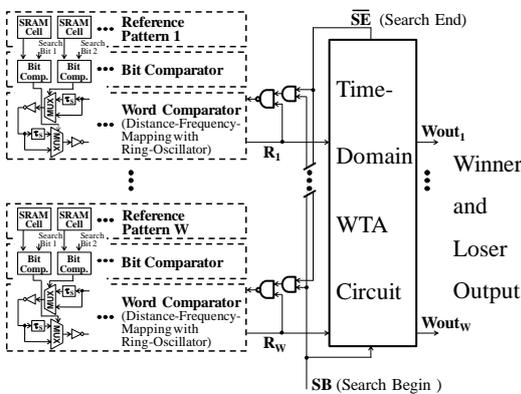


図 1. 調節可能なリング・オシレータの遅延段 (各非マッチングビット用の追加遅延 $\tau_S$ ) とタイムドメイン WTA 回路に基づくパターンマッチングアーキテクチャ (ハミング距離)。

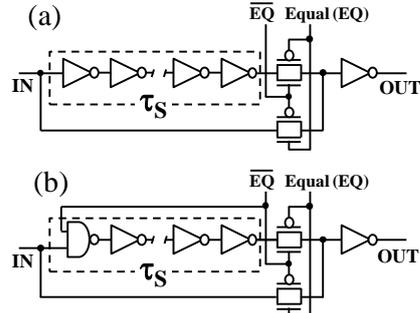


図 2. リングオシレータの遅延段の実装 (a) インバータチェーン (b) 消費電力の削減のためのゲートのインバータチェーン。

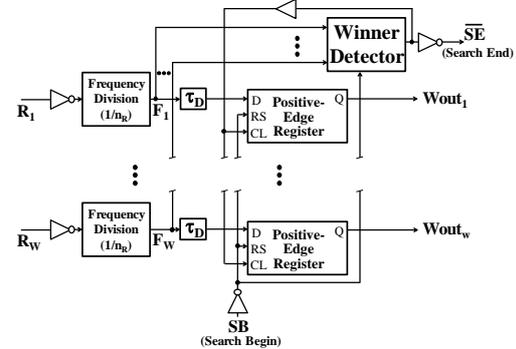


図 3. 勝者パターン検出回路、リセット可能なレジスタと遅延段 $\tau_D$ で構成されるタイムドメイン勝者総取り (WTA) 回路。

### 3. 研究の方法

研究プロジェクトを次の主要なステップで進行する。

- (1) 連想メモリ VLSI アーキテクチャと回路構成をシミュレーションによる開発と検証する。ハミング距離検索のための連想メモリアーキテクチャの概念を図 1 で示す。
- (2) 180nm の CMOS 技術でテストチップの設計、試作と実際の性能評価を行う。評価結果に基づくアーキテクチャと回路技術の必要なる改善を実施する。
- (3) 65nm の CMOS 技術への回路技術をスケールアップし、先端 CMOS でのテストチップ設計、試作とスケールアップの有効性評価を行う。明らかになる欠点に対して更に連想メモリの技術を改善する。

### 4. 研究成果

- (1) 周波数/タイムドメインのハミング距離検索連想メモリアーキテクチャのために開発された主回路は図 2 に示した遅延選択可能な遅延段回路と図 3 に示したタイムドメイン勝者総取り (WTA) 回路である。図 3 における勝者パターン検出回路は多段階のウィヤード OR 回路 (図 4 参照) や大きいファンインのスタティック CMOS ゲートで実現

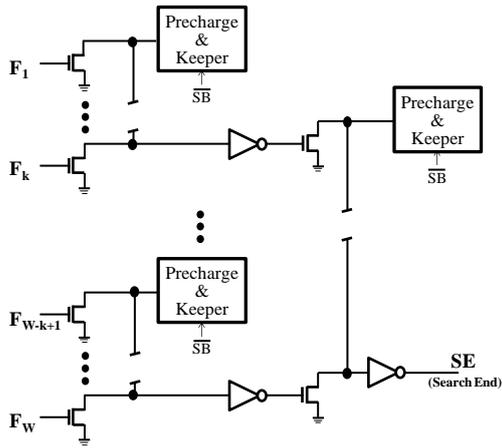


図4. 180nm の CMOS テストチップで実現された2段ワイヤードOR勝者パターン検出回路。

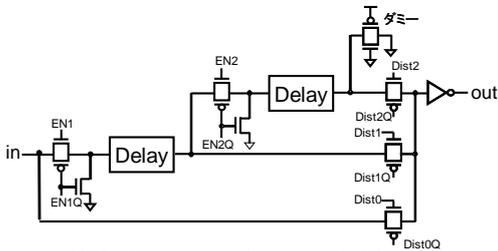


図5. 検索時間及び消費電力を低減するためのマルチパス遅延段。

出来る。また、図5に示したマルチパス遅延段は、さらに、検索時間及び消費電力を低減するために開発された。

(2) 180nm の CMOS 技術で製造されたテストチップの写真を図6に示す。それぞれ256ビットで構成されている64参照パターンはこのVLSIチップに実装されている。図7は1.8Vの電源電圧の場合、1及び2のハミング距離において、リング発振器の測定された周波数のばらつきをプロットしている。このデータは、周波数ばらつきが非常に小さいことを検

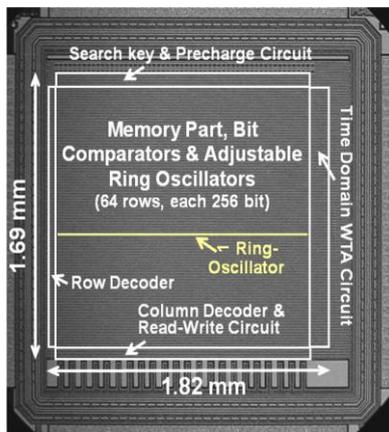


図6. 180nm の CMOS 技術で試作したテストチップの写真。

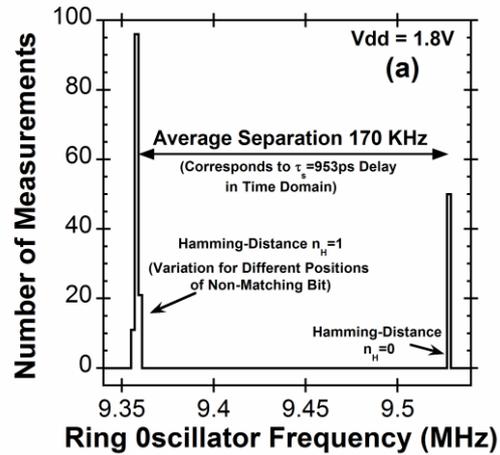


図7. 1.8Vの電源電圧でハミング距離1と2に関して測定されたリング発振器の周波数ばらつき。

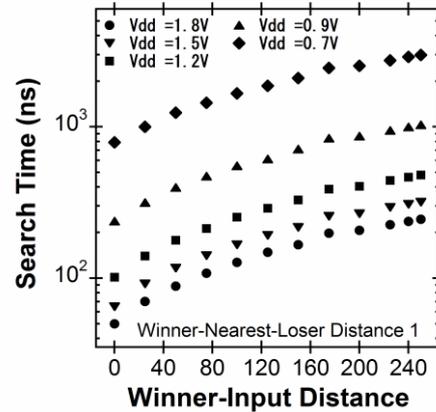


図8. 異なる電源電圧で0-255のハミング距離に対して測定された検索時間。

証する。したがって、信頼性の高い検索が期待できる。0-255の勝者パターンと入力パターンの距離までに測定された検索時間を異なる電源電圧においてを図8に示す。このデータは50nsと245nsの間的高速検索が1.8Vの電源電圧の場合で達成されたことを検証する。図9aと図9bは勝者パターンと入力パターンの距離の関数として、勝者と敗者パターンの最も難しい距離の2ケースにおいて、検索誤り率を示す。応用の実用的な検索の場合、エラーのない検索を実現している。さらに、最も難しい検索ケースにおいても、2.5%以下のエラー率が達成されている。以前に報告されたデジタル連想メモリ設計と比べて、10倍以上の消費電力削減が達成された。低消費電力にもかかわらず、平均勝者パターン検索速度がほぼ25%改善された。

(3) 65nmのCMOS技術の設計は、消費電力と勝者パターンの検索時間をさらに改善するために、リング発振器の遅延段として3パス遅延段(図5参照)を使用した。製造された

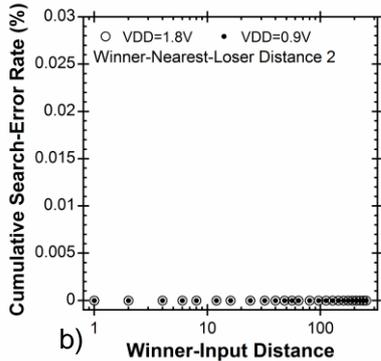
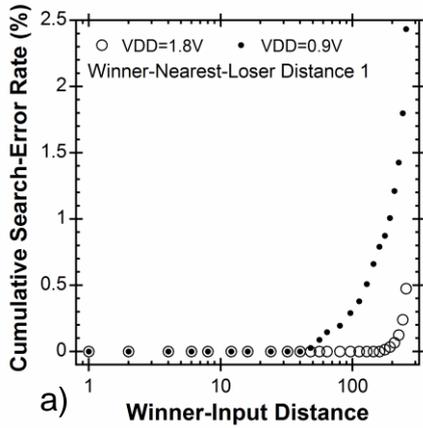


図9. VDD =1.8V および VDD =0.9V での入力パターンと勝者パターンの距離の関数としての検索エラー率。示された、勝者パターンと敗者パターンの距離1 (図9a) および距離2 (図9b) のグラフは最も距離が検索エラーである。

テストチップの画像が、図10に示されている。それぞれの128参照パターンには512ビットが実装された。設計データと測定された性能データは、図11にまとめている。図12に示すように、以前の研究と比較して、非常に小さい電力遅延積 (低減係数140) が達成されている。

(4) 開発されたリングオシレータベースの時間領域連想メモリがハミング距離に基づいて最も近い距離検索のために非常に有用であることが検証された。しかし、マンハッタン距離またはユークリッド距離のような

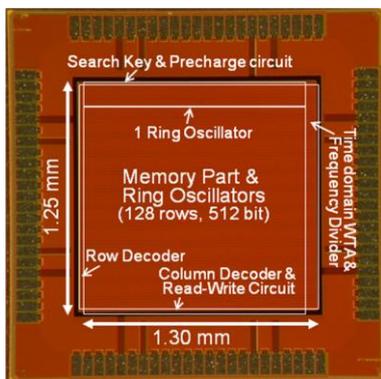


図10. 65nm CMOS で試作された128パターンと512ビット/パターンを持つ完全に並列ハミング距離検索連想メモリの写真。

Technology	65 nm CMOS (11Cu, 1Al)
Supply voltage	1.2 V
Function	Min. Hamming-distance search
Capacity	128words, each 512bit
Macro area	1.62 mm <sup>2</sup>
Ring-oscillators	57.6%
WTA circuit	2.3%
Freq. division	1.5%
Selectable freq.-division steps	1, 1/2, 1/4, 1/16
Search time (Vdd = 1.2V)	25ns - 283ns (381fs/b - 4318fs/b)
Power dissipation (Vdd = 1.2V)	≤ 3.39mW (≤ 52pW/b)

図11. 65nmのCMOSテストチップの設計と測定データ。

より複雑な距離のためには、検索時間が長くなることが判明した。したがって、完全にデジタル概念であるクロック周期の数に距離をマッピングすることによって、時間領域の概念の更なる改善を行った。この概念を調査し、今後の研究にマンハッタン距離およびユークリッド距離の最近傍検索のために適用することを計画している。

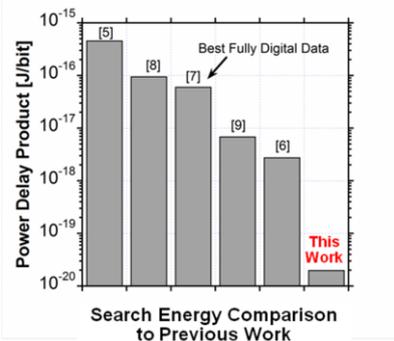
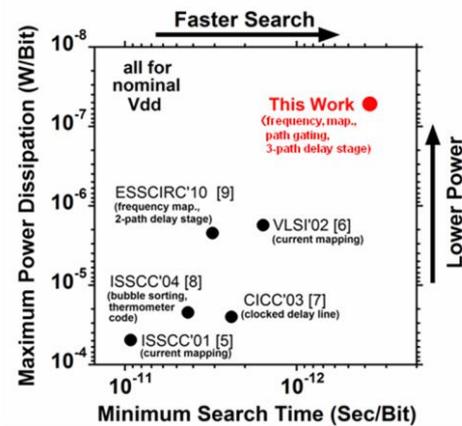


図12. 最小検索時間と最大消費電力は以前のベストデータより両方が桁違い改善されている (上図)。従って、電力遅延積は140倍減少されている (下図)。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

1. S. Sasaki, M. Yasuda, A. Kawabata, T. Koide, and H.J. Mattausch, “High Speed Frequency-Mapping-Based Associative Memory using Compact Multi-Bit Encoders and a Path-Selecting Scheme”, Jpn. J. Appl. Phys., Vol. 51, No. 4, 04DE05 pp.1-7 (2012), 査読有
2. T. Ansari, W. Imafuku, M. Yasuda, H. J. Mattausch, and T. Koide, “Experimental Analysis of Within-Die Process Variation in 65 nm and 180 nm CMOS Technology Including its Distance Dependences”, Jpn. J. Appl. Phys., Vol. 51, No. 4, 04DE03 pp.1-8 (2012), 査読有
3. H.J. Mattausch, W. Imafuku, A. Kawabata, T. Ansari, M. Yasuda and T. Koide, “Associative Memory for Nearest-Hamming Distance Search Based on Frequency Mapping”, IEEE Journal of Solid-State Circuits, Vol. 47, No. 6, 1448-1459 (2012), 査読有
4. T. Ansari, W. Imafuku, A. Kawabata, M. Yasuda, T. Koide, and H. J. Mattausch, “Analysis of Within-Die CMOS-Process Variation with Reconfigurable Ring-Oscillator Arrays using HiSIM Model”, Jpn. J. Appl. Phys., Vol. 50, No. 4, Art. 04DE05 (2011), 査読有

[学会発表] (計5件)

1. S. Sasaki, M. Yasuda, and H.J. Mattausch, “Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization”, Proceedings of the 38<sup>th</sup> European Solid-State Circuits Conference (ESSCIRC’2012), 185-188, 2012.9.22, Bordeaux, France, 査読有
2. S. Sasaki, M. Yasuda, A. Kawabata, T. Koide, and H.J. Mattausch, “Compact Multi-Bit Encoder for High Speed Frequency-Mapping Associative Memory”, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials (SSDM’2011), 1071-1072, 2011.9.30, Nagoya, Japan, 査読有
3. H.J. Mattausch, M. Yasuda, A. Kawabata, W. Imafuku, and T. Koide, “A 381 fs/bit, 51.7 nW/bit Nearest Hamming-Distance Search Circuit in 65 nm CMOS”, 2011 Symposium on VLSI Circuits Digest of Technical Papers (VLSI 2011), 192-193, 2011.6.17, Kyoto, Japan, 査読有
4. M. Yasuda, T. Ansari, W. Imafuku, A. Kawabata, T. Koide, and H.J. Mattausch, “Low-Complexity Time-Domain Winner-Take-All Circuit with High Time-Difference Resolution Limited only by With-In-Die Variation”, Extended Abstracts of the

2010 International Conference on Solid State Devices and Materials (SSDM’2010), 1164-1165, 2010.9.24, Tokyo, Japan, 査読有

5. H.J. Mattausch, W. Imafuku, T. Ansari, A. Kawabata, and T. Koide, “Low-Power Word-Parallel Nearest-Hamming-Distance Search Circuit based on Frequency Mapping”, Proceedings of the 36<sup>th</sup> European Solid-State Circuits Conference (ESSCIRC’2010), 538-541, 2010.9.16, Seville, Spain, 査読有

[産業財産権]

○出願状況 (計3件)

1. 名称：ユークリッド距離連想メモリ  
発明者：H. J. Mattausch, 他  
権利者：広島大学  
種類：特許  
番号：2013-25465  
出願年月日：2013年2月13日  
国内外の別：国内
2. 名称：マンハッタン距離連想メモリ  
発明者：H. J. Mattausch, 他  
権利者：広島大学  
種類：特許  
番号：2012-183975  
出願年月日：2012年8月23日  
国内外の別：国内
3. 名称：連想メモリ  
発明者：H. J. Mattausch, 他  
権利者：広島大学  
種類：特許  
番号：2011-243733  
出願年月日：2011年7月7日  
国内外の別：国内

○取得状況 (計0件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

[その他]

ホームページ等

## 6. 研究組織

(1) 研究代表者

マタウシュ ハンスユルゲン (Mattausch Hans J.)

広島大学・ナノデバイス・バイオ融合科学研

研究所・教授  
研究者番号：20291487

(2)研究分担者  
( )

研究者番号：

(3)連携研究者  
( )

研究者番号：