

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 10 日現在

機関番号：12601

研究種目：若手研究(A)

研究期間：2010～2013

課題番号：22686034

研究課題名(和文) - CMOS Photonicsの創生

研究課題名(英文) Construction of III-V CMOS Photonics

研究代表者

竹中 充 (Takenaka, Mitsuru)

東京大学・工学(系)研究科(研究院)・准教授

研究者番号：20451792

交付決定額(研究期間全体)：(直接経費) 19,800,000円、(間接経費) 5,940,000円

研究成果の概要(和文)：基板貼り合せ技術を用いたIII-V-on-Insulator(III-V-OI)基板作製技術を確立することで、III-V-OI基板を用いたInP系細線導波路パッシブデバイスに加えて、高性能光変調器・スイッチ、導波路型受光器の動作実証に世界で初めて成功した。また、III-V-OI基板上へのInGaAs MOSトランジスタの作製技術の確立にも成功した。

この結果、III-V-OI基板上に超小型III-V族半導体細線導波路光デバイスと超高性能III-V族半導体CMOSトランジスタをモノリシック集積可能なIII-V CMOS photonicsプラットフォームの基盤技術の実証に成功した。

研究成果の概要(英文)：We have successfully established the fabrication procedure of III-V-on-Insulator (III-V-OI) wafers by using the direct wafer bonding technology. As a result, we have demonstrated high-performance optical switches/modulators and waveguide photodetectors on the III-V-OI wafer in addition to InP-based photonic-wire passive devices. We have also established the fabrication procedure of InGaAs MOS transistors on the III-V-OI wafer.

Thus, we have successfully demonstrated the basic concept of the III-V CMOS photonics platform on which ultra-small III-V-based photonic-wire devices and high-performance III-V-based CMOS transistors can be co-integrated by using the III-V-OI wafer.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：光電子集積回路 CMOSフォトニクス 細線導波路 光変調器 受光器 InGaAs MOSFET 基板貼り合せ III-V-OI基板

1. 研究開始当初の背景

近年、Si をベースとした光通信デバイス、いわゆる Si photonics の研究が非常に活発化しており、超小型光導波路、光受光器、光変調器などの研究報告が多数されている。このような背景には、Si photonics が Si-on-Insulator (SOI) 構造高光閉じ込め導波路による光素子の超小型化、Si LSI で培われた高精度プロセス技術の利用、Si CMOS との集積化による高機能化の実現などの可能性を有している為であり、既に Si LSI チップ上に光変調器、光受光器、光デバイス用各種ドライバ回路などをモノリシック集積した光トランシーバを商品化するなど、Si LSI で培われた高度な製造技術を生かし、通信距離が短い光インターコネクション市場を大きく変革しようとしている。

一方、長距離用光通信用途では InP などの III-V 族化合物半導体を用いた半導体レーザー、光変調器、光受光器、各種導波路型デバイスなどが研究・実用化されてきた。しかし、その一方で、Si photonics による光集積回路と比較して、III-V Photonics を用いた光集積回路には、Si-on-Insulator 構造に類する導波路構造がないことによる素子小型化の限界、素子の高アスペクト比 (高さ/幅) による微細加工の限界、Si CMOS に類する MOS 型トランジスタの欠如による高機能化の限界などの問題がある。既存の III-V photonics においては垂直方向の光閉じ込めが弱い為、Si photonics と比較して素子面積が 100 倍以上となるなど超小型化に限界がある。現状ではハイメサ導波路による小型化が主流であるが、導波路の最小曲率半径は 20~30 μm 程度であり、曲率半径 1 μm 程度が可能な Si photonics と同程度の微細化は実現できない。また導波路メサを 2 μm 以上エッチングする必要があり微細加工精度にも限界がある。加えて、HEMT や HBT などアナログ用途のトランジスタは長い実績を持つものの、大規模集積に優れた Si CMOS のようなデジタル用途の III-V CMOS は実現されておらず、Si photonics のような高機能化には限界がある。このため III-V photonics は大規模化・高機能化の観点から Si photonics の後塵を押しつつある。しかし、III-V 族半導体は直接遷移型バンド構造を有し、発光、光変調、受光などの点で Si と比較して本質的に光デバイスとしての特性に優れていることから、Si photonics と同様の導波路構造を実現できれば、素子の超小型化が可能であると同時に、Si photonics 単体では実現できないアクティブ/パッシブ集積化が可能になり、既存の III-V 光素子や Si photonics では実現しえない超小型 LD、変調器、PD、各種パッシブ導波路をすべてモノリシック集積した高性能・低消費電力光集積回路が実現できるものと期待される。

2. 研究の目的

このような背景を受け、本研究においては、

SOI 基板に類する III-V-on-Insulator (III-V-OI) 基板を実現することで、Si photonic と同様の小型化が可能な III-V 細線導波路光素子を実現し、超高性能 III-V CMOS トランジスタとも一体集積可能な III-V CMOS photonics という新プラットフォームの創生を目指す。

3. 研究の方法

(1) III-V-OI 基板を実現するための基板貼り合せ (ウェハーボンディング) 技術の研究を進める。一般的に用いられる酸素プラズマ照射によるウェハーボンディングにおいては、III-V 層へのプラズマダメージが想定されることから、より低ダメージな貼り合せ技術の確立を目指す。またデバイス作製においては各種加熱プロセスが必須となることから、III-V-OI 基板の耐熱性に関する研究を進める。

(2) 貼り合せ手法の差異による III-V 細線導波路光デバイスへの影響を明確化する研究を進める。加えて、導波路エッチングプロセスを最適化することで低損失細線導波路作製技術の確立を目指す。また、III-V-OI 基板上で接合形成技術の確立を目指す。III-V-OI 基板では横方向接合の形成が必須となることから、成長時のドーピングにより縦方向の接合を形成する従来技術は適用できない。そこでイオン注入や固相拡散等を用いることで横方向接合形成技術の確立を目指す。

(3) III-V-OI 基板を用いた各種光デバイスの実証を目指す。極めて小さい領域に光閉じ込め可能な細線導波路と入出力用光ファイバーを効率よく結合するためのグレーティングカップラの動作実証を目指す。また、横方向接合を利用した高効率光変調器・光スイッチの動作実証を目指す。さらに、導波路型 InGaAs 受光器の動作実証を目指す。また III-V-OI 基板での InGaAs MOS トランジスタ作製技術の基盤技術の確立を目指す。

4. 研究成果

(1) 従来のウェハーボンディングでは酸素プラズマを基板表面に照射した後貼り合わせを行っていた。しかし、この方法では III-V 層の表面が酸化されてダメージを受けることを分かっていた。また貼り合わせ強度自身も十分に強くなかった。そこで、原子層堆積法 (ALD) を用いた Al₂O₃ 膜を介した基板貼り合わせ技術の研究を進めた (図 1)。InP 基板および熱酸化 Si 基板上に Al₂O₃ を堆積後貼り合わせることで、酸素プラズマを照射しなくても、従来よりも数倍貼り合わせ強度の大きい基板貼り合わせを実現することに成功し

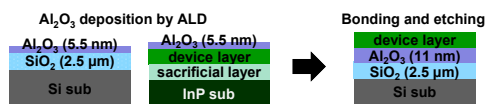


図 1 Al₂O₃ を用いた低ダメージ基板貼り合せ

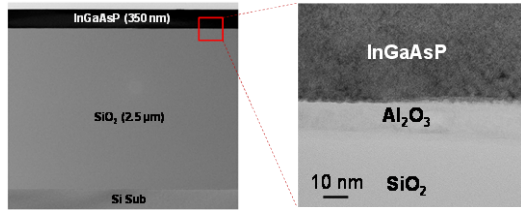


図 2 Al₂O₃ で貼り合せ III-V-OI 基板の断面 TEM 像

た。また酸素プラズマを用いないことから、図 2 の断面 TEM 像に示すように、貼り合せ界面には III-V 層の酸化膜は存在せず、低ダメージでの貼り合せを実現した。

III-V-OI 基板上でデバイスを作製するためには、高温アニールなどの熱処理が必要となる。一般に、貼り合せ基板の加熱では、貼り合せ界面からのガス生成によりボイド等の欠陥が発生してしまうことが知られている。このことから、400 度程度の加熱しか許容できないことが一般である。そこで我々の貼り合せ基板の耐熱性について研究を進めた。図 3 に 600 度および 700 度でアニール処理した後の III-V-OI 基板の表面状態を示す。我々の作製した基板においては、700 度での加熱後もボイドが発生しないことが分かった。これは III-V 層下の厚膜 SiO₂ 層が発生したガスを吸収しているからと考えられる。このことから我々の III-V-OI はデバイス作製上十分な耐熱性を有することが明らかになった。

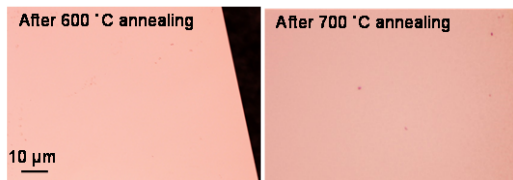


図 3 アニール後の III-V-OI 基板上表面状態

(2) Al₂O₃ を用いた低ダメージ貼り合せ基板を用いて実際に InP 系細線導波路を作製して、導波損失の評価を行った。この結果、導波損失を従来の約半分に低減することに成功し、低ダメージ貼り合せ手法の有効性を実証した。また貼り合せ界面に InP 層を挿入し、かつ導波路側面および上面も Al₂O₃ でパッシベーションすることで、さらに導波損失を 1/2 に低減することに成功した。またドライエツ

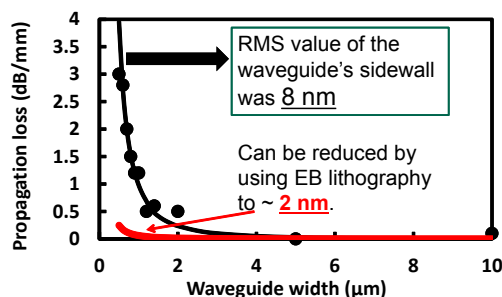


図 4 導波路損失と導波路幅の関係

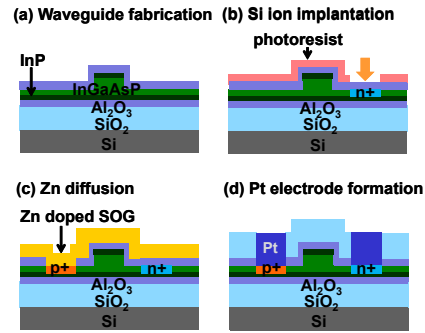


図 5 横方向接合形成プロセス

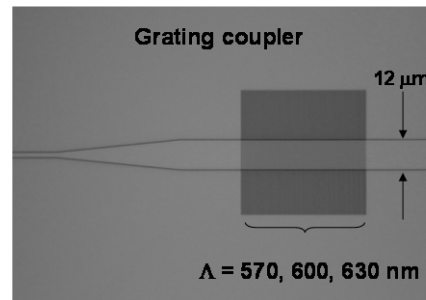


図 6 III-V-OI 基板上に作製したグレーティングカプラ

ティング時に圧力等を最適化することで、側壁ラフネスを低減することで、導波路幅が狭い場合においても導波損失を低減した。このけ化、EB 描画を用いることで導波損失は 0.25 dB/cm 程度まで低減可能であることを明らかにした (図 4)。

III-V-OI 基板上の横方向 PIN 接合形成プロセスの研究も進めた。III-V-OI 基板が 600 度程度の耐熱性を有することから、イオン注入を用いて接合を形成することに成功した。またより低抵抗の接合を形成するために、SOG からの Zn 固相拡散プロセスの研究を進めた。この結果、図 5 に示すイオン注入と Zn 拡散を利用した低抵抗 PIN 接合の形成プロセスを確立することに成功した。

(3) 作製した III-V-OI 基板を用いて入出力となるグレーティングカプラの作製を行った (図 6)。EB 直描を用いてピッチ 600 nm のグレーティングを作製することで、5 dB 程度の結合損失をもつ良好な特性のグレーティングカプラの作製に成功した。

また、横方向接合形成技術を用いて、導波路中に電流注入することで屈折率を変調する光変調器/スイッチの作製も進めた。Si と比較した InGaAsP 中では、キャリアプラズマ効果に加えてバンドフィリングなどの屈折率変調効果がある。このことから、Si よりも 5 - 10 倍程度効率よく屈折率を変調可能となる。これまでに研究を進めた素子作製プロセスを用いて作製した InGaAsP 細線導波路光スイッチの素子写真や断面 TEM 像を図 7 に示

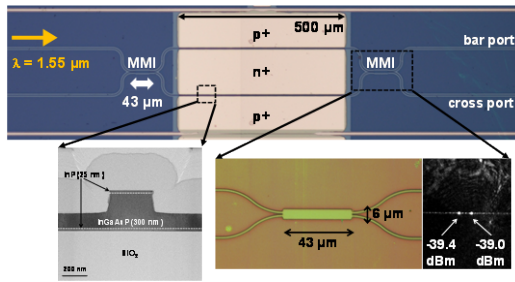


図7 III-V-OI 基板上に作製した InGaAsP 細線導波路光スイッチ

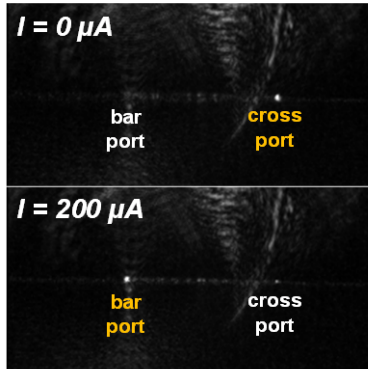


図8 InGaAsP 細線導波路光スイッチのスイッチ特性

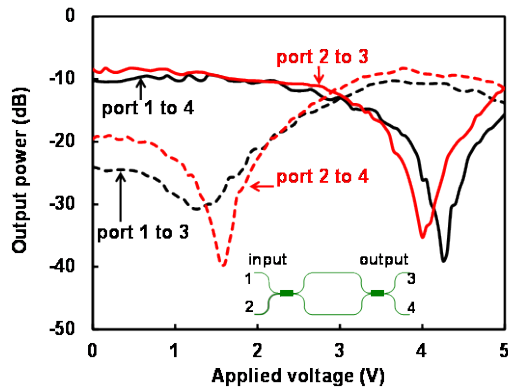


図9 InGaAsP 細線導波路光スイッチのクロストーク特性

す。MMI カプラを用いたマッハ・ツェンダー干渉計のアーム導波路部分に電流を注入することで入力光をスイッチング可能となる。実際に電流を注入時の素子出力の近視野像を図8に示す。電流を 200 μA 程度注入することでスイッチングすることに成功した。InGaAsP 中では屈折率変化が大きいことから、相対的に吸収変化は小さくなる。このことから、Si 光スイッチよりもクロストークを抑制することが可能になる。図9に 2x2 InGaAsP 細線導波路光スイッチのクロストーク特性を示す。Si の理論限界値を下回る -30 dB 程度のクロストークを実証することに成功した。III-V-OI 基板上に導波路型 InGaAs 受光器を作製する研究も進めている (図10)。図11に示すように、良好な受光特性が得られており、

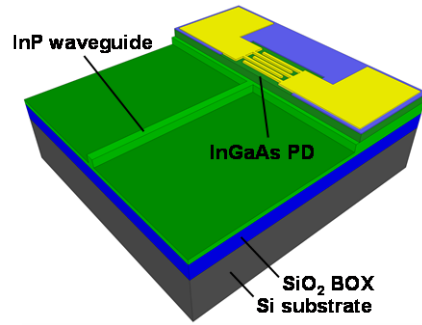


図10 導波路型 InGaAs 受光器

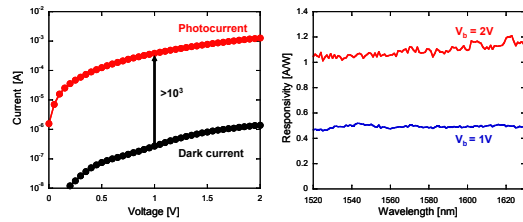


図11 導波路型 InGaAs 受光器の受光特性

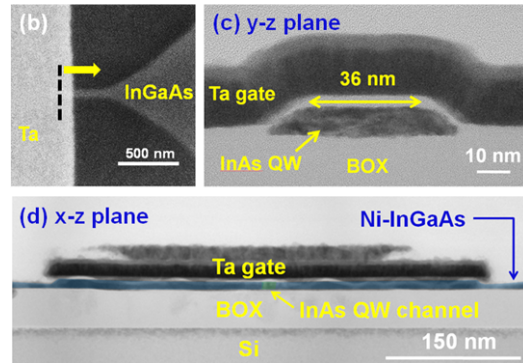


図12 III-V-OI 基板上に形成したナノワイヤ InGaAs MOS トランジスタ

C 帯波長から L 帯波長に対して 1 A/W 程度の高い応答を得ることに成功した。また III-V-OI 基板上に図12に示す InGaAs MOS トランジスタを形成することにも成功している。これらの成果により、III-V-OI 基板上に各種光デバイスと III-V MOS トランジスタをモノシシク集積可能な III-V CMOS photonics プラットフォーム基盤技術の実証に成功した。

5. 主な発表論文等

〔雑誌論文〕 (計 11 件)

- [1] 竹中充, 一宮佑希, 程勇鵬, 金相賢, 高木 信一, “III-V CMOS フォトニクスを用いた光電子融合集積回路プラットフォーム技術”, 電子情報通信学会和文論文誌 C, vol. J97-C, No. 3, pp. 95 – 103, 2014 (招待論文). 査読無
- [2] M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano, and S. Takagi, “InGaAsP grating couplers fabricated using complementary-metal-oxide-semiconductor-compatible III-V-on-Insulator on Si,”

- Appl. Phys. Express.*, Vol. 6, 042501, 2013. DOI: 10.7567/APEX.6.042501, 査読有
- [3] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka, and S. Takagi, "Low-driving-current InGaAsP photonic-wire optical switches using III-V CMOS photonics platform," *Optics Express Letters*, vol. 20, no. 26, pp. B357-B364, 2012. DOI: 10.1364/OE.20.00B357, 査読有
- [4] S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Electron mobility enhancement of extremely thin body In_{0.7}Ga_{0.3}As-on-insulator metal-oxide-semiconductor field-effect transistors on Si substrates by metal-oxide-semiconductor interface buffer layers," *Appl. Phys. Express.*, Vol. 5, 014201, 2012. DOI: 10.1143/APEX.5.014201, 査読有
- [5] S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "High performance extremely thin body InGaAs-on-insulator metal-oxide semiconductor field-effect transistors on Si substrates with Ni-InGaAs metal source/drain," *Appl. Phys. Express.*, Vol. 4, 114201, 2011. DOI: 10.1143/APEX.4.114201, 査読有
- [学会発表] (計 41 件)
- [1] Y. Ikku, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultra-small, low-crosstalk, electrically-driven InGaAsP photonic-wire optical switches on III-V CMOS photonics platform," *Optical Fiber Communication Conference (OFC2014)*, Th2A.66, San Francisco, 13 March 2014.
- [2] S.-H. Kim, M. Yokoyama, R. Nakane, M. Ichikawa, T. Osada, M. Hata, M. Takenaka, S. Takagi, "High performance sub-20-nm-channel-length extremely-thin body InAs-on-Insulator tri-gate MOSFETs with high short channel effect immunity and V_{th} tunability," *International Electron Devices Meeting (IEDM'13)*, 16.4, Washington D. C., 10 December 2013.
- [3] M. Takenaka and S. Takagi, "III-V/Ge device engineering for CMOS photonics," *International Conference on Processing & Manufacturing of Advanced Materials (THERMEC2013)*, L3-5, Las Vegas, 3 December 2013 (*invited*).
- [4] Y. Ikku, M. Yokoyama, N. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Low-crosstalk 2 × 2 InGaAsP photonic-wire optical switches using III-V CMOS photonics platform," *European Conference on Optical Communication (ECOC'13)*, London, P.2.19, 24 September 2013.
- [5] Y. Cheng, Y. Ikku, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Waveguide InGaAs MSM photodetector for chip-scale optical interconnects on III-V CMOS photonics platform," *Asia Communications and Photonics Conference (ACP2013)*, AT3A.4, Beijing, 14 November 2013.
- [6] M. Takenaka and S. Takagi, "Heterogeneous integration for CMOS photonics," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, E-3, Tokyo, 20 November 2013 (*invited*).
- [7] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka, and S. Takagi, "Low-driving-current InGaAsP photonic-wire optical switches using III-V CMOS photonics platform," *European Conference on Optical Communication (ECOC'12)*, Amsterdam, 18 September 2012.
- [8] M. Takenaka and S. Takagi, "III-V/Ge integration on Si platform for electronic-photonics integrated circuits," *Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD'12)*, Naha, 29 June 2012 (*invited*).
- [9] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka and S. Takagi, "Propagation-loss reduction in InGaAsP photonic-wire waveguides by InP and Al₂O₃ passivation layers," *16th European Conference on Integrated Optics (ECIO'12)*, Barcelona, 18 April 2012.
- [10] M. Takenaka and S. Takagi, "III-V on Silicon for high-speed electronics and CMOS photonics," *Indium Phosphide and Related Materials (IPRM'11)*, Mo-2.2.1, Berlin, 23 May 2011 (*invited*).
- [11] M. Takenaka and S. Takagi, "III-V CMOS technologies on Si platform," *MRS Spring Meeting*, P5.4, San Francisco, 27 April 2011 (*invited*).
- [その他]
高木竹中研究室ホームページ
<http://www.mosfet.k.u-tokyo.ac.jp/>

6. 研究組織

(1) 研究代表者

竹中 充 (Mitsuru Takenaka)

東京大学・大学院工学系研究科・准教授

研究者番号：20451792