

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 12 日現在

機関番号：25403

研究種目：若手研究（B）

研究期間：2010～2012

課題番号：22700049

研究課題名（和文） LSI の多様な要求品質に対応できる数理計画的アプローチによる体系的なテスト生成法

研究課題名（英文） A Systematic Test Generation Approach to Achieving Various Test Qualities for LSIs Based on Mathematical Programming

研究代表者

岩垣 剛 (IWAGAKI TSUYOSHI)

広島市立大学・情報科学研究科・助教

研究者番号：00397845

研究成果の概要（和文）：

本研究では、大規模集積回路（LSI）に対して様々な質のテストを柔軟に生成するための枠組みとして、数理計画法（特に整数計画法）に着目し、種々のテスト生成問題から整数計画問題へのモデル化手法、求解の高速化手法を考案した。これにより、個々のテスト生成問題に応じた解法を新たに開発することなしに、既存の高性能な整数計画ソルバで問題を解くことが可能となる。以上の成果は低コストで LSI の信頼性を高めることにつながる。

研究成果の概要（英文）：

This work focused attention on mathematical programming (especially, integer programming) as a test generation framework that can flexibly generate various types of tests required for large-scale integrated circuits (LSIs). Several methods have been devised to formulate integer programming models for different test generation problems and to heuristically solve them. This framework allows us to solve these problems with a powerful off-the-shelf solver for integer programming, without developing any new techniques dedicated to them. The results can lead to enhancing the reliability of LSIs at low cost.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	1,500,000	450,000	1,950,000
2011 年度	700,000	210,000	910,000
2012 年度	800,000	240,000	1,040,000
年度			
年度			
総計	3,000,000	900,000	3,900,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：テスト生成，整数計画法，充足可能性問題，非同期インターコネクト，クロックスキュー，ホールドタイム違反，電力制約下テスト，テスト数最小化

1. 研究開始当初の背景

微細化や高速化が進んだ今日の大規模集積回路（LSI）において、既存の故障モデルではカバーされない欠陥が増加しており、いかに

そのような欠陥を検出するかが LSI テストにおける一つの大きな課題となっている。それ以外にもテスト時の過度な消費電力による誤テスト（良品を不良品と判定したり、不良品を良品と判定したりするテスト）や回路の本

来の機能を考慮しないことによる過剰テスト（良品を不良品と判定するテスト）等の解決すべき課題が山積している。以上のようなLSIの信頼性や歩留まりに関わる問題を解決するために、様々なテスト生成法が国内外で議論されている。

多くの既存手法に共通しているのは、対象とするテスト生成問題に応じて、アルゴリズムを個々に設計している点である。この場合、問題に特化したアルゴリズム設計しているため、その問題に対しては良い解が求まる可能性が高い。しかし、複雑に振る舞う欠陥を検出するために、テストに新たな要求を加えたり、複数の要求を同時に考慮したりする場合、通常は一からアルゴリズムを検討し直す必要がある。これはテストコストを押し上げる要因となり得るため、実用的な観点で見ると望ましくない。そこで本研究では、この課題を解決する手段として、与えられた問題を直接解かず、既に有効な解法が存在する別の問題に置き換えて解くアプローチに着目した。具体的には、近年目覚ましい発展を遂げている数理計画法（特に整数計画法）に注目した。

2. 研究の目的

本研究では、状況に応じて様々な質のテストを柔軟に生成するために、種々のテスト生成問題を整数計画法という枠組みの中で統一的に議論し、LSIの信頼性を効率的に高めることを目指した。具体的な目標として以下の三つを掲げた。

- (1) 様々なテストへの要求を整数計画法の目的関数や制約条件へモデル化する手法の確立
- (2) 既存のテスト生成フローから得られる情報を用いた求解の高速化手法の開発
- (3) 非モデル化欠陥の検出に向けた新しい目的関数と制約条件の導出

3. 研究の方法

(1) 非同期インターコネクタのテストスケジューリング法

LSIの非同期インターコネクタの有効な方式であるCHAINのテストスケジューリング法の議論をおこなった。テスト時にのみ利用できる特別なデータ転送方法をCHAINのテストスケジューリングに導入し、従来は実現できなかったような柔軟なテストスケジュールを生成可能にした。この特別なデータ転送方法を考慮したテストスケジューリング問題をテスト対象のモジュールの種類に応じて三つのフェーズに分け、それぞれを整数計画法に定式化した。また、整数計画法の求解時間の問題点を解消するための発見的手法も提案した。

(2) スキャンシフト動作を用いたホールドタイム違反の間接的テスト手法

近年の微細化されたLSIにおいて特に問題視されているホールドタイム違反の検出方法について議論をおこなった。産業界で広く用いられているスキャンテストのシフト動作を利用し、回路の機能パス上のホールドタイム違反を間接的に検出する方法を考案した。また、スキャンチェーンの順序を適切に決めることで、機能パス上のホールドタイム違反を検出する能力が変化することに着目し、それを最大化するための発見的手法も提案した。

(3) 解の再利用によるテスト生成の高速化手法

整数計画問題（特にすべて変数が2値の値をとる0-1整数計画問題）と密接に関係する充足可能性問題(SAT)に基づくテスト生成の高速化の議論をおこなった。提案するテスト生成法では、ある故障に対するテストパターン(SATのインスタンスの解)が他の故障に対するテストパターンを生成する際に再利用される。解の再利用により、SATのインスタンスを一から解く場合と比べて処理の高速化が期待できる。提案手法では、解の再利用を成功しやすくするために、インスタンス・ペアに対して類似度(共通のSAT式の出現頻度)を定義し、類似度の閾値に基づいて次に解くべきインスタンスを動的に決定する。また、過去の解の再利用状況(履歴)に基づき、現在のインスタンスに対する変数割当て順序を決定する。更なる高速化を実現するために手法のハードウェア化の検討もおこなった。

(4) ホールドタイム違反に対するテスト生成法

消費電力およびテスト数を考慮したホールドタイム違反に対するテスト生成法を議論した。前者の議論では、テスト時に消費される過度な電力によってホールドタイム違反が見逃される可能性があることを示唆し、それを回避するための消費電力制約下テスト生成問題を整数計画問題としてモデル化した。テスト時の電力は回路内のゲート出力におけるスイッチングの回数で近似し、それを電力制約として用いた。

後者の議論ではテストコストの重要な要素の一つであるテストパターン数の最小化を指向したテスト生成について考察した。ここで対象とする最小テストパターン集合生成問題(入力: テスト対象回路とホールドタイム違反を引き起こす故障(ホールドタイム故障)集合, 出力: すべての検出可能故障に対するテストパターン集合, 最適化目標: テストパターン集合サイズの最小化)に対して、以下のように厳密解法と発見的解法の両面からア

アプローチした。厳密解法では、まず、各ホールドタイム故障の検出条件とテスト対象回路の論理動作を整数計画問題の制約式として表し、テストパターン数の上界の見積もりから必要な制約式数を決定する。これにより十分な数のテストパターンを同時に生成することが可能となる。さらに、制約としてすべての故障の検出を保証するための不等式と不必要なテストパターンを識別するための不等式を考慮し、必要なテストパターン数の最小化を表現する目的関数を設定することで、上記の問題に対する最適解（最小のテストパターン集合）を原理的に得ることができる。一方、発見的解法では、厳密解法では扱うことが難しい規模の問題にも対処できるようにするため、対象故障集合の中から一部の故障集合のみを考慮してテスト生成をおこなう。具体的には、部分故障集合に対して、検出故障数が最大となるようなテストパターンを生成する問題を整数計画問題として定式化し、それをすべての故障が検出されるまで繰り返し解く。これにより、解の最適性は失われるが規模の大きな問題にも対応が可能となる。

4. 研究成果

(1) 非同期インターコネクットのテストスケジューリング法

提案手法と従来手法をベンチマーク回路に適用し、従来手法に対してテスト時間を最大で約 40%削減することに成功した。また、提案した発見的手法が、整数計画法で得られたテスト時間と同等のテスト時間を達成できることを実験的に示した。本成果は、今後その利用が広まると予想されている大域非同期局所同期 (GALS) システムの非同期インターコネクットのテストコストを下げつつ、システムの信頼性を向上させるのに有用である。

(2) スキャンシフト動作を用いたホールドタイム違反の間接的テスト手法

提案手法をベンチマーク回路に適用した結果、すべての回路において、スキャンチェーン順序を工夫することで、小さい遅延値をもつ機能パス上の多くのホールドタイム違反を検出できることが明らかになった。つまり、提案手法を用いて間接的にホールドタイム違反のテストをおこなうことで、次のテスト工程で考慮すべきホールドタイム故障の候補数を大幅に削減することができ、結果として全体のテストコストの削減が期待できる。

(3) 解の再利用によるテスト生成の高速化手法

類似度計算等の追加処理のオーバーヘッドを加味したとしても、解の再利用のアイデア

が求解の高速化につながることを実験的に示した。今後の課題は、このアイデアを整数計画法に基づくテスト生成に拡張し、充足可能性問題の場合と同様に、求解の高速化を実現することである。

(4) ホールドタイム違反に対するテスト生成法

様々な電力制約の下で整数計画法に基づくテスト生成を実行した結果、テストパターン一つ当たりの同時検出故障数と電力制約の間にトレードオフの関係が見られた。電力制約がきつい場合は一つのテストパターンで検出できる故障数が減少し、逆に電力制約が緩い場合は同時検出故障数が増大した。この結果は、テスト生成時に適切に電力制約を設定しないと全体のテスト数が不必要に増えてしまう可能性があることを意味しており、今後、下記のテスト数最小化の議論も踏まえた総合的な考察が必要である。

テスト数最小化を指向したテスト生成法（発見的解法）をベンチマーク回路に適用した結果、すべての回路において、実用的なテスト生成時間で従来手法と比べてテスト数を一桁以上減少させることに成功した。また、厳密解法を用いて発見的解法で得られた解の質も評価した。発見的解法では理論的には最適解の生成が保証されないが、実験結果の範囲内では最適解が生成されたことが確認できた。

以上のように、本研究では様々なテスト生成問題を取り上げ、数理計画的アプローチの柔軟性と有効性を実証した。当初の研究の最終目標であった「非モデル化欠陥の検出に向けた新しい目的関数と制約条件の導出」を研究期間中に達成できなかったが、上記の成果から得られた知見を元に、今後、実験的側面と理論的側面から欠陥検出能力の高いテストパターンがもつべき性質を明らかにしたい。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

- ① Tsuyoshi Iwagaki, Eiri Takeda and Mineo Kaneko, “Flexible test scheduling for an asynchronous on-chip interconnect through special data transfer,” IEICE Trans. on Fundamentals, E94-A, No. 12, pp. 2563-2570, Dec 2011. (査読有)

〔学会発表〕(計 10 件)

- ① 向井俊矢, 上田健司, 岩垣剛, 市原英行, 井上智生, “解の再利用によ

- るテスト生成のためのハードウェア SATソルバの実装,” 信学技法 (DC2012-80), pp. 1-6, 東京, Feb. 2013.
- ② 上田健司, 岩垣剛, 市原英行, 井上智生, “解の再利用を用いたSATに基づくテスト生成におけるインスタンス順序と変数割当順序の決定法,” 信学技法 (DC2012-49), pp. 141-146, 福岡, Nov. 2012.
- ③ Tsuyoshi Iwagaki, Hideyuki Ichihara, Tomoo Inoue and Kewal K. Saluja, “Exact and heuristic methods of generating compact tests for hold-time violations,” Digest of Papers 13th IEEE Workshop on RTL and High Level Testing (WRTLTL ’12), pp. 4.2.1-4.2.6, Niigata, Nov. 2012.
- ④ Kenji Ueda, Fumiyuki Hafuri, Toshiya Mukai, Tsuyoshi Iwagaki, Hideyuki Ichihara and Tomoo Inoue, “A technique for SAT-based test generation through history of reusing solutions,” Proc. 17th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI ’12), pp. 197-198, Oita, Mar. 2012.
- ⑤ Tsuyoshi Iwagaki, Fumiyuki Hafuri, Kenji Ueda, Toshiya Mukai, Hideyuki Ichihara and Tomoo Inoue, “An approach to hardware SAT solvers for test generation based on instance similarity,” Digest of Papers 12th IEEE Workshop on RTL and High Level Testing (WRTLTL ’11), pp. 69-74, Jaipur (India), Nov. 2011.
- ⑥ Tsuyoshi Iwagaki and Kewal K. Saluja, “Power-constrained test generation for hold-time faults using integer linear programming,” Proc. 4th IEEE International Workshop on Impact of Low-Power Design on Test and Reliability (LPonTR ’11), 2 pages, Trondheim (Norway), May 2011.
- ⑦ Tsuyoshi Iwagaki and Kewal K. Saluja, “Indirect detection of clock skew induced hold-time violations on functional paths using scan shift operations,” Proc. 14th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS ’11), pp. 175-178, Cottbus (Germany), Apr. 2011.
- ⑧ Tsuyoshi Iwagaki and Kewal K. Saluja, “On indirect detection of functional hold-time violations using scan shift operations,” IEICE Technical Report (FIIS-11-298), pp. 1-5, Chiba, Mar. 2011.
- ⑨ Tsuyoshi Iwagaki, Eiri Takeda and Mineo Kaneko, “An approach to test scheduling for asynchronous on-chip interconnects using integer programming,” Digest of Papers 11th IEEE Workshop on RTL and High Level Testing (WRTLTL ’10), pp. 69-74, Shanghai (China), Dec. 2010.
- ⑩ Tsuyoshi Iwagaki, Eiri Takeda and Mineo Kaneko, “Test scheduling algorithms for delay-insensitive chip area interconnects based on cone partitioning,” Proc. 3rd International Workshop on the Impact of Low-Power Design on Test and Reliability (LPonTR ’10), 2 pages, Prague (Czech republic), May 2010.

6. 研究組織

(1) 研究代表者

岩垣 剛 (IWAGAKI TSUYOSHI)

広島市立大学・情報科学研究科・助教

研究者番号 : 00397845