

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年5月22日現在

機関番号：17102  
 研究種目：若手研究（B）  
 研究期間：2010～2011  
 課題番号：22700051  
 研究課題名（和文） 組込みシステム向けマルチコア CPU のオンチップ通信アーキテクチャ合成技術  
 研究課題名（英文） On-chip communication architecture for embedded multi-core CPUs

研究代表者  
 杉原 真 (SUGIHARA MAKOTO)  
 九州大学・システム LSI 研究センター・准教授  
 研究者番号：80373538

## 研究成果の概要（和文）：

特定用途向けシステムを構成する一部品としてマルチコア CPU を用いる場合、CPU コアを含む複数個のモジュール群、及びそれらを結ぶネットワークに対して最適化を施し、チップ面積、性能、及び消費エネルギーに係る設計要求を満たすことが必要不可欠である。本研究課題においては、組込みシステム向けマルチコア CPU のオンチップ通信アーキテクチャが大規模化・複雑化することを見据え、チップ面積、性能、及び消費エネルギーに優れた組込みシステムを設計するために「オンチップ通信アーキテクチャを自動合成する技術に関する研究」を遂行する。

## 研究成果の概要（英文）：

It is essential to satisfy the design requirements regarding chip area, performance, and energy consumption by optimizing a group of IP cores including CPU cores and its network when one utilizes multi-core CPUs as a component of application specific systems. It is important to build an EDA approach to automatically synthesize a communication mechanism as the number of transistors for a system is ever-increasing and the complexity of a system is increasing. In this work, we study a design methodology to synthesize on-chip communication architecture whose chip area, performance, and power consumption are optimized.

## 交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	800,000	240,000	1,040,000
2011年度	2,200,000	660,000	2,860,000
年度			
年度			
年度			
総計	3,000,000	900,000	3,900,000

## 研究分野：情報学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：オンチップ通信、ネットワークオンチップ、組込みシステム、通信アーキテクチャ合成

## 1. 研究開始当初の背景

汎用的なマルチコア CPU システムにおいては、汎用性を確保する目的で、CPU コア-メモリ間の経路に関して対称な通信経路を実装する場合がほとんどである。複数の CPU コアが、対称な通信経路に接続されている場合、メモリアクセスに係るレイテンシがどの CPU コアにおいても同一であるとの仮定の下で、ソフトウェア開発者はソフトウェアを開発できる。しかしながら、システムに搭載する CPU コア数が増加するにつれて、通信経路における対称性を確保することが難しくなる。これは、2次元の形状をもつシリコンチップ上に複数個の CPU コアを配置する場合、CPU コア-記憶階層間に物理的な距離が存在し、かつ配線パターン<sup>1</sup>の微細化により単位長あたりの配線遅延が増加することによる。信号線路にリピータが存在しない場合、概して配線遅延は配線長の二乗に比例する。配線長に最適な個数のリピータを挿入し、遅延時間を最小にする研究がなされているが、配線長に応じた遅延時間が生じるのは避けられない。また、配線遅延は微細加工寸法の二乗に反比例する。集積回路の微細化が進めば進むほど、性能要求を満たすためにはオンチップ通信を局所的に行う必要がある。一つの長い配線で実現されるバスに全ての CPU コアを接続することは、配線遅延が増加するために許容されない。汎用 CPU の分野では、オンチップ通信機構の汎用性を可能な限り確保すべく、NoC(network-on-chip)の研究が盛んに行われている。

特定用途向けシステムのマルチコア CPU では、(a)複数のバスを導入する、(b)共有するバス上での競合が起きないように、バスに接続するモジュールを選択する、(c)バスの多重化によりバス上での競合を防ぐ、といった対策により、複数の処理が同時に行われても通信路が重ならないような工夫がなされる。汎用向けシステムと異なり特定用途向けシステムにおいては、システムの動作が仕様策定時に決定されるために、設計者がオンチップ通信アーキテクチャに対して最適化を施し、性能制約を満たしながら、回路規模の削減、あるいは消費エネルギー削減を図ることが可能である。

## 2. 研究の目的

本研究課題においては、組込みシステム向けマルチコア CPU のオンチップ通信アーキテクチャを自動合成するための理論体系を構築し、またオンチップ通信アーキテクチャを自動合成するツールの開発を行う。本研究

においては、チップ面積、消費エネルギー、性能、及び実時間性を考慮し、オンチップ通信アーキテクチャを合成する技術を確立する。現状、組込みシステム向けマルチコア CPU のオンチップ通信アーキテクチャ設計は設計者の経験に基づいて行われており、設計期間及び人的コストを増加する一因となる。本研究課題で確立するオンチップ通信アーキテクチャ合成技術によって、少ない開発コストで組込みシステム向けマルチコア CPU を開発できるようになる。また、価格競争力を持ったマルチコア CPU を迅速に市場へ投入できるようになる。

## 3. 研究の方法

本研究課題で対象とするシステムは特定用途向けシステムである。よって、用いるモジュール(CPU コア、DSP コア、メモリマクロ等)、モジュール上で動作するソフトウェア、システムの入力、及び性能・消費エネルギー・チップ面積・実時間性に係る制約が与えられると仮定する。この場合、オンチップ通信アーキテクチャを最適化する上での最適化項目として、1.ネットワークトポロジ、2.モジュールのバスへの割り当て、3.ネットワーク上に分散するバッファの大きさ、4.各バス(リンク)の動作周波数、が挙げられる。各モジュールから出される単位時間あたりの通信要求の数(通信要求率)が一定であると仮定すると、待ち行列理論を応用することができる。まず、本研究課題では、モジュールの通信要求率が一定の場合に、チップ面積、消費エネルギー、あるいは性能を目的関数に組み込んだ最適化問題を定義し、この最適化問題を解くことでオンチップ通信アーキテクチャを合成する。一般に、モジュールの通信要求率は一定の値とならない。モジュールからの通信要求率が時間軸に対して変化する場合、オンチップ通信アーキテクチャ合成問題は複雑となる。本研究課題においては、通信要求率が時間軸に対して変化する場合のオンチップ通信アーキテクチャ合成に対しても最適化問題を定義する。

## 4. 研究成果

本研究課題においては、まずオンチップ通信アーキテクチャ合成を最適化問題と捉え、実時間制約の下、チップ面積、消費エネルギー、あるいは性能を目的関数に組み込んだオンチップ通信アーキテクチャ合成問題を定義した。通信要求率が一定であると仮定した場合に対して、オンチップ通信アーキテクチャ合成問題を定義した。実際にオンチップ通信

アーキテクチャを合成するソフトウェアの開発を行い、提案手法に対する定量的な評価を行った。実アプリケーションを用いた定量的評価を行い、提案するオンチップ通信アーキテクチャ合成技術の有効性を示した。

本研究課題を遂行し、特定用途向けシステムに特化したオンチップ通信アーキテクチャを合成する技術を確立することで、現状ではオンチップ通信アーキテクチャの設計に費やしている人的費用を削減でき、開発費を削減できるようになった。また、オンチップ通信アーキテクチャを自動合成することで、設計のターンアラウンドタイムを削減でき、迅速に製品を市場に投入することができるようになった。オンチップ通信アーキテクチャ合成問題を最適化問題として捉えることで、対象とするシステムにおけるチップ面積、消費エネルギー、及び実行時間の下限を捉えることができるようになった。

本研究においては、IPコアの多重接続を許容した上でレイテンシ制約など与えられる通信仕様を満たす通信機構の合成手法を提案した。ここでいうIPコアの多重接続とは、1つのIPコアが複数のバスと接続することを意味する。最適化の対象とするアーキテクチャはブリッジ型とする。制約として与える通信仕様は各通信のレイテンシとスループットから構成される。通信のレイテンシをモデル化するために、使用状況によって変化するバスのオーバーヘッドを定量的に分析し、これに基づいて通信のモデル化を行った。実験は通信の特性(通信を行うIPコアの組合せと送信割合)を表す重みつき有向グラフ(通信タスクグラフ)をランダムに複数個生成して行う。生成した全ての通信タスクグラフに対して、提案手法を適用し通信機構を合成する。目的は通信仕様を満たす構成の中での実装面積最小化とした。1つのIPコアが接続できるバス数は最大で2つとし、多重接続が可能なIPコア数を変化させて行った。提案手法により合成した通信機構に対してシミュレーション実験を行い、各通信のレイテンシ、及び実行サイクル数を観測した。その結果、全ての構成において通信仕様を満たしている事を確認した。2ポート接続可能なIPコア数を増加させることで多少の面積コスト増加と引き換えに実行サイクル数が減少していることを確認した。ある通信タスクグラフに対して、提案手法を適用し、導かれた構造に対してシミュレーションを行い、実行サイクル数を観測した。その結果、生成された通信タスクグラフ全てにおいて要求さ

れる通信仕様が満たされていることを確認した。各通信タスクグラフに対して2ポート接続可能なIPコア数を0~4へ変化させた際のアーキテクチャ面積と実行サイクル数をグラフ化したものを図1に示す。実験に使用した通信タスクグラフは表4に示したように50パターンであるが、ここではその中から10パターンを抽出して示す。尚、実験した他の40パターンに関する結果も図1と同様の傾向を示している。実験結果から2ポート接続許容数を増加させると実行サイクルの削減率に差はあるが、共通して実行サイクル数が減少する結果になった。しかしIPコアバス間の接続リンクが多重接続許容数だけ増加するため、面積コストの増加に繋がっており、図1の示すように実行サイクル数と面積コストの間にはトレードオフの関係があることが分かる。与えられた通信制約を満たす構造の中で、適切な点を見極める必要があることが必要だと考えられる。

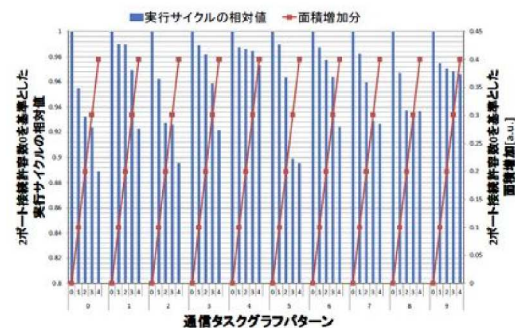


図1: 実行サイクル数と面積コストについて

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 3 件)

久保田洋進, 杉原真, "IPコアの多重接続許容下において通信仕様を満たす通信機構合成手法," 情報処理学会研究報告, Vol. 2011-SLDM-149, No. 33, pp. 1-6, 2011年3月.

A. Matsuda and M. Sugihara, "Case study of memory peripheral circuits using a modeling language design," Proc. Int'l Technical Conf. on Circuits/Systems, Computers and Communications (ITC-CSCC), pp. 784-785, Jun. 2011.

杉原真, 岩永明人, "ハードリアルタイム性を考慮した FlexRay のバス帯域幅の最小化技術," 情報処理学会研究報告, Vol. 2012-EMB-24, No. 19,

pp. 1-6, 2012年3月.

[図書] (計1件)

M. Sugihara, "Character projection lithography for application-specific integrated circuits," Chapter 4 in Recent Advances in Nanofabrication Techniques and Applications, InTech, ISBN: 978-953-307-602-7, pp. 69-94, Dec. 2011.

[産業財産権]

○出願状況 (計0件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

○取得状況 (計0件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

[その他]

ホームページ等

## 6. 研究組織

### (1) 研究代表者

杉原真 (SUGIHARA MAKOTO)

九州大学・システムLSI研究センター・准教授

研究者番号：80373538

### (2) 研究分担者

( )

研究者番号：

### (3) 連携研究者

( )

研究者番号：