

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 18 日現在

機関番号：17501

研究種目：若手研究(B)

研究期間：2010～2013

課題番号：22700054

研究課題名(和文) VLSIの通常動作状況を考慮した高精度遅延テストに関する研究

研究課題名(英文) Studies on Normal-Operation-Aware Accurate Delay Fault Testing for VLSIs

研究代表者

大竹 哲史(Ohtake, Satoshi)

大分大学・工学部・准教授

研究者番号：20314528

交付決定額(研究期間全体)：(直接経費) 3,000,000円、(間接経費) 900,000円

研究成果の概要(和文)：私たちの生活はコンピュータに依存しており、その高信頼化が不可欠である。そのため、その構成要素である大規模集積回路(VLSI)のテストが必要であり、VLSIの使用環境を考慮したテスト品質の向上が求められている。本研究では、通常動作状況を考慮した高品質テストを行うための要素技術として、通常動作を用いたテスト印加・応答観測技術、組み込み自己テスト(BIST)におけるテスト時温度均一化技術、BISTにおける高精度テスト向けのLFSRシード生成技術、所望の性質を有するテスト・診断パターンを生成するための制約付きテスト生成フレームワーク、動作状況・環境を考慮した非同期式回路の性能最適化技術などを開発した。

研究成果の概要(英文)：Since our life is dependent on computer systems, reliability of the computers is essential. To create reliable systems, very large scale integration circuits (VLSIs), which are the main components of the systems, need to be tested and the test quality must be improved considering their operating environment. Under this grant, for supporting normal-operation-aware testing, a method of test pattern and response delivery using normal operation, a method of thermal-uniformity-aware built-in self-test (BIST), a method of linear feedback shift register (LFSR) seed generation for high quality pseudo-random BIST, and a framework of constrained test generation to generate test and diagnosis patterns with desired properties have been developed.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSIテスト技術 遅延故障テスト テスト生成制約 組み込み自己テスト レジスタ転送レベル

1. 研究開始当初の背景

近年、VLSI(超大規模集積回路)の高性能化・高集積化・大規模化が進んでいる。動作周波数の向上により、微細化に伴うトランジスタの遅延ばらつきが問題になっており、生産テストにおいて動作タイミングの正確性を保証する遅延テストが不可欠になっている。また、劣化の予測が難しくなっており、適切なマージン設定や、劣化の進行を把握するためには、高精度な遅延テストが必要になる。遅延は動作時の温度や電圧などにより変動するため、その VLSI が実際に使われる温度や電力消費状況を考慮しなければ正確なテストはできず、今後歩留まり損失や不良品の見逃しが深刻な問題になると考えられる。

2. 研究の目的

本研究では、VLSI のテストにおいて、その通常の動作状況を考慮することにより、テスト不足や過剰テストを削減し、不良品の出荷および良品の廃棄を削減することを目的とする。

通常動作状況を考慮したテストを行うためには、テスト時の論理的な動作と環境要因を制御できなければならない。論理的な動作としては、回路が通常動作から逸脱した状態や状態遷移を持つことがないようにしなければならない。また、環境要因としては、消費電力や動作温度が通常の使用状況と同等にするか、テスト時の状況が通常動作と異なる場合にはタイミング補正等により通常動作に対応させなければならない。

本研究では、テスト時に通常動作に近い論理的動作を行うようなテストパターンを生成する方法、テスト時にも通常動作と同様の動作を行うテスト容易化設計法を開発する。また、テスト時の消費電力や動作温度を制御するためのテスト容易化設計法およびテストパターン生成法を開発する。

3. 研究の方法

VLSI の設計方式として、大域クロックを用いた同期式設計と、局所クロックまたはクロックを用いない非同期式設計がある。現在の主要な設計スタイルは同期式設計であるが、チップ面積の増加やクロック周波数の増加により、チップ全体を大域クロックにより同期することは難しくなっており、機能ブロック内は同期式設計であっても、機能ブロック間の通信は非同期という設計が主流になっていくと考えられる。また、低消費電力の観点から、クロックを用いない機能ブロックなども検討されている。

近年、VLSI の設計は、レジスタ転送レベル(RTL)で行われるのが一般的で、RTL で記述された回路は論理合成ツールを用いてゲートレベルに変換され、ゲートレベルの順序回路

をもとに VLSI が製造される。VLSI のテストは、製造された VLSI にテストパターンを印加し、その応答を観測することにより故障の有無を判定する故障検出が行われ、故障箇所を特定する故障診断が行われる。通常、故障検出や故障診断のためのテストパターンは、順序回路に故障を想定し、その故障を検出する(想定した故障がある場合と無い場合で出力応答が異なる)入力パターンを求める。一般に、順序回路は記憶素子であるフリップフロップ(FF)を含み、それによりテスト生成が困難となる。そのため、順序回路の設計をテストパターンの生成が容易な回路に設計変更するテスト容易化設計が不可欠である。代表的なテスト容易化設計としてはスキャン方式に基づく手法がある。スキャン方式では、FF に通常動作モードの他にテストモードを設け、テストモードでは複数の FF でシフトレジスタを構成(スキャンパスという)し、スキャンパスを通して任意の値を FF に設定するとともに、スキャンパスを通して FF に取り込まれた応答を外部から観測する。

VLSI のテスト方式としては、外部のテスト装置を用いる外部テスト方式と、VLSI 内部にテスト装置の機能を埋め込んだ組込み自己テスト(BIST)方式がある。外部テスト方式では、外部入力およびスキャン入力に外部からテストパターンを設定し、外部出力およびスキャン出力の応答を外部から観測する。BIST においては外部からテストパターンの印加および応答の観測を行う代わりに、テストパターンを発生するテストパターン発生器および応答を解析する出力応答解析器を VLSI に内蔵する。

VLSI の故障は、論理的な動作に影響を与えるスタティック故障と、動作タイミングに影響を与えるタイミング故障がある。スタティック故障に対する代表的な故障モデルとして、縮退故障モデルがある。ダイナミック故障に対する代表的な故障モデルとしては、遷移故障モデル、パス遅延故障モデルなどの遅延故障モデルがある。

本研究では、研究の対象を、設計スタイルとしては同期式と非同期式に分類し、設計レベルとしてはRTL設計とゲートレベル設計に分類した。さらに、外部テスト方式と BIST 方式に分類し、故障モデルについてはスタティック故障とタイミング故障に分類した。具体的には以下の対象領域について、テスト生成およびテスト容易化設計の研究開発を行った。

対象	故障モデル	設計レベル	テスト方式	設計方式
(1)	スタティック	RTL	外部	同期
(2)	タイミング			
(3)	タイミング	ゲートレベル	BIST	
(4)	スタティック	ゲートレベル		
(5)	タイミング		ゲートレベル	外部
(6)	スタティック			
(7)	タイミング	ゲートレベル	BIST	

なお、最終目的である通常動作を考慮した

高品質遅延テストを求める過程で、まず1パターンで検出できるスタティック故障に対する手法を検討し、それを2パターンで検出するタイミング故障へ拡張するという研究スタイルをとったものがあり、スタティック故障向けの手法についても本研究の成果である。

4. 研究成果

本研究では、前節で述べたように、同期式／非同期式、RTL／ゲートレベル、外部テスト／BIST、スタティック故障／タイミング故障の組み合わせについて、(1)～(7)の対象領域に分類し、テスト生成およびテスト容易化設計の研究開発を行った。発表論文等を示しながらそれぞれの領域に対する成果を示す。

(1) 同期式设计・外部テスト方式・RTL 設計・スタティック故障

産業界で実際の VLSI 設計に用いられている RTL 回路記述を対象に、テスト容易化設計法およびこれに対応するテスト生成法を提案した [雑誌論文⑤]。提案したテスト容易化設計法は、現在広く用いられている縮退故障に代表されるスタティック故障のテストに用いることができる。また、テスト生成法は市販の高性能のテスト生成ツールを利用できるように、テスト生成の対象回路に擬似的に制約回路を付加してテスト生成を行う方法を採用しており、産業界で用いられている設計フローとの整合性も考慮した。

提案法は、付加回路による面積オーバーヘッドがあるが、論理合成前の RTL 回路に適用され、また、通常動作で用いるデータ転送経路をスキャンパスにも用いる (F スキャンという) ため、現在広く用いられているスキャン設計よりも面積オーバーヘッドを削減することに成功した。また、テスト生成時間、テスト実行時間、過剰テストの点に関しても考察した。

(2) 同期式设计・外部テスト方式・RTL 設計・タイミング故障

(1) のテスト容易化設計法に対応した遅延故障向けのテスト生成法を提案した [雑誌論文②, ③, ⑥]。遅延故障のテストでは、2つのパターンを連続して印加する必要がある。通常のゲートレベルのスキャン設計を用いた遅延故障テストでは、1パターン目はスタティック故障のスキャンテストと同様にスキャンパスを通して設定し、2パターン目の印加方法としてブロードサイド方式とスキュードロード方式が使われる。ブロードサイド方式は、1パターン目を組合せ回路部に印加した応答を2パターン目として用いる。そのため、2パターン目は通常動作に近いパターンとなる。スキュードロード方式では、スキ

ャンパスを用いて2パターン目を設定するため、回路の通常動作に無関係なパターンによるテストとなる。

提案法においては、通常動作の経路をスキャンパスに用いるため、1パターン目についても通常動作で印加できるパターンに近くなる。2パターン目の印加方法としては、ゲートレベルのブロードサイド方式と同等のやり方が利用できる。また、通常動作で用いる経路をスキャンパスとして用いているため、スキュードロード方式の場合でも通常動作に近いパターンの印加が可能である。

上述の手法は、できるだけ通常動作に近いタイミング故障テストを指向したもののだが、テストの高品質化を指向し、統計的遅延品質レベル (SDQL) を向上する手法も提案した [学会発表③]。現在最も広く用いられている遅延故障モデルとして遷移故障があるが、本故障モデルでは故障の遅延サイズを考慮しないため、その故障を活性化する経路はパターンによって異なる。できるだけ長い経路で活性化することにより、小さな遅延を生じる故障も検出可能になる。SDQL はこの経路の遅延量を考慮した尺度である。

提案手法では、RTL の情報から、遅延の大きな経路を選択し、その経路を活性化するように、テスト生成ツールの探索空間を制約して遅延テストを生成する。これにより、ゲートレベルで遅延の大きな経路を探索する場合に比べて探索時間の大幅な削減ができる。また RTL ではモジュールレベルで経路を探索するため、RTL で選択した1つの経路はゲートレベルでは複数の経路に対応する。そのため、提案法を用いて探索空間を絞っておき、ゲートレベルでの探索手法を併用することにより、さらに SDQL を向上できることも示した。

(3) 同期式设计・外部テスト方式・ゲートレベル設計・タイミング故障

タイミング故障に関する故障診断のためのテストパターン生成法を提案した [学会発表①]。提案法では、与えられた遷移故障ペアに対し、それらを区別する (片方のみを検出する) ための排他テストを生成する。具体的には、与えられた回路と故障 f1, f2 に対して、f1 を持つ回路と f2 を持つ回路をテスト生成モデルとして作成し、これら2つの回路で出力が異なる入力パターンを生成する。

従来の遷移故障に対する排他テスト生成法では、提案法よりもテスト生成モデルが複雑で、最大で提案法の2倍の4つの回路の複製が必要で、さらに、1故障ペアに対して最大3回のテスト生成が必要となり、提案法の3倍となる。以上のように、提案法は従来法に対して、診断テストパターン生成の効率化を行った。さらに、提案法のテスト生成モデルでは、2パターンテストを生成する際に2パターン間の制約を表現できる仕組みを持

っているため、通常動作に近い状態となるような制約を実現することもでき、故障診断においても通常動作を考慮した高品質のテストパターンを用いることができる。

(4) 同期式设计・BIST方式・ゲートレベル設計・スタティック故障

BISTにおいては、パターン発生器として線形フィードバックシフトレジスタ(LFSR)を用いるのが一般的である。LFSRを用いた疑似ランダムテストでは、ランダムパターン耐性故障(RPRF)の検出が課題である。RPRFを検出するための方法として、テスト容易化設計としてテストポイントを挿入する手法や、LFSRのシードを入れ替えるリシーディングが有効であることが知られている。

本研究では、スキャンベース BIST におけるスタティック故障の高品質テスト実現のため、LFSR シード生成法を提案した [雑誌論文①、学会発表⑤、産業財産権①]。

従来の LFSR シード生成では、まずテストパターンを生成し、それをシードへ変換する2段階の処理を行っていた。テストパターンからシードへの変換では、シードとスキャンFFの間の依存関係を考慮して行うが、ある故障に対して生成されたテストパターンをシードへ変換できない場合がある。その場合、その故障が何らかのシードから展開されるテストパターンで検出できたとしても、この方法ではそのシードを得ることができない場合があり、故障検出率の損失が起こる。

提案手法では、LFSR シードから展開されるパターンの、シードとの依存関係を回路で表現し、それをテスト対象回路に付加したテスト生成モデルを作ることにより、そのモデルに対してテストパターンを生成することで直接シードを生成できる。そのため、故障検出率の損失がない。また、従来法では変換率を向上するため、ドントケア付きのテストパターンを生成するため、変換後のシード数が多くなるといった問題も生じる。提案手法では、テスト生成モデル上で故障シミュレーションの実施が可能であり、シード数も削減できる。

ベンチマーク回路を用いた実験では、最大で故障検出率を約 24 倍に向上し、シード数を約 63%削減できることを示した。また、シード生成モデルは従来法のテスト生成対象回路よりも複雑になるため、シード生成時間が従来法よりも長くなると予想したが、実験では特にオーバーヘッドにならないことが示された。

(5) 同期式设计・BIST方式・ゲートレベル設計・タイミング故障

(4)のスタティック故障向けのシード生成法を拡張し、遅延故障向けのシード生成法を提案した [学会発表④、産業財産権②]。提

案手法では、ブロードサイド方式の遅延故障テストに対応しており、LFSR から生成されてスキャンインされたパターンを1パターン目として用い、この応答を2パターン目として用いることを表現したテスト生成モデルを作成し、これに対してテスト生成することで直接シードを求める。

ベンチマーク回路を用いた実験では、シード数は約3分の1に削減でき、故障検出率も向上できることが示された。

劣化の進行をテストにより把握することで回路の寿命を予測しようとする考え方がある。半導体の劣化の要因や劣化に伴う症状は様々であるが、徐々に遅延が増加する劣化現象がある。そのような劣化に対しては、定期的に高精度な遅延測定を行うことでその現象を捉えることができる。

回路の遅延を高精度で測定するためには、回路温度を一定にしなければならないが、テスト時には通常動作時よりも激しい状態変化を起こし、消費電力が大きくなる傾向にあり、通常動作時よりも温度変化が大きくなる。そのため、高精度な遅延測定のためには、回路上の空間的・時間的溫度均一化が必要になる。

本研究では、BIST 環境での温度均一化手法を提案した [学会発表⑦]。具体的には、スキャン FF の組合せ回路への出力にマスク回路を挿入し、回路温度を空間的・時間的に均一にするマスク回路の有効化・無効化の制御スケジュールを決定する手法を提案した。

本研究における予備実験により、疑似ランダムパターンを用いる BIST では、時間的な均一性をもともと有することがわかったが、空間的にはそれぞれの位置に配置される回路構造 (FF 数や論理構造) により消費電力が異なり、温度が異なることがわかった。提案手法では、チップをいくつかのブロックに分割し、温度の高くなるブロックについてはスキャンインの際に論理に信号遷移が伝搬するのをマスク回路で止め、温度が低くなるブロックでは遷移を伝搬するように制御し、それぞれのブロックで適切な頻度で遷移が論理部に伝わるようにすることで空間的な均一化を実現した。

(6) 非同期式设计・外部テスト方式・ゲートレベル設計・スタティック故障

同期式回路が大域的なクロックによる同期をとるのに対し、非同期式回路は局所的な同期機構を利用したり、ハンドシェイクにより処理の進行を制御したりするため、同期式と比べて遅延変動に強く、回路の温度変化や劣化に対して耐性がある。高信頼のアプリケーションでは、高品質な遅延テストを行いながら同期式回路を用いる方法とは別に、遅延変動に強い非同期式を採用する方法も考えられる。しかしながら、非同期式回路設計は

同期式と比べて設計自動化技術が未成熟であり、製品として非同期式回路や非同期式回路を含む大域非同期局所同期 (GALS) システムを設計・製造するのは困難である。

本研究では、非同期式回路の設計自動化技術として、テスト容易化設計技術およびテスト生成技術を研究開発した[雑誌論文④、学会発表⑧]。具体的には、非同期式回路で標準的に用いる C 素子およびラッチについて、スキャン化素子、スキャンパス構成法、およびテストパターン生成法を提案した。

従来法では一部テスト対象外の縮退故障があったが、提案法ではすべての縮退故障の検出に対応した。また、テスト時に非同期式素子のすべての連続する 2 つの状態遷移を実現することにより、非同期式素子自体の順序機能のテストをサポートした。

非同期式回路の構成は大きく分けて束データ方式と符号化方式がある。符号化方式の場合、二線式論理等をにより実現するため、上記の非同期式素子を多量に用いる。そのため、すべての非同期式素子をスキャン化するのは現実的ではない。そこで、二線式論理部に用いる C 素子をスキャン化しないで順序回路のままテストする手法を提案した[学会発表⑥]。本手法では、順序回路用のテスト生成ツールを用いるため、完全な故障検出率を得るのは困難であるが、ベンチマーク回路を用いた実験では、検出可能な故障に対してほぼ 100%の故障検出能力をもつテストパターンを生成することができることを示した。

(7) 非同期式设计・BIST 方式・ゲートレベル設計・タイミング故障

束データ方式の非同期式回路の場合、局所同期機構に遅延素子を用いる。この遅延素子に依存して同期をとるため、この遅延サイズが性能や信頼性に影響する。通常、遅延素子の遅延サイズは固定であるが、これを可変にすることは性能および信頼性の観点から有効である。

通常、この遅延サイズは、製造ばらつきや将来の経年劣化を含めたマージンをとって決められる。製造ばらつきや経年劣化を正確に予測することはできないため悲観的な遅延サイズを設定せざるを得ない。そのため、製造直後には本来なら発揮できる性能が、大きなマージンによって阻害され、また、劣化がマージンを超えれば誤動作を引き起こすことになる。

本研究では、フィールドで回路が利用されている状況で回路遅延を測り、適切な遅延を設定するための遅延測定機構を提案した[学会発表②]。具体的には、(6)のスキャン設計および BIST を用い、組合せ回路部の遅延を測定し、ユーザが予め決めたマージンを満たしているかを調べる。マージンに対してスラックが生じれば、その分だけ可変遅延素子の

遅延量を減らす。もしマージンを満たしていないようであれば、その分だけ可変遅延素子の遅延量を増やす。これにより、製造直後には、そのチップ固有のばらつきを考慮して可変遅延素子を設定でき、性能の最大化を行うことができる。また、劣化が進んだ段階では、遅延故障による障害を防ぐことができる。

シミュレーションによる評価実験では、提案した遅延測定機構により、組合せ回路の遅延量を可変遅延素子の設定精度(インバータの遅延)程度で測定できることが示された。

5. 主な発表論文等

[雑誌論文] (計 6 件)

- ① Takanori Moriyasu and Satoshi Ohtake, "A method of LFSR seed generation for scan-based BIST using constrained ATPG," in Proceedings of 2013 Seventh International Conference on Complex, Intelligent, and Software Intensive Systems, pp.755-759, July 2013.
DOI: 10.1109/CISIS.2013.136 ;
- ② Seiji Kajihara, Satoshi Ohtake and Tomokazu Yoneda, "Delay testing: Improving test quality and avoiding over-testing," I PSJ Transactions on System LSI Design Methodology, Vol.4, No.0, pp.117-130, Aug. 2011.
DOI: 10.2197/ipsjtsldm.4.117
- ③ Marie Engelen Jimenez Obien, Satoshi Ohtake and Hideo Fujiwara, "F-scan test generation model for delay fault testing at RTL using standard full scan ATPG," in Proceedings of IEEE European Test Symposium, p.203, May 2011.
DOI: 10.1109/ETS.2011.61
- ④ Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara, "Bipartite full scan design: A DFT method for asynchronous circuits," in Proceedings of IEEE Asian Test Symposium, pp.206-211, Dec. 2010.
DOI: 10.1109/ATS.2010.44
- ⑤ Marie Engelen Jimenez Obien, Satoshi Ohtake and Hideo Fujiwara, "Constrained ATPG for functional RTL circuits using F-scan," in Proceedings of IEEE International Test Conference, Paper 21.1, Oct. 2010.
DOI: 10.1109/TEST.2010.5699265
- ⑥ Marie Engelen Jimenez Obien, Satoshi Ohtake and Hideo Fujiwara, "Delay fault ATPG for F-scannable RTL circuits," in Proceedings of IEEE International Symposium on Communications and Information Technologies (ISCIT'10), IEEE Xplore, Oct. 2010.

[学会発表] (計 8 件)

- ① 小野廉二, 大竹哲史, "遷移故障向け診断テスト生成の一手法," 情報処理学会研究会報告(九州支部火の国情報シンポジウム 2014 論文集), 4A-4, pp. 1-6, Mar. 2014.
- ② 佐藤秀一, 大竹哲史, "束データ方式の非同期式回路に対する遅延測定機構," 情報処理学会研究会報告(九州支部火の国情報シンポジウム 2014 論文集), 1A-2, pp. 1-8, Mar. 2014.
- ③ 中島寛之, 大竹哲史, "RTL 情報を用いた高品質遷移故障テスト生成法," 電子情報通信学会技術報告 (DC2013-60), Vol. 113, No. 321, pp. 239-244, Nov. 2013.
- ④ 本田太郎, 大竹哲史, "遅延故障 BIST 向け LFSR シード生成法," 電子情報通信学会技術報告 (DC2013-58), Vol. 113, No. 321, pp. 227-231, Nov. 2013.
- ⑤ 森保 孝憲, 大竹 哲史, "制約付きテスト生成を用いたスキャン BIST の LFSR シード生成法," 電子情報通信学会技術報告 (DC2013-11), Vol. 113, No. 104, pp. 7-12, June 2013.
- ⑥ 内田行紀, 村田絵理, 大竹哲史, 中島康彦, "同期式设计から変換された QDI 回路のテスト生成法," 電子情報通信学会技術報告 (DC2011-83), Vol. 111, No. 435, pp. 43-48, Feb. 2012.
- ⑦ 村田絵理, 大竹哲史, 中島康彦, "組込み自己テストにおける温度均一化制御," 電子情報通信学会技術報告 (DC2011-62), Vol. 111, No. 325, pp. 197-202, Nov. 2011.
- ⑧ Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara, "A full scan design method for asynchronous sequential circuits based on C-element scan paths," Technical Report of IEICE (DC2010-8), Vol. 110, No. 106, pp. 1-6, June 2010.

[産業財産権]

- 出願状況 (計 2 件)
- ① 名称: スキャン BIST の LFSR シード生成法
発明者: 大竹哲史, 森保孝憲
種類: 特許
番号: 特願 2013-148812
出願年月日: 2013 年 7 月 17 日
国内外の別: 国内
 - ② 名称: 遅延故障に対するスキャン BIST の LFSR シード生成法
発明者: 大竹哲史, 本田太郎
種類: 特許
番号: 特願 2013-148663
出願年月日: 2013 年 7 月 17 日

6. 研究組織

(1) 研究代表者

大竹哲史 (OHTAKE, Satoshi)
大分大学・工学部・准教授
研究者番号: 20314528