

令和 6 年 6 月 7 日現在

機関番号：11301

研究種目：研究活動スタート支援

研究期間：2022～2023

課題番号：22K20422

研究課題名（和文）次世代メモリの研究を飛躍的に促進する電気的特性の統計的計測プラットフォーム技術

研究課題名（英文）Platform technology for statistical measurement of electrical characteristics to accelerate next-generation memory research.

研究代表者

間脇 武蔵（Mawaki, Takezo）

東北大学・未来科学技術共同研究センター・助教

研究者番号：10966328

交付決定額（研究期間全体）：（直接経費） 2,200,000円

研究成果の概要（和文）：次世代メモリ等の半導体素子に対して、共通して使用可能な電気特性計測プラットフォーム技術の開発を行った。まず共通下地回路を作成し想定通りにDUTの電圧を計測可能なことを確認した。次にDUTとしてHfO_x膜メモリ素子を追加プロセスで形成し評価を行った。フォーミング、セット・リセット動作によるメモリ素子の抵抗値変化を確認し、抵抗値特性の大規模計測と解析評価が可能であると示した。三次元積層技術の導入により様々な半導体素子の評価が可能となる。次世代メモリをはじめとする半導体素子の研究を促進する、短ターンアラウンドタイム・低コストでの試作が可能な統計的電気特性計測プラットフォーム技術の開発を行った。

研究成果の学術的意義や社会的意義

本研究で確立した電気特性計測プラットフォーム技術は、実デバイスにおける解析が困難であるメモリ等の半導体デバイスに対して連続的なアナログ値での評価・解析を可能にした。したがって平均的な現象把握にとどまらない、統計的なばらつき分布を計測しその主分布を構成する物理現象及び低確率で発現し分布から外れる現象の評価を可能にした。

本技術は、短ターンアラウンドタイム・低コストでの半導体素子の試作及び統計的評価を可能にし、次世代メモリ材料をはじめとした半導体素子の評価機会を拡大することで、当該分野における研究開発の飛躍的な促進・発展に寄与する。

研究成果の概要（英文）：We developed a platform technology for measuring electrical characteristics that can be commonly used for next-generation memory and other semiconductor devices. First, a common base circuit was fabricated and it was verified that the voltage of the DUT could be measured as expected. Next, HfO_x film memory elements were formed as DUT by an additional manufacturing process and evaluated. It was demonstrated that the resistance of the memory element changed with forming and set/reset operations, and that large-scale measurement and analytical evaluation of the resistance characteristics was possible. The introduction of 3D stacking technology enables the evaluation of various semiconductor elements.

We developed a statistical electrical characteristics measurement platform technology that enables prototypes with short turnaround time and low cost, which promotes research into next-generation memory and other semiconductor devices.

研究分野：半導体集積回路

キーワード：メモリ 半導体デバイス 計測技術 テスト回路 三次元積層

1. 研究開始当初の背景

現在、全世界で生成される情報量は急速に増加しており、データを扱うための記憶装置(メモリ)のさらなる高性能化への要求が高まっている。近年では電子デバイスの動作速度向上と低消費電力化を両立させるために次世代の高速不揮発性メモリの開発が盛んに行われている。次世代メモリは IoT 機器によるリアルタイムのデータ活用や、揮発性メモリからの置き換えによる低消費電力化が見込まれ、脱炭素化社会への貢献が期待される。次世代メモリとしては抵抗値変化を利用した抵抗変化メモリ (ReRAM)・磁気抵抗メモリ (MRAM)・相変化メモリ (PCRAM) 等が挙げられる。動作原理は異なるものの、これらは共通して、セルの抵抗値を高・低と変化させることを利用したメモリである。

近年ではこれら次世代メモリを含む半導体素子が半導体集積回路に統計的な規模で搭載され、サイズの小さい素子では分子の大きさレベルまで微細化が進んでいる。産業界ではデバイス自体の不良として顕在化しているが、実デバイスにおける解析が困難であるメモリ等の半導体デバイスに対しては、0・1 ではない連続的なアナログ値での評価・解析が重要である。さらに半導体デバイスの諸現象を正確に理解し効率的に活用するためには、現状の平均的な現象把握にとどまらず、統計的な電気特性のばらつき分布を理解し、その主分布を構成する物理現象及び低確率で発現し分布から外れる現象、さらにはそのメカニズムを正確に明らかにする必要がある。また実デバイスと同レベルの統計的評価を行うためには、設計・試作に多大な時間、そして多額の費用がかかるため、単体素子レベルの研究以降のステップへすすむ際に障壁が存在することが課題である。課題解決のために、様々な半導体素子に対して共通で使用することが可能であり、短ターンアラウンドタイム・低コストでの試作と電気特性の統計的評価を可能にする新しいテスト回路技術が求められている。

2. 研究の目的

本研究の目的は次世代メモリ材料等の創出に資する、電気特性の統計的計測を行う新規大規模テスト回路を提案・作製し、短ターンアラウンドタイム・低コストでの半導体素子の試作及び統計的評価を可能にするプラットフォーム技術を確立することとする。そして半導体集積回路の電気特性を決定づける主分布から外れる、発現確率が微小な現象の計測とそのメカニズムの解明という重要な学術的課題に挑戦する。さらに確立したプラットフォーム技術は、短ターンアラウンドタイム・低コストでの半導体素子の試作及び統計的評価を可能にし、次世代メモリ材料をはじめとした半導体素子の評価機会を拡大することで、当該分野における研究開発の飛躍的な促進・発展に寄与する。

3. 研究の方法

- (1) 半導体素子の電気特性の統計的計測を可能にする新規の大規模テスト回路を設計し、その作製を行う。
- (2) 大規模テスト回路に搭載した検証用ポリシリコン抵抗素子を用いて動作検証を行う。
- (3) 追加プロセスにより次世代メモリ材料を形成し、短ターンアラウンドタイム・低コストでの半導体素子の試作及び電流・抵抗といった電気特性の統計的評価が可能であること実証し、電気特性計測プラットフォーム技術を確立する。さらに計測した次世代メモリ材料において、電気特性を決定づける主分布から外れる統計的な現象が、微細化に伴って発生するのか或いは製造プロセス技術に起因するものなのかを評価する。
- (4) 三次元積層技術を導入した追加形成プロセスの手法を検証し、様々な材料に対応したプラットフォーム技術に改良する。次世代メモリに適した材料の選定及び高性能なメモリ素子を作成する開発のための指針を議論する。

4. 研究成果

(1) 半導体素子の電気特性の統計的計測を可能にする新規の大規模テスト回路について、例としてメモリ素子を DUT (Device Under Test) とする場合の単位セルの回路図を図 1 に示す。共通下地回路基板は、 $0.18\mu\text{m}$ 、1-Poly-Si 5-Metal layers の CMOS プロセスで作製したアレイテスト回路を搭載しており、様々なメモリ素子に対して共通で使用可能である。共通下地回路基板の最上部に 2 次元アレイ状に位置する電極上に、追加製造プロセスによりメモリ膜や電極からなる DUT を

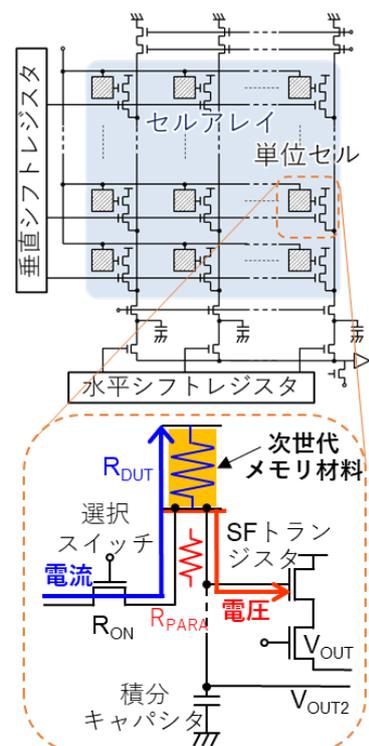


図 1 新規大規模テスト回路とメモリ素子を DUT とした回路図

形成することで、メモリ素子を計測可能な構造になる。また共通下地回路基板には Poly-Si 抵抗素子を原理検証用セルとして作製した。Poly-Si 抵抗素子の抵抗値を測定することにより、メモリ素子を形成せずとも回路動作の確認が可能である。DUT 形成は、アレイテスト回路作製の最終段階において単位セル上に形成できる構造のため、追加製造プロセスに大きな制約を持たない DUT ならば自由に変更し作製することが可能である。よって電気特性計測プラットフォームは、幅広い半導体素子において共通下地回路基板を共通して使用することが可能である。単位セル回路では、半導体素子の電圧(抵抗値)および積分キャパシタを用いた微小電流の計測が可能である。電圧測定については、DUT に対して回路内または外部の電流源による電流印加経路と電圧読み出し経路の 2 つ設けている。したがってケルビン接続により寄生抵抗の影響を極力排除した構成で出力電圧を測定できる。設計仕様上は約 $10\Omega \sim 100M\Omega$ の 10 万桁に及ぶ DUT の抵抗値測定、 10Ω 程度の抵抗値測定における測定誤差 1%以内での測定が可能である。メモリ素子の解析評価を行う場合には、DUT への電圧や電流印加によりメモリ素子の高・低の抵抗状態を切り替え、それぞれの抵抗値を測定することで、抵抗値特性に加えて特性ばらつきや雑音等を統計的に評価することが可能である。図 2 に電気特性計測プラットフォームに用いるために作製した共通下地回路基板のチップ写真を示す。共通下地回路基板はウェハ全面に作りこむことで、一度に大量のチップを作製することが可能である。電気特性計測プラットフォームにおいて DUT 形成を行う追加製造プロセスの概略図を図 3 に示す。DUT 形成の追加製造プロセスは、ウェハ全面で行うことも、事前にダイシングし扱いやすいサイズで行うことも可能である。その後 1 つ 1 つのチップへとダイシングを行い、チップは基本的にはパッケージ組み立てをしてから測定ボードを用いて解析評価を行う。このように様々な半導体素子の計測に適用可能な共通下地回路基板を用いることで、電気特性計測プラットフォームは短ターンアラウンドタイム・低コストでの試作を達成可能な見込みである。さらに図 3 では研究の方法(4)でも述べている三次元積層技術の導入についての概略を示している。三次元積層技術を導入し新規の追加 DUT 形成プロセスの手法を開発することで、DUT 形成の製造プロセス条件の制約をさらに排除できると考えられる。

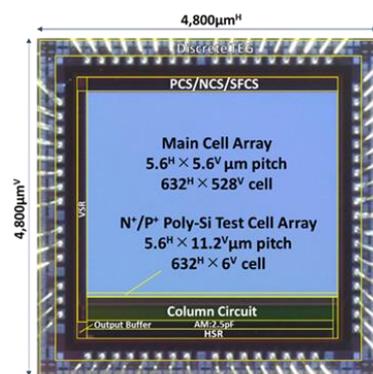


図 2 電気特性計測プラットフォームのチップ写真

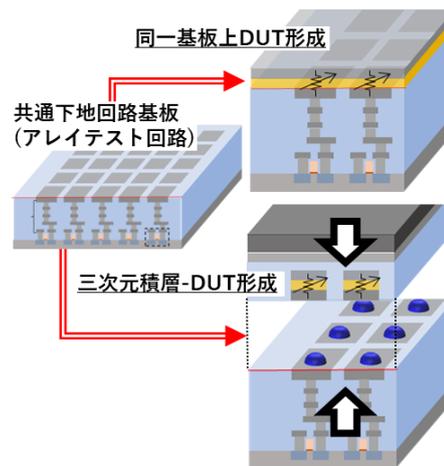


図 3 電気特性計測プラットフォームにおける DUT 形成の概略図

(2) 作製した電気特性計測プラットフォームの動作検証として、共通下地回路基板に予め設けた抵抗値が既知の N^+ Poly-Si と P^+ Poly-Si を測定した結果を述べる。今回はプラットフォームにて計測した抵抗値と、同じ製造プロセスを用いて単体の抵抗素子として作製した Poly-Si 抵抗をロービング測定で計測した抵抗値を比較することで、電気特性計測プラットフォームが正常に動作しているかを確認した。電気特性計測プラットフォームによる測定結果からえられた IV 特性と抵抗値のヒストグラムを図 4 に示す。図 4(a) (b) から線形的な IV 特性と、(c) (d) から正規分布に近いヒストグラムが確認された。また電気特性計測プラットフォームと単体抵抗素子の抵抗値およびその標準偏差が

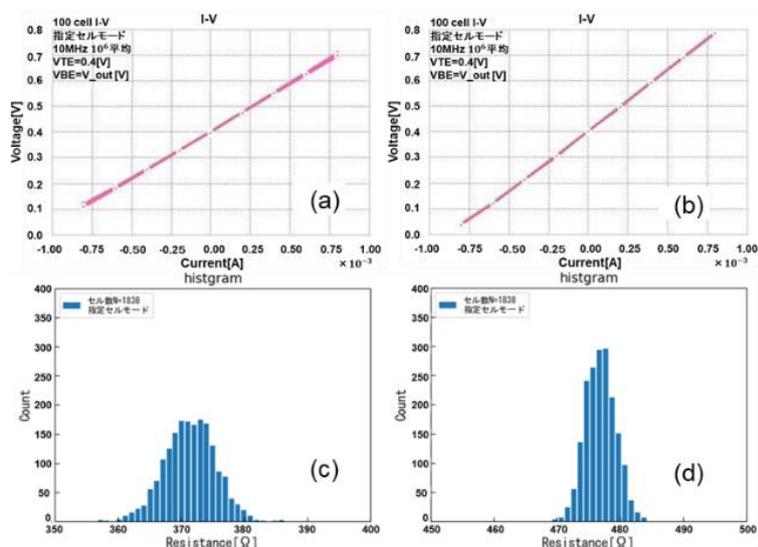


図 4 Poly-Si 抵抗素子の抵抗値特性

(a) N^+ Poly-Si IV 特性 (b) P^+ Poly-Si IV 特性

(c) N^+ Poly-Si 抵抗値ヒストグラム (d) P^+ Poly-Si 抵抗値ヒストグラム

およそ一致することを確認した。以上の結果から、DUTの電圧(抵抗値)を正常に測定できること確認し、電気特性計測プラットフォームが想定通り動作していることを検証した。

(3) 次世代メモリ材料における短ターンアラウンドタイム・低コストでの試作及び電気特性の統計的評価が可能であることの実証として、電気特性計測プラットフォームを用いて次世代のメモリ素子としての利用が期待されるHfO_x膜メモリ素子の解析評価を行った。DUTであるHfO_x膜は共通下地回路基板上に形成した。HfO_x膜は膜厚：4nm、素子面積：500nm/□で30万個以上のDUTを形成し、抵抗値特性について大規模な解析評価を行った。HfO_x膜メモリ素子においてメモリ特性を発現させるために、DUTであるHfO_x膜に電圧を印加し、フォーミング(4.5V印加)、セット動作(2.5V印加)、リセット動作(-2.5V印加)を行い、それぞれの動作後の抵抗値を測定した。

図5にフォーミングとと考えられる抵抗値の変化が発現したDUTを無作為に300サンプル抽出し、抵抗値変化の前後の抵抗値を示す。フォーミング動作によって、図中の全てのDUTにおいて抵抗値が電圧印加後に大きく減少したことから、HfO_x膜メモリ素子のフォーミングが行われたと考えられる。また変化後の抵抗値の分布は2桁程度にわたり存在し、少数の素子が平均に対して抵抗値が大きい側にばらついていることを確認した。これは製造プロセスに起因する素子の膜厚やサイズによるものであると考えられる。

次に図6(a)にセット・リセット動作を行ったHfO_x膜メモリ素子の抵抗値測定から取得した、代表的な10セルのIV特性を示す。また図6(b)にセット・リセット動作に再現性が得られた1素子について、10回セット・リセット動作を繰り返し行った場合の抵抗値を示す。セット・リセット動作によってHfO_x膜メモリ素子の抵抗値が2倍以上変化することを確認した。よって電気特性計測プラットフォームを用いたメモリ素子のフォーミング、セット・リセット動作による抵抗値特性の大規模な評価が可能であることを実証したとする。

(4) 三次元積層技術を導入した追加形成プロセスの手法を検証し、様々な材料に対応したプラットフォーム技術の改良を行った。三次元積層技術としてはAuバンプを使用するマイクロバンプ接合を導入する。三次元積層技術を用いることで、具体的には積層チップを用いる場合はDUT形成前の下地表面の平坦性を担保しやすいこと、メタル配線層の対応温度以上の高温な製造プロセスにも対応可能な構造が作製できることから、より多くの種類の半導体素子のDUT形成が可能になると想定される。また次世代メモリに適した材料の選定及び高性能なメモリ素子を作成する開発のための指針として、研究成果(3)においてHfO_x膜について評価を行い、メモリ素子としての利用の可能性について議論した。

以上、次世代の半導体メモリをはじめとする様々な半導体デバイスの研究を促進する、短ターンアラウンドタイム・低コストでの試作が可能となる統計的電気特性計測プラットフォーム技術を開発したとする。本技術は、次世代メモリ材料をはじめとした半導体素子の評価機会を拡大することで、当該分野における研究開発の飛躍的な促進・発展に寄与する。

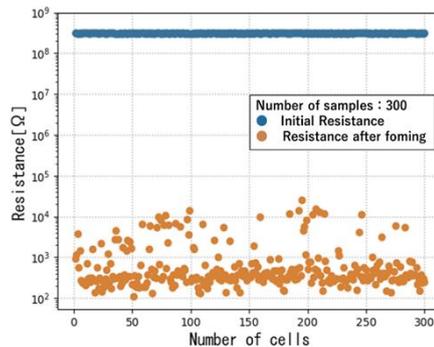


図5 HfO_x膜メモリ素子のフォーミング

動作時の抵抗値変化

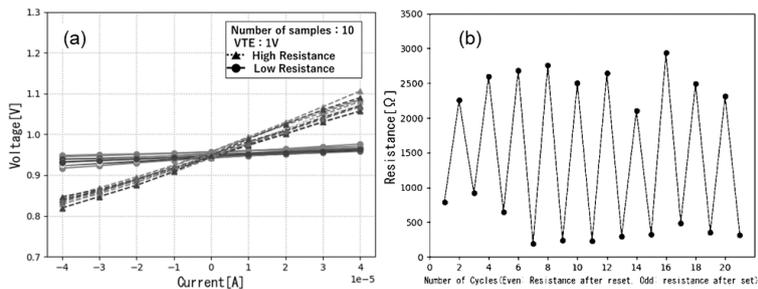


図6 HfO_x膜メモリ素子のセット・リセット動作時の抵抗値変化

(a) 代表的な10セルのIV特性

(b) セット・リセット動作繰り返し時の抵抗値

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 光田薫未, 天満亮介, 間脇武蔵, 黒田理人
2. 発表標題 次世代メモリ用薄膜の統計的解析を行う高精度・広範囲抵抗測定技術
3. 学会等名 電子情報通信学会 シリコン材料・デバイス研究会
4. 発表年 2022年

1. 発表者名 間脇武蔵, 黒田理人, 秋元瞭, 須川 成利
2. 発表標題 ランダムテレグラフノイズのMOSトランジスタ構造・動作条件依存性の統計的解析
3. 学会等名 電子デバイス界面テクノロジー研究会
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------