

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 21 日現在

機関番号：11301

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23360144

研究課題名(和文) 領域選択プロセスによる高性能薄膜トランジスタを用いたグリーンLSI技術

研究課題名(英文) Green LSI Technology Using High-Performance TFT Fabricated by Area-Selective Processing

研究代表者

小谷 光司 (Kotani, Koji)

東北大学・工学(系)研究科(研究院)・准教授

研究者番号：20250699

交付決定額(研究期間全体)：(直接経費) 13,300,000円、(間接経費) 3,990,000円

研究成果の概要(和文)：連続発振レーザーラテラル結晶化とTFT特性について研究を進め、Tri-gate型TFTによる一軸性歪みの導入と素子間ばらつき低減を行った。さらにダブルラインビーム連続発振レーザーラテラル結晶化を提案し、これによるシリコン薄膜の3軸結晶制御を行い、TFT試作を行った。

TFTによるグリーンLSI要素回路の一例として、太陽電池アシスト機能による高周波整流回路を、バルクデバイスにより試作・評価した。透明誘電体基板を用いるTFTプロセスが、太陽電池複合集積化において、素子分離容易性・光透過性の面で相乗効果が期待できることが明らかになった。

研究成果の概要(英文)： Poly-Si thin films with large crystal grains were formed by continuous-wave laser lateral crystallization with Gaussian laser spot. Strain effects on electron mobility were investigated with tri-gate poly-Si TFTs. Highly bi-axially oriented poly-Si thin films with very long grains were successfully formed by double-line beam continuous wave laser crystallization. High performance TFTs with this well-crystal oriented poly-Si thin films were also fabricated.

As one example of principal elemental circuit of "Green LSI" with advanced TFT technology, a photovoltaic (PV)-assisted high-frequency rectifier has been fabricated with bulk CMOS technology and its performance has been evaluated. It has been found that the TFT technology, which uses a transparent dielectric substrate, has superiority in hybrid integration of PV technology.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：薄膜トランジスタ 半導体プロセス レーザーアニール センサーネットワーク

1. 研究開始当初の背景

あらゆる場所に集積回路 (LSI) が埋め込まれ、人はそれと意識せずに数十個から数百個の電子機器に囲まれて高度なエレクトロニクス技術の恩恵を受けることが可能なユビキタス情報化社会の到来が間近である。代表的なアプリケーションとしてのユビキタスセンサーネットワーク技術においては、柔軟な運用を可能にするため、各センサーネットワークノードを構成する集積回路は、無線インターフェイスを備えると共に、処理回路は低消費電力で動作し、動作に必要なエネルギーを熱や振動、光、電磁波などの環境から獲得して「自立」的に動作するための高効率電源回路を搭載する必要がある。さらに、全体として低コストであることは必須の要件となる。このようなシステムでは、高効率かつ高度な処理を実現するために高性能トランジスタが必須であると共に、センサーデバイスなど、必然的に大面積を必要とする構成要素を一体集積化する必要がある。

シリコン単結晶基板を用いる従来のバルク集積回路技術においては、素子の微細化によりデバイス単体の動作性能向上と LSI の集積度向上を実現してきた。しかし、集積回路製造の特性上、素子 1 個あたりのコストは微細化により低減するが、微細化プロセス技術の高度化に応じて単位面積あたりのコストは急激に増大している。前述の様に実現にある程度の面積が必要なセンサーデバイス、高周波受動素子、太陽電池、それらを集積化したアナログ回路は、高性能なデバイス以外の部分で大面積を使用しなければならず、高コストとなってしまう。

一方、ディスプレイやタッチセンサー等の人間とのインターフェイスなど必然的に大面積を必要とするアプリケーションにおいては、近年製造コストの低い有機トランジスタ技術が注目されている。しかし、現在の有機トランジスタは、性能が極めて不十分で、高度な信号処理回路は実現できない。さらに、面積あたりの製造コストは低いものの、素子を微細化できないため素子 1 個あたりのコストは先端 CMOS 集積回路技術に比べて圧倒的に高く、信頼性の問題も解決できていないため、高機能な集積回路は現状では実現できない。

2. 研究の目的

本研究は、申請者が有する高性能ポリシリコン薄膜トランジスタ (TFT) 技術をベースに、申請者が提案する「領域選択プロセッシング」の概念を適用し、現状のバルク CMOS 集積回路における問題点である面積コスト増大と基板材料による損失を同時に克服する、低コスト・低消費電力・高性能ポリシリコン TFT 集積回路技術「グリーン LSI」技術を確立することを目的とする。

現在の TFT 技術が、大画面平板ディスプレイ等で実用化されているように、ガラス等

の誘電体基板上に TFT を集積化する技術が必然的に備える性質である低材料コストおよび熱負荷低減により製造コストの低減が可能である。さらに、「領域選択プロセッシング」の概念を適用することにより、大面積であっても圧倒的な低コスト化を両立させる。「領域選択プロセッシング」技術とは、必要な場所に必要なだけの半導体材料やエネルギーを供給して成膜やアニール処理等の加工を行うものであり、比較的大面積となる TFT 集積回路においても必要に応じて十分に高性能なデバイスを実装しつつ全体としては低コストで製造することが可能となる。さらに、ガラスあるいはプラスチック等の誘電体基板を用いることにより、原理的に基板電流による損失を無くすることが可能である。また、TFT デバイスが本質的に備える、絶縁基板上にデバイスが構成されることによる低寄生容量 SOI 動作特性により原理的にも動作速度の向上と低消費電力化が望めるため、本技術をさらに先鋭化することにより、無線インターフェイスとして適した VHF ~ マイクロ波帯以上での高周波動作と高効率低消費電力ベースバンド信号処理回路動作を実現する。

さらに、大面積低コスト高性能ポリシリコン TFT 技術をベースに、ユビキタス情報化社会におけるグリーン LSI の一例として、誘電体基板上にセンサーデバイス、無線インターフェイス回路、信号処理回路、電源回路等を高効率に集積化し、動作に必要なエネルギーを熱や振動、光、電磁波などの環境から獲得して自立的に動作するスマートセンサーネットワーク用 LSI の基本要素回路技術を確立する。

3. 研究の方法

本研究では、TFT 技術の可能性を追求することを目的として、グリーン LSI 実現のための基盤となる技術を確立する。具体的には以下の研究を実施する。すなわち、(1) 高性能 TFT デバイスの研究、(2) 高性能 TFT デバイス製造プロセスの研究、(3) TFT によるグリーン LSI 向け要素回路の研究、(4) まとめと課題整理である。

(1) 高性能 TFT デバイスの研究

製造コストを抑えつつ、動作性能を向上することを主眼に、最適な TFT デバイス構造を確立する。本研究で推進するのは、低消費電力高速動作を担うための TFT デバイス技術であり、従来の平板ディスプレイ応用等とは要求仕様が異なる。そのため、動作物理を詳細に解明・体系化し、TFT デバイスそのものの最適構造を明らかにし、デバイス設計に活用する。さらに、自己整合ソース・ドレイン形成技術による TFT を試作評価し、高周波特性、低消費電力性に優れた TFT を実現する。

(2) 高性能 TFT デバイス製造プロセスの研究

高性能 TFT 実現の鍵となるラテラル結晶化ポリシリコン薄膜を形成するために申請者らが開発している連続波レーザーアニール技術を先鋭化し、更なる特性（移動度）の向上を実現すると共に、「領域選択プロセス」の概念を適用することにより、能動素子としての TFT を形成する部分のみレーザーを照射して再結晶化アニールを実施する技術として確立する。

(3) TFT によるグリーン LSI 向け要素回路の研究

グリーン LSI の一例としての環境エネルギー獲得型スマートセンサーネットワーク LSI 実現に向けて、要素回路の設計試作を実施する。具体的には、実現の鍵となる、高効率電源回路の研究を実施する。太陽電池などの直流発電機構で取り出された電力を活用する回路や、環境電磁波からアンテナを経由して受電された高周波電力を高効率に交流直流変換する整流回路を設計・試作・評価する。

(4) まとめと課題整理

全研究期間を通してプロセス・デバイス・回路分野で得られた研究成果を纏めると共に、TFT 技術によるユビキタスセンサーネットワーク向けグリーン LSI 実用化に向けた課題抽出を行う。

4. 研究成果

(1) 高性能 TFT デバイスの研究

① Gaussian ビームでのラテラル結晶化と TFT 特性について

a-Si 薄膜を LPCVD により 150 nm 成膜し、キャップ膜として SiO₂ 膜を 25 nm 成膜した。これに連続発振レーザー（波長 532 nm, Gaussian 強度プロファイル (90 μm × 6 μm (FWHM)) を照射、スキャンした。レーザー出力は 4.7 W, スキャン速度は 20 cm/s である。結晶化後の poly-Si 膜表面の光学顕微鏡像と電子線後方散乱回折測定像 (Electron Back-Scattering Diffraction, EBSD) を図 1 に示す。平均 20 × 2 μm² の粒径をもつ poly-Si 薄膜が得られた。図 2 にこのラテラル結晶化 poly-Si 薄膜を用いて作製した TFT の実効キャリア移動度の表面キャリア密度依存性を示す。また図 3 に温度依存性を示す。フォノン散乱支配下での移動度の振る舞いは、 $N_s^{-1/3}$ と $T^{-\beta}$ に比例する。ここで β は 1 から 1.75 までの値をとる。この TFT の場合、移動度は N_s の 0.30 - 0.37 乗に比例し、かつ β の値は 1.19 - 1.27 の値をとる。これらのことから、フォノン散乱成分が支配的であると判断できる。この TFT の 40 素子 (W/L = 10 μm/10 μm) 平均の実効キャリア移動度は 346 cm²/Vs であった。図 4 に

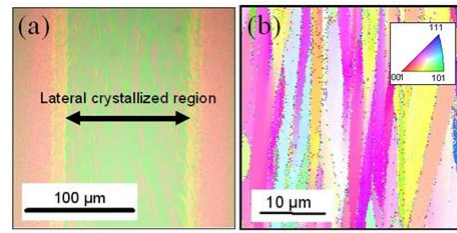


図1. Gaussianビームでのラテラル結晶化poly-Si薄膜: (a) 光学顕微鏡像、(b) EBSD像。

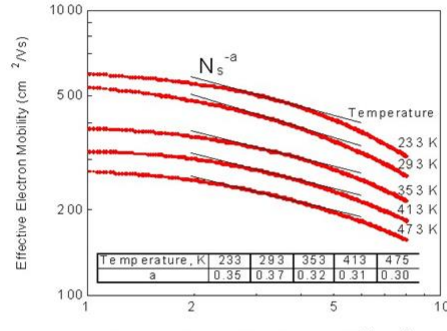


図2. ラテラル結晶化poly-Si TFTの実効キャリア移動度の表面キャリア密度依存性。

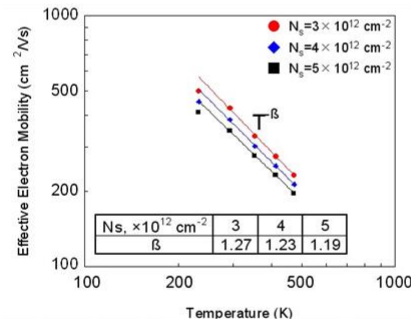


図3. ラテラル結晶化poly-Si TFTの実効キャリア移動度の温度依存性。

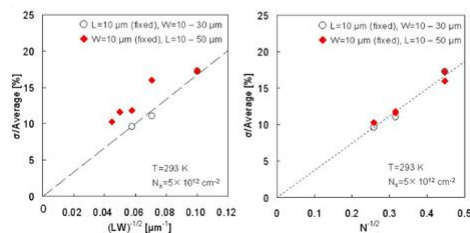


図4. 実効キャリア移動度の素子間ばらつき:

(a) $(LW)^{-1/2}$ 依存性、(b) チャネルグレイン個数依存性。

ラテラル結晶化 poly-Si TFT の実効キャリア移動度の素子間ばらつきを示す。図 4 (b) においては横軸をチャネル中のグレイン個数にとっているが、極めてよい相関が確認される。このことから、素子間性能ばらつきはチャネル中のグレイン個数に依存し、これはグレインの面方位が制御できていないことによると考えられる。

② Tri-gate 型 TFT による一軸性歪みの導入と素子間ばらつき低減

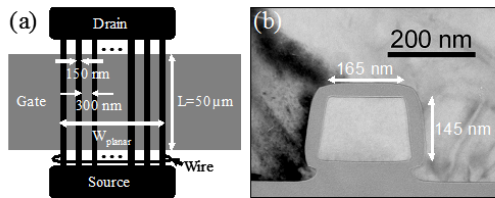


図5. (a) Tri-gate TFTのレイアウトと(b) Tri-gate TFTの断面TEM写真

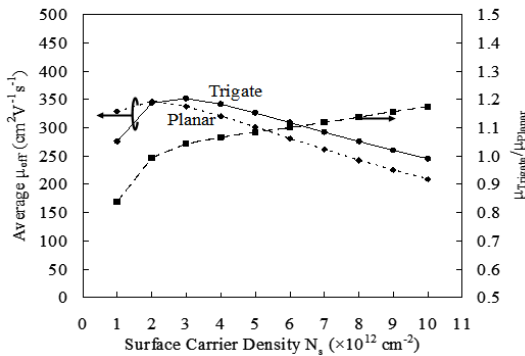


図6. Tri-gate TFTと平面型TFTの実効電子移動度の表面キャリア密度依存性

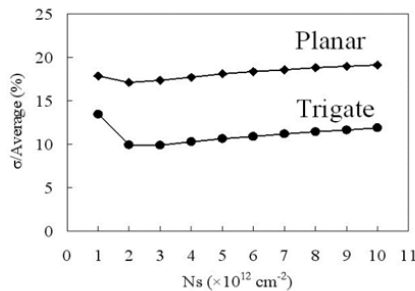


図7. Tri-gate TFTと平面型TFTのキャリア移動度ばらつき表面キャリア密度依存性

図5に Tri-gate TFT 構造のレイアウトを示す。ゲート長(L)は 50 μm とした。ワイヤ高さは 150 nm, ワイヤ幅は 150 nm, ワイヤ間隔は 300 nm とし, ワイヤ本数は 23 本とした。実効チャンネル幅は $W_{\text{eff}} = 10.35 \mu\text{m}$ である。また比較の為に Tri-gate TFT と同じ実効チャンネル長・幅の平面型 TFT も作製した。チャンネル方向はレーザスキャン方向と平行とした。チャンネル poly-Si 薄膜は, Double-gate 型 TFT と同様に, LPCVD によりノンドープ a-Si 膜を 150 nm 堆積し, 更に APCVD により Cap SiO_2 薄膜を 25 nm 堆積したものに, 連続発振レーザ照射 (波長: 532 nm, レーザ径: $180 \mu\text{m} \times 20 \mu\text{m}$ (FWHM), レーザ出力: 6.7 W, スキャン速度: 20 cm/s) を行い形成した。使用したレーザスポットの強度分布は Gaussian 分布をもつ。電子線リソグラフィにより設計値 150 nm 幅の poly-Si アクティブ層のワイヤ形状パターンニングを行い, その後, ラテラル結晶化 poly-Si 膜のドライエッチングを行った。ゲート絶縁膜をドライ酸化により 30 nm 形成した (酸化温度: 1100°C , 酸化時間: 5 min)。LPCVD によりリンドープ a-Si 膜を 200 nm 堆積した (成膜温度: 540°C , ガス: $\text{SiH}_4, \text{PH}_3$)。続いて, APCVD SiO_2 膜を 200 nm 堆積し, これをゲート電極とした。S/D 領域に, 加速電圧を 80 keV, ドーズ量を $2 \times$

10^{15} cm^{-2} として As^+ を注入した。APCVD SiO_2 膜を 400 nm 堆積した後, N_2 雰囲気中で 800°C , 30 分間の活性化アニールを行った。BHF によりコンタクトホールをウェットエッチング後, 蒸着により Al を成膜した。レジストパターンニング後, リン硝酸酸により Al をエッチング, Al 電極を形成し, 最後に 10% H_2 雰囲気中で 400°C , 30 分間のシンタリングを行った。図5(b)に Tri-gate TFT の断面 TEM 写真を示す。平均的な特性を示した素子において, $0\text{n}/\text{OFF}$ 比 7×10^8 , S 値 0.26 V/dec の特性が得られた。図6に Tri-gate TFT と平面型 TFT の実効電子移動度の表面キャリア密度依存性を示す。Tri-gate TFT, 平面型 TFT の移動度はそれぞれ 15 素子, 21 素子の平均値を示す。 $N_s = 3 \times 10^{12} \text{ cm}^{-2}$ 以上の範囲では, Tri-gate TFT の移動度が, 平面型 TFT の移動度よりも高く, $N_s = 5 \times 10^{12} \text{ cm}^{-2}, 1 \times 10^{13} \text{ cm}^{-2}$ ではそれぞれ 8%, 17%, 移動度が増加した。幅の狭いメサ構造において平面的な面内引張り歪みが一軸性歪みになり, また $\langle 110 \rangle$ 方向の一軸性歪みが移動度向上に有効である。この Tri-gate TFT においても, メサ型構造により一軸性歪みになり, 他方このラテラル結晶化 poly-Si 膜は結晶成長方向が $\langle 110 \rangle$ 方向に揃いやすいため, これらのことにより移動度が向上したと考えられる。図7にキャリア移動度ばらつきの planar 型 TFT と Tri-gate 型 TFT の比較を示す。Planar 型 TFT の測定素子数は 21, Tri-gate 型 TFT の測定素子数は 15 である。表面キャリア密度のすべての領域において, Tri-gate 型の素子間移動度ばらつきが小さい。特に, $N_s = 5 \times 10^{12} \text{ cm}^{-2}$ において, Tri-gate 構造 TFT の素子間移動度ばらつきは, 平面型 TFT の素子間移動度ばらつきよりも 41% 小さい。これはワイヤ構造にすることで, チャンネル中に現れる面方位の数が増え, これにより統計的に平均化され, 素子間ばらつきが低減したと考えられる。

(2) 高性能 TFT デバイス製造プロセスの研究

① ダブルラインビーム連続発振レーザラテラル結晶化

新規結晶化方法であるダブルラインビーム連続発振レーザラテラル結晶化を提案し, これによるシリコン薄膜の 3 軸結晶制御を行い, 更に TFT の高性能化を行った。

Gaussian 強度分布をもつレーザスポットによる結晶化においては, 強度の不均一性により, レーザスポット周辺部からスポット中央に向けて結晶成長するため, 結晶成長方向が不均一になり, 結果的に面方位制御が困難である。これを改善するために, ライン状ビームを導入し実験を実施した。特にライン状ビームを 2 本並べたダブルラインビームにレーザビームを整形し, 実験を行った。ダブルラインビームを用いることで, レーザーアニール時の Si 薄膜冷却を 2 本のビーム間で行うことができ, 過冷却温度を比較的一定に保てると考えられる。図8にダブルラインビ

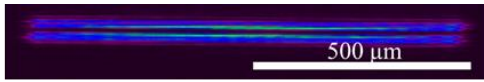


図8. ダブルラインビームでのレーザー強度プロファイル

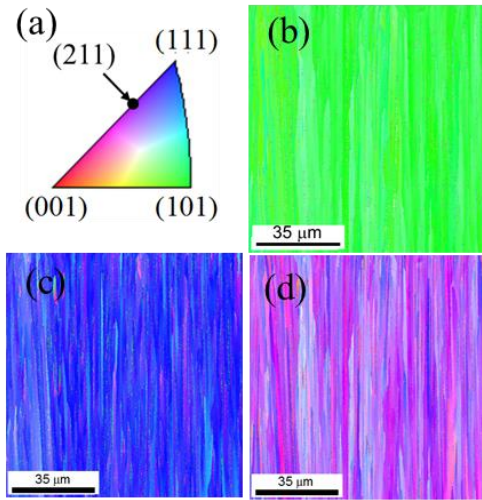


図9. EBSDマッピング: (a) 結晶性を示すカラーバー、(b) ラテラル結晶化面、(c) ラテラル結晶化面の垂直面、(d) 表面
(レーザー強度: 9.0 W, スキャン速度: 0.10 cm/s)

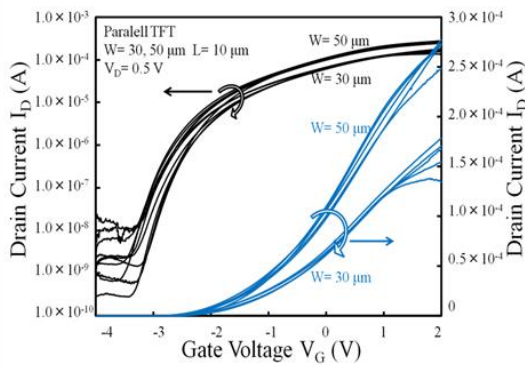


図10. ダブルラインレーザービームにより形成したラテラル結晶化poly-Si TFTの I_D - V_G 特性.

ームのプロファイル像を示す。このビームは2本の1.15 mm×15 μmのライン状ビームからなり、2本のビーム間隔は15 μmである。レーザービーム強度の均一性は、ビーム中央400 μmの範囲において、長軸方向で±7%である。図9にEBSDによる、レーザー結晶化poly-Si薄膜(レーザー出力: 9.0 W, スキャン速度: 0.1 cm/s)のマッピング像を示す。図9(b)に示すようにレーザースキャン方向に垂直な面(ラテラル結晶化面)では{110}面が優先配向となり、図9(c)と(d)に示すレーザースキャン方向に平行な面と薄膜表面では、それぞれ{111}と{211}が優先配向している。サンプルにおける各面での占有率は、ラテラル結晶化面において、{110}面が96.5%、面内のこれに垂直な面において{111}面が85.6%、表面で{211}面が83.5%となった。ここで占有率は、各面方位から10°の範囲で累積した値である。

② TFTによる評価

このレーザー結晶化poly-Si薄膜を用いてTFTを試作した。石英基板にa-Si薄膜150 nm, Cap SiO₂薄膜100 nmを成膜し、レーザー結晶化

(波長: 532 nm, レーザ出力: 8.5 W, スキャン速度: 0.25 cm/s)を行い、BHFによりCap SiO₂薄膜をエッチングし、ドライエッチングによりpoly-Siアクティブ層を作製した。次にゲートSiO₂膜をICP CVDにより50 nm, スパッタによりMoを200 nm成膜し、パターンニングを行った後にMoのウェットエッチングを行い、ゲート電極とした。S/D形成ではMoゲートをセルフアラインマスクとし、イオン注入(As: ドーズ量 2×10^{15} cm⁻², 加速電圧66 keV)を行い、活性化アニール処理を550°C, 30 minで行った。その後S/D部分の犠牲酸化膜を除去し、APCVDにより層間絶縁膜を150 nm形成し、BHFにより開口エッチングを行った。Moスパッタ成膜により200 nmの電極パッドを形成し、最後に400°C, H₂雰囲気で行った。図10にこのレーザー結晶化poly-Si薄膜を用いて作製したTFTの I_D - V_G 特性を示す。ダブルラインビーム連続発振レーザーラテラル結晶化により、電子電界効果移動度560 cm²/Vsの高性能化を達成した。

(3) TFTによるグリーンLSI向け要素回路の研究

環境エネルギー獲得型ユビキタスセンサーネットワークLSI実現の中核技術として、太陽電池アシスト機能による高周波整流電源回路を設計し、バルクデバイスによる集積回路の試作・検証を実施した。特に、高効率な環境電波エネルギー獲得のためには、正負の太陽電池バイアス電源のバランス動作が重要であり、太陽電池として、図11に示すように対称構造のPN接合を用いることにより効率が向上することを明らかにした。この構造は、誘電体素子分離が容易なTFTプロセスに最適な構造であり、TFTによるグリーンLSIの典型的な実施例として試作・評価した。図12は試作した回路の顕微鏡写真である。

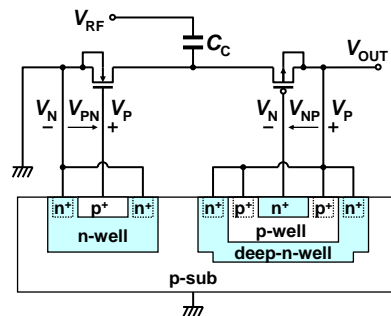


図11. 対称型太陽電池アシスト高周波整流回路

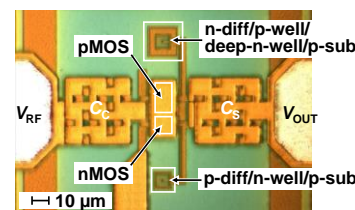


図12. 試作した整流回路の顕微鏡写真

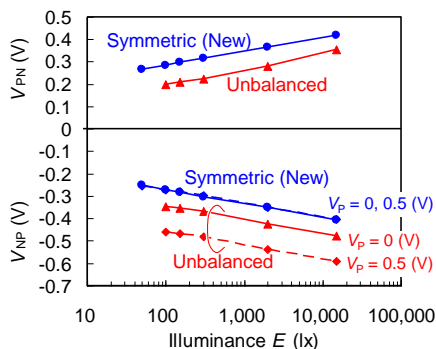


図 13. 太陽電池の出力電圧

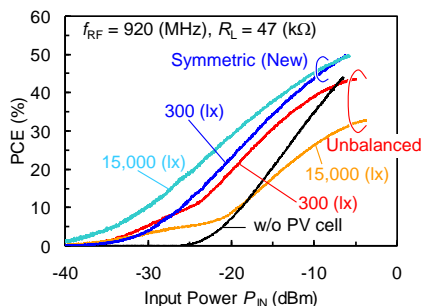


図 14. 整流回路の電力変換効率

図 13 は、太陽電池の出力電圧の光照射照度依存性測定結果を示している。数 100 lx 程度の典型的な室内環境の照度において、十分な大きさのバイアス電圧が生成されている。また、対称構造太陽電池により、非対称構造のアンバランス型では得られない、ほぼ同じ大きさの正負対称なバイアス電圧 V_{PN} 、 V_{NP} が得られている。

図 14 は、太陽電池アシストによる高周波整流回路の整流効率（電力変換効率：PCE）の評価結果を示している。太陽電池アシスト機構により、太陽電池を持たない場合に比べて、-20 dBm 以下の低入力電力領域で顕著に PCE が改善されている。特に対称構造太陽電池により、非対称構造で顕著な高照度領域での PCE の劣化が抑制され、広い照度範囲で PCE の向上が実現された。なお、TFT プロセスでは、ガラスやプラスチックなど、透明誘電体基板を用いることが一般的なため、裏面照射型太陽電池の適用が容易であり、更なる効率向上が期待される。

(4) まとめと課題整理

「領域選択プロセッシング」の概念を適用したレーザ結晶化法を確立し、バルクデバイスと同等の移動度を有する TFT デバイスを実現した。グリーン LSI の具体例として、TFT 技術を適用可能なユビキタスセンサーネットワーク LSI 向け高効率高周波整流電源回路を実現した。本技術の実用化を見据えて、適切な規模の機能回路の試作評価により、プロセス・デバイス・回路技術の最適化を進めることが今後の課題である。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 5 件）

(1) Koji Kotani, Takumi Bando, and Yuki Sasaki, "A Photovoltaic-Assisted CMOS Rectifier for Synergistic Energy Harvesting from Ambient Radio Waves," *IEICE Trans. Electron.*, Vol. E97-C, No. 4, pp. 245-252, 2014. (査読有)

DOI: 10.1587/transele.E97.C.245

(2) Masayuki Yamano, Shin-Ichiro Kuroki, Tadashi Sato and Koji Kotani, "High-performance poly-Si thin film transistors with highly biaxially oriented poly-Si thin films using double line beam continuous-wave laser lateral crystallization," *Jpn. J. Appl. Phys.*, Vol. 53, pp. 03CC02-1-4, 2014. (査読有)

DOI: 10.7567/JJAP.53.03CC02

〔学会発表〕（計 14 件）

(1) Shin-Ichiro Kuroki, Masayuki Yamano, Tadashi Sato, Nobuhiro Hata, Koji Kotani, and Takamaro Kikkawa, "Characterization of Poly-Si TFTs with Highly Bi-Axially Oriented Poly-Si Thin Films Using DLB Continuous-Wave Laser Lateral Crystallization," 2014 MRS Spring Meeting, 2014 年 4 月 21 日～25 日アメリカ・サンフランシスコ

(2) Koji Kotani, "Highly Efficient CMOS Rectifier Assisted by Symmetric and Voltage-Boost PV-Cell Structures for Synergistic Ambient Energy Harvesting," *IEEE Custom Integrated Circuits Conference (CICC2013)*, 2013 年 9 月 22 日, アメリカ・サンノゼ

(3) Masayuki Yamano, Shin-Ichiro Kuroki, Tadashi Sato, and Koji Kotani, "High performance poly-Si Thin Film Transistor with One-dimensionally Long Si Grains Using DLB Continuous-wave Laser Lateral Crystallization," *The proceedings of The Twentieth International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD13)*, 2013 年 7 月 2 日, 京都

6. 研究組織

(1) 研究代表者

小谷 光司 (KOTANI, KOJI)
東北大学・大学院工学研究科・准教授
研究者番号：20250699

(2) 研究分担者

黒木 伸一郎 (SHIN-ICHIRO KUROKI)
広島大学・ナノデバイス・バイオ融合科学
研究所・准教授
研究者番号：70400281