

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 3 日現在

機関番号：11301

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23360146

研究課題名(和文) 複合Siウェハを用いた高性能・低電力ヘテロCMOSトランジスタの開発

研究課題名(英文) High Performance, Low Power Hetero-CMOS Device using Compound Si Wafer

研究代表者

李 康旭 (LEE, KANGWOOK)

東北大学・未来科学技術共同研究センター・教授

研究者番号：90534503

交付決定額(研究期間全体)：(直接経費) 15,100,000円、(間接経費) 4,530,000円

研究成果の概要(和文)：本研究では、InGaAsを用いてNMOSトランジスタを、Geを用いてPMOSトランジスタを大口径Siウェハ上に混在させて、低コストで高性能・低電力ヘテロCMOSトランジスタを作製できる新しい技術を創出した。Siウェハ上にInGaAsとGe化合物半導体チップを高い位置合わせ精度(<1 μ m)と接合強度で(20MPa)張り合わせる出来るセルフアセンブリー技術を開発した。ヘテロCMOSトランジスタ実現の鍵を握る浅いp-n接合を形成するためのイオン打ち込みとアニール技術を確立した。Siウェハ上に張り合わせたGeおよびInGaAsチップからなるフォトダイオードを試作し、基本動作を確認した。

研究成果の概要(英文)：We developed new technology for high-performance, low-power hetero-junction CMOS comprising InGaAs NMOS and Ge PMOS on a large-dia. Si wafer. Ge chips and InGaAs chips are precisely (<1 μ m accuracy) and tightly bonded (20MPa) on a smooth surface roughness (Ra 0.5 angstrom) of P-TEOS hydrophilic area on a Si wafer by using self-assembly technology. Shallow p-n junction technologies of ion implantation and annealing condition for hetero-junction CMOS are established. We successfully implemented Ge and InGaAs photodiodes on a Si wafer by using these technologies. This study shows the opportunity to manufacture high-performance, low-power Ge/InGaAs hetero-junction CMOS device on an 8/12 inch Si wafer with low cost.

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：複合Siウェハ ヘテロCMOSトランジスタ セルフアセンブリー張り合わせ

1. 研究開始当初の背景

素子の微細化に伴う様々な問題が顕在化してきている中、消費電力の減少と LSI 性能の大幅な増加を実現する技術として、Si よりも移動度の大きな半導体を用いてトランジスタを作製する研究が進められてきた。しかし、これまで、移動度の大きな半導体ではウェハの大口径化が難しかったため、低コスト化が難しく、Si-LSI のようには大量生産ができなかった。最近 Si ウェハ上に化合物半導体や Ge から成るトランジスタを形成する研究が国内外で進められて来たが大口径の Si ウェハ上に、InGaAs から成る NMOS と Ge から成る PMOS の CMOS を形成するという試みは世界的に初めての試みであった。大口径 Si ウェハ上に、低コストで高性能・低電力化合物半導体 CMOS LSI 製造の実現可能性への期待は今後さらに大きくなる。

2. 研究の目的

LSI は、高集積化、高性能化が進んだ結果として消費電力が急増し、大きな問題となっている。このような消費電力の増大に対処するために、トランジスタを 0.5V 以下の低電圧で動作させることが求められるようになってきている。しかし、MOS トランジスタをこのような低電圧で動作させるとオン電流が減少して LSI の性能が大幅に低下する。そのため、Si の代わりにキャリア移動度の大きな化合物半導体や Ge を用いて MOS トランジスタを実現しようとする研究が盛んになっている。しかし、化合物半導体や Ge を用いたトランジスタを Si-LSI が作製されるような大口径のウェハ(8~12 インチ)に作製することはこれまでは不可能であった。本研究では、電子移動度の大きな InGaAs を用いた NMOS と、正孔の移動度が大きな Ge を用いた PMOS で構成された CMOS を 8~12 インチの大口径 Si ウェハ上に混在させて作製し、低電圧動作(0.5V)を確認する。

3. 研究の方法

Si ウェハ上に InGaAs チップと Ge チップを液体の表面張力を利用したセルフアセンブリ技術を用いて Si ウェハに張り合わせた複合ウェハを作製する技術を確認した。このような複合 Si ウェハを用いて、Si ウェハ上に InGaAs NMOS と、Ge PMOS を形成するための鍵を握る浅いイオン打ち込みとイオン打ち込み後のアニール(熱処理)技術を確認した。本研究ではこれらの技術を用いて、Ge および InGaAs 化合物半導体チップからなるフォトダイオードを試作し、基本動作の確認を行った。

4. 研究成果

平成 23 年度には、2 インチ Si ウェハ上に化合物半導体チップを高い位置合わせ精度と接合強度で張り合わせる出来るセルフアセンブリ技術を開発した。位置合わせ精度と接合強度に大きく影響する親水性膜の材料選択と表面粗さの条件を確立した。Si チップの張り合わせにも使われる親水性膜である P-TEOS SiO₂ 膜でも親水性膜表面の粗さを Ra 0.5Å 水準まで平坦化することで、InGaAs や Ge など化合物半導体チップが Si チップ並みの高い位置合わせ精度(<1μm)と接合強度(20MPa)でセルフアセンブリ張り合わせるが出来ることを確認した(図 1)。InGaAs や Ge など化合物半導体チップが SiO₂/Si₃N₄ や SiO₂/Al₂O₃ など専用の複合膜ではなく、P-TEOS SiO₂ 膜でも高い位置合わせ精度と接合強度で張り合わせる出来ることが確認できたことは、意義が大きいと考えられる。

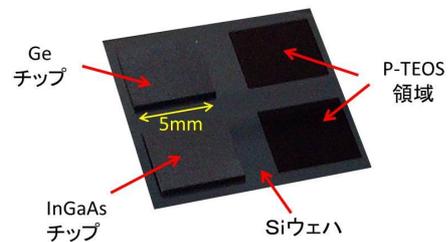


図 1. Si ウェハ上にセルフアセンブリされた InGaAs と Ge チップの写真

平成 24 年度には、ヘテロ CMOS デバイス試作に必要な基本技術として、InGaAs/Ge・ヘテロ CMOS トランジスタ実現の鍵を握る、InGaAs、Ge への浅い p-n 接合を形成するためのイオン打ち込み技術とイオン打ち込み後のアニール(熱処理)技術を開発した。InGaAs、Ge とともに Si のような高温でアニールができないため、イオン打ち込み後の結晶欠陥を十分に回復させることが難しいという問題がある。Si の場合より低い温度でのイオン打ち込み後のアニール処理による Ge 膜の結晶欠陥の振る舞い詳細を評価し、InGaAs 膜と Ge 膜の結晶欠陥を最小化出来るイオン打ち込み条件とイオン打ち込み後のアニール温度条件を確立した。8 インチ Si ウェハ上に化合物半導体(InGaAs/Ge)チップを高い位置合わせ精度と接合強度で張り合わせる出来るセルフアセンブリ条件を確認した。8 インチ Si ウェハ上でも InGaAs や Ge など化合物半導体チップが Si チップ並みの高い位置合わせ精度(<1μm)と接合強度でセルフアセンブリ張り合わせるが出来ることを確認した。8 インチ Si ウェハ上でも化合物半導体チップが高い位置合わせ精度と接合強度で張り合わせる出来ることが確認できたことは、今後の大口径複合

ウェハでの量産化観点から意義が大きいと考えられる。

平成 25 年度には、2 インチ Si ウェハ上に化合物半導体(InGaAs /Ge)チップを高い位置合わせ精度と接合強度で張り合わせし、Ge および InGaAs 化合物半導体チップからなるフォトダイオードを試作した。Ge や InGaAs フォトダイオードの感度を増大するためにはチップ厚さを薄くする必要があるが、Ge や InGaAs チップ基板は脆弱なので、製作することは簡単ではない。脆弱な Ge 及び InGaAs チップを 30 μm まで問題なく薄化する技術を確立した。Ge 及び InGaAs チップを Si ウェハ上に高強度で張り合わせし、チップ裏面から 50 μm までは機械的な研削と化学・機械研磨処理を、30 μm まではドライエッチングによって Ge 及び InGaAs 基板を問題なく薄化した。薄化された面は Damage などもなく、鏡面化 (Ra: 5.3 nm) されている (図 2)。



図 2. 薄化された Ge チップの写真

Si の場合より低い温度で、Ge 及び InGaAs の結晶欠陥を最小化出来るイオン打ち込みとイオン打ち込み後のアニール温度条件を利用し、Ge と InGaAs フォトダイオードを試作した。図 3 は Ge チップに形成されたフォトダイオードアレイの顕微鏡写真である。

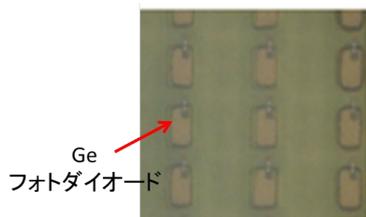


図 3. Ge チップに形成されたフォトダイオードアレイの顕微鏡写真

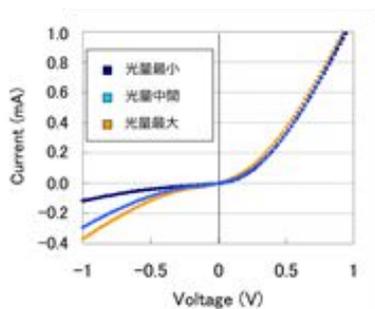


図 4. Ge フォトダイオードアレイ特性

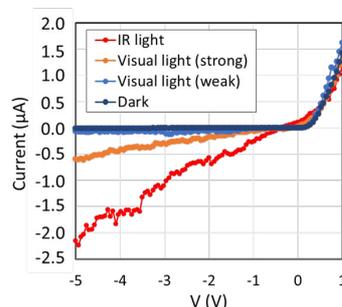


図 5. InGaAs フォトダイオード特性

図 4 と図 5 は、低電圧動作(0.5V)で評価した、Ge と InGaAs のフォトダイオード特性である。Si ウェハ上に張り合わせされた薄い Ge と InGaAs チップから製作されたフォトダイオードが低動作電圧 (0.5V)でも良好な p-n 接合特性が得られたことが確認できたことは、今後大口径 Si ウェハ上に、低コストで高性能・低電力化合物半導体 CMOS LSI 製造の実現可能性が確認できたことで、その意義が大きいと考えられる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 5 件)

1. Kang-Wook Lee, Yuki Ohara, Kouji Kiyoyama, Ji-Cheol Bea, Mariappan Murugesan, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Die-level 3-D Integration Technology for Rapid Prototyping of High Performance, Multi Functionality Hetero-Integrated Systems", IEEE Transactions on Electron Devices, vol.60, no.11, Nov., pp. 3842-3848, 2013 (査読有)
(DOI : 10.1109/TED.2013.2280273)
2. T. Fukushima, Y. Ohara, M. Murugesan, J.C Bea, K-W. Lee, T. Tanaka, and M. Koyanagi, "A Multichip-to-Wafer 3D Integration Technology Using Chip Self-Assembly with Excimer Light Irradiation", IEEE Transactions on Electron Devices, VOL. 59, NO. 11, pp. 2956-2963, 2012 (査読有)
(DOI : 10.1109/TED.2012.2212709)
3. Akihiro Noriki, Kang-Wook Lee, Ji-Cheol Bae, Takafumi Fukushima, Tetsu Tanaka and Mitsumasa Koyanagi, "Through-Silicon Photonic Via and Unidirectional Coupler for High-Speed Data Transmission in Optoelectronic 3-D LSI", IEEE Electron Device Letters, vol.33, no. 2, 221-223, 2012 (査読有)
(DOI : 10.1109/LED.2011.2174608)
4. Takafumi Fukushima, Eiji Iwata, Yuki

- Ohara, Mariappan Murugesan, Jicheol Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Multichip Self-Assembly Technology for Advanced Die-to-Wafer 3-D Integration to Precisely Align Known Good Dies in Batch Processing", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, Vol. 1, 1873-1884 (2011) (査読有)
(DOI : 10.1109/TCPMT.2011.2160266)
- 5) Takafumi Fukushima, Takayuki Konno, Eiji Iwata, Risato Kobayashi, Toshiya Kojima, Mariappan Murugesan, Ji-Chel Bea, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Self-Assembly of Chip-Size Components with Cavity Structures: High-Precision Alignment and Direct Bonding without Thermal Compression for Hetero Integration", Micromachins, vol.2, 49-68 (2011) (査読有)
(DOI : 10.3390/mi2010049)
- [学会発表](計 11 件)
- 1) T. Fukushima, K-W. Lee, T. Tanaka, and M. Koyanagi, "3D Integration Based on Self-Assembly with Electrostatic Temporary Multichip Bonding", IEEE Electrical Components Technology Conference (ECTC), May 28-31, 2013
- 2) 李康旭、福島誉史、田中徹、小柳光正、"三次元 LSI とヘテロインテグレーション", 第 77 回半導体集積回路シンポジウム, July. 11-12, 2013, 東京工業大学, Japan
- 3) T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K-W. Lee, T. Tanaka and M. Koyanagi, "Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and Electrostatic Temporary Bonding", IEEE International Electron Devices Meeting (IEDM), pp.789-792, Dec. 10-12, 2012
- 4) Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Development of 3D Integration Technologies and Recent Challenges", ADMETA Plus 2012 Advanced Metallization Conference 2012, 東京, 2012/10/23
- 5) T. Fukushima, K-W. Lee, J-C. Bea, T. Tanaka, and M. Koyanagi, "3D Integration Technologies Based on Surface-Tension Driven Multi-Chip Self-Assembly Techniques", the Electro Chemical Society (ESC) Meeting, October 7-12, 2012
- 6) Yuka Ito, Takafumi Fukushima, Kang-Wook Lee, Koji Choki, Tetsu Tanaka, and Mitsumasa Koyanagi, "Optoelectronic Heterogeneous Integration Technology, Using Reductant-Assisted Self-Assembly with Cu/Sn Microbump", 2012 International Conference on Solid State Devices and Materials (SSDM 2012), 京都, 2012/9/26
- 7) T. Fukushima, J. Bea, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, "Self-Assembly-Based 3D Integration Technologies", 2012 3rd IEEE International Workshop on Low Temperature Bonding for 3D Integration, 東京, 2012/5/22
- 8) Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Wafer-Level 3D Integration Technology Using Self-Assembly", MSPNEX (International Micro System Packaging Forum)2012, 韓国, 2012/4/12
- 9) Takafumi Fukushima, Yuki Ohara, Jicheol Bea, Mariappan Murugesan, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Temporary Bonding Strength Control for Self-Assembly-Based 3D Integration", IEEE International 3D System Integration Conference (3DIC) 2011, 大阪, 2012/2/1
- 10) Akihiro Noriki, Kang-Wook Lee, Jicheol Bea, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Fabrication Tolerance Evaluation of High Efficient Unidirectional Optical Coupler for Though Silicon Photonic Via in Optoelectronic 3D-LSI", IEEE International 3D System Integration Conference, Osaka, Feb. 1, 2012
- 11) T. Fukushima, K.-W. Lee, T. Tanaka, and M. Koyanagi, "Development of Wafer-Level 3D System Integration Technologies", International Union of Materials Research Societies-International Conference in Asia (IUMRS-ICA), 台湾, 2011/9/20

6. 研究組織

(1)研究代表者:

李 康旭 (Lee, Kangwook)

東北大学・未来科学技術共同研究センター・教授

研究者番号: 90534503

(2)研究分担者

福島 誉史 (Fukushima, Takafumi)

東北大学・未来科学技術共同研究センター・
准教授
研究者番号：10374969

田中 徹 (Tanaka, Tetsu)
東北大学・大学院医工学研究科
教授
研究者番号：40417382

裴 志哲 (Bea, Jichel)
東北大学・未来科学技術共同研究センター・
助教
研究者番号：40509874

ムルゲサン マリアッパン (Murugesan,
Mariappan)
東北大学・未来科学技術共同研究センター・
産学官連携研究員
研究者番号：10509699

(3)連携研究者

小柳 光正 (Koyanagi, Mitsumasa)
東北大学・未来科学技術共同研究センター・
教授
研究者番号：60205531