

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 12 日現在

機関番号：14301

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23360321

研究課題名(和文) 統合型誘電率設計手法を用いた極低消費電力素子のナノ材料プロセスの研究開発

研究課題名(英文) Study of defect-related dielectric function change and the process optimization framework for ultimately low power systems

研究代表者

江利口 浩二 (Eriguchi, Koji)

京都大学・工学(系)研究科(研究院)・准教授

研究者番号：70419448

交付決定額(研究期間全体)：(直接経費) 13,000,000円、(間接経費) 3,900,000円

研究成果の概要(和文)：高機能デバイスの低消費電力化のための統合的なプロセス設計手法構築に向けて、プラズマプロセスにおける表面界面ナノ領域の欠陥形成機構とその動的挙動の解明に取り組んだ。シリコン半導体デバイスに着目し、プラズマ処理がデバイス消費電力増大に及ぼす影響を、高誘電率薄膜あるいはSi基板表面近傍での欠陥形成に着目しモデル化した。数ミクロン領域での解析が可能な変調反射率分光法、電気容量解析法に加え、分子動力学法を中心とするシミュレーションを用いて、種々のプラズマ処理に伴う欠陥形成過程を定量化した。さらに次世代3次元構造デバイスのプロセス設計や形成された欠陥の回復プロセス設計指針などを明らかにした。

研究成果の概要(英文)：We focused on mechanisms of process-induced defect generation and the recovery dynamics, which lead to power-consumption increase in a future electronic system. By employing a novel photoreflectance spectroscopy capable for micro-scale analysis and a capacitance-voltage technique, we clarified the plasma process-induced defect generation in crystalline Si and the recovery processes. Combined with classical molecular dynamics simulations and quantum mechanical calculations, we addressed critical process-related issues in designing present-day three-dimensional devices. Thermal annealing of the created defects was also studied for various plasma conditions such as gas chemistry. We proposed a framework of power-consumption-aware process design with respect to "defects and the behavior in a material" for future ultimately low power electronic systems.

研究分野：工学

科研費の分科・細目：材料工学 材料加工・処理

キーワード：プラズマ 表面・界面制御 極低消費電力 欠陥 誘電率 シリコン トランジスタ

1. 研究開始当初の背景

高機能デバイス(携帯端末、情報通信基地局、医療機器、デジタル家電)に囲まれた現代社会では、地球温暖化阻止を目指した低炭素社会の実現が必須であり、個々の通信素子の極低消費電力化は不可欠である。さらにここ数年、米国・EUで精力的に開発されている医療デバイス(以下、Medical Electronicsと記す)においても、バッテリー寿命の視点から、通信素子の低消費電力化は最重要課題となっている。また、高誘電率材料がはじめて導入された米国インテル社の Atom プロセッサに代表されるような電子デバイスにおいても、高性能型から低消費電力型へのシフトが進められ、同時にプロセス技術も最適化され、世界標準のデバイスとして成功を収めている。すなわち、機能素子の低消費電力化の研究では、新材料だけでなくそのプロセス設計技術(手法)の研究も重要なテーマとなっている。

しかしながら、これまで材料・プロセス技術研究開発は、それぞれの分野で独立した縦断的研究開発が主流であり、横断的な基礎科学的現象の理解に基づいた開発ではなかった。すなわち、課題解決型であった。極低消費電力素子実現のための基礎研究課題を大局的に書けば、

(1) 材料技術に加えプロセス技術・素子構造設計技術を利用した極低消費電力化手法の基礎的研究、

(2) 物性値(誘電率)制御メカニズムの学術的・技術的基盤の構築、

の2点に集約される。急加速する極低消費電力・高信頼性化のニーズに対するナノ材料・プロセス技術の研究開発においては、統合的な設計思想・物理モデルに基づいた基礎研究が必須であるが、それらデバイスの新材料・プロセス研究開発段階での極低消費電力化の埋め込み設計思想は不十分であり課題が多かった。

2. 研究の目的

本研究では、これまでの研究活動で確立したプラズマ表面改質モデルをベースに、プラズマプロセスにおける表面ナノ領域の誘電率変化機構を解明し、その物理モデルを組み込んだ統合的設計手法を開発し、極低消費電力型デバイスの実現に必要な表面の誘電率構造最適化技術及びプラズマプロセス技術ならびにプロセス設計手法を提案する。上記2つの観点、極低消費電力化手法の基礎的研究、誘電率制御メカニズムの学術的・技術的基盤の構築、から研究を推進する。具体的には、ナノスケール表面での新しい誘電率解析手法(光学的・電氣的)や超微細加工に必須のプラズマプロセス技術を応用展開し、プラズマプロセスにおける表面界面ナノ領域の欠陥形成機構、すなわち、誘電率変化機構を解明する。また、ナノ領域変質(欠陥形成)の物理モデルを組み込んだ統合的設計手法

を提案し、表面の誘電率構造最適化技術及び新しいプラズマプロセス技術・電子デバイスの極低消費電力化の設計手法を探求する。

3. 研究の方法

研究期間前半では、電子デバイスの消費電力増大機構を支配する表面界面での欠陥形成過程とその影響を解明し、物理的・統計的モデルを確立する。現有のプラズマ装置(誘導結合/容量結合型)を利用し、例えば低消費電力型電子デバイスで広く用いられている高誘電率材料の1つである二酸化ハフニウム(HfO_2)系薄膜における欠陥形成機構とその消費電力への影響を調べる。また Si 表面改質過程(欠陥形成過程)を解析・モデル化する。Si 表面改質過程にともなう誘電率(誘電率)変化を光学的手法(PRS: Photoreflectance)ならびに電気容量解析法により解明し、表面層リーク電流測定と合わせて、誘電率~リーク電流の定量的相関モデルを提案する。一方で平行して、斥力項に注目した古典的動力学法(Molecular Dynamics: 以下、MD)と欠陥層厚・欠陥密度算出計算コード(欠陥解析コード)の改良を進める。

研究期間後半では、Si 以外の材料やプラズマにより形成された局所欠陥構造回復などの振る舞いを詳細に解析し、今後の新機能デバイスの研究基盤となる基礎データベース構築を目指す。また平行して、MD、量子化学計算、欠陥解析コード、デバイス特性変動解析コードなどの計算科学からのアプローチも進める。これらの知見をもとに、将来の極低消費電力デバイス実現のための統合的(プラズマ)プロセス設計手法の構築を目指す。

4. 研究成果

平成23年度は、各テーマに対して以下の成果が得られた。

(1) 極低消費電力デバイス実現のためのプラズマプロセス設計:

産業界における2つのプラズマ源(誘導型(ICP)及び容量型(CCP))を1つのチャンバーで実現するプラズマ装置を構築し、そのチャンバーにおいて、希ガス系プロセスによって誘発される高誘電率材料ならびに Si 基板表面における欠陥形成をモデル化した。

高誘電率薄膜材料における欠陥形成では、膜中・膜界面に形成される電荷捕獲型欠陥に着目した。一般に電子デバイスでは、回路設計の制約によってさまざまな長さを持った配線が埋め込まれるが、その長さはある分布を持っている。個々のデバイスにおける上記の電荷捕獲型欠陥の発生量が配線長によって決定されることを示し、回路設計における配線長の分布を考慮した消費電力増大モデルを構築した。その結果、プラズマ処理に伴い、消費電力が増加することを明らかにした。その様子を図1に示す。図1は、プラズマプロセスによって高誘電率材料薄膜に欠陥が形成され、その欠陥がデバイス特性に及ぼし、

しきい値電圧ばらつきが増大 (=消費電力が増大)することを示している。ダメージ指数低減が低消費電力実現には必須である。

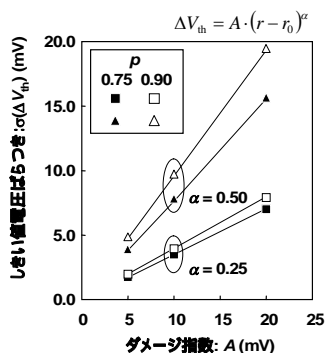


図1 プラズマ処理によるしきい値電圧ばらつき増大の予測例 (詳細は雑誌論文に記載)

一方、Si 表面改質過程については、形成された消費電力増大要因となる電氣的・構造的欠陥変化を、電氣的誘電率解析手法により定量化した。各種プラズマガス条件による表面反応層及び欠陥密度の違いを系統的に整理した。また、原子層レベルでの除去技術を駆使し、深さ方向の欠陥密度分布を得ることができた。これらは以下のシミュレーションが示唆する結果と合致していることもわかった。

(2) 表面反応層形成過程モデリングの基盤構築:

分子動力学法におけるポテンシャルモデルを改善し、その計算精度の向上を実現した。また、量子化学計算コードを利用した解析から、上記(1)のSi 表面改質過程の実験結果の妥当性を検証し、将来の統合型誘電率設計手法のための予測モデル基盤とすることができた。

平成24年度は、各テーマに対して以下の結果を得た。

(1) 誘電率解析システムのプラズマ装置への統合及び変調反射率分光システムの改良:

本研究で用いる誘導型(ICP)/容量型(CCP)への切替えが可能なプラズマ装置に、変調反射率分光システム(PRS システム)を取り付け、従来の大気暴露による表面層の誘電率変化への影響を排除する計測システムを完成させた。一方、ex-situ 解析については、Ar・He・Xe などのプラズマ処理に対して、PRS 解析及び電気容量解析により、原子種によるSi 表面構造変化の違いのモデル化を進めた。欠陥の深さ方向の違い、表面変質層の除去効率の違いを実験的に評価した。さらに、PRS 解析を数十ミクロン領域で行えるマイクロPRS システムを構築し、Si 基板からのスペクトル観測を実証した。図2にマイクロPRS システムによるSi からのスペクトルの例を示す。本システムは、インラインでの欠陥形成モニターの可能性を示すものであり、また将来のプロセス設計の基礎データを提供するもの

である。

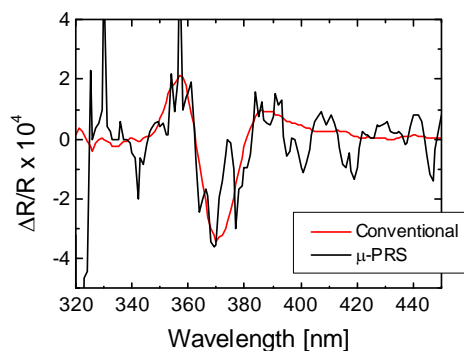


図2 マイクロPRSによるSiのスペクトル例 (詳細は雑誌論文に記載)

(2) 表面反応層形成過程モデリングの基盤構築:

分子動力学計算(MD)を用いて、原子種による構造変化の違いをモデル化した。また、欠陥解析コードを用いた欠陥構造モデルによって、前述した欠陥の深さ方向の違い、表面変質層の除去効率の違いを明らかにした。さらに、それらの誘電率 (=電気容量 C) 変化の違いと形成された欠陥数を 1/C² 法を用いて明らかにした。一方、実プロセスを想定した局所欠陥構造回復過程の微視的モデル化のための実験にも着手した。プラズマ処理で形成される変質層の回復過程は、従来の熱処理パラメータのうち、時間や総熱量よりも温度が支配的である事実を実験的に検証した。

平成25年度は、これまでの結果の再現性確認とともに、以下の結果を得た。

(1) マイクロPRSの追加実証、欠陥回復過程・新材料へのPRSの展開、欠陥回復のためのプロセス設計手法の提案:

マイクロPRSによって、実プロセスを想定したインラインモニターの可能性を、キャピラリープレートを用いて実証した。PRSによる微小領域の測定については、これまでその可能性を示したものもあったが、プラズマに暴露したSi 表面に対するものはなかった。本研究成果によって、インラインモニターとしてのPRSの可能性を実証することができた。一方、現在の実プロセスでは、Si 基板中に形成された欠陥を回復させるために、高速熱処理が行われている。我々は、熱プラズマ処理も加えた、様々なプロセスに対して、消費電力を増大させる局所的欠陥構造の回復過程を、PRSならびに1/C²法を用いて解明した。例えば、半導体製造工程の1つであるイオン注入プロセスで形成されるSi 表面層の欠陥は、高速熱処理法によってある程度回復させている。我々は、プラズマ暴露によって形成される表面5nm程度の領域における局所欠陥構造の回復プロセス設計指針が、従来の熱処理プロセス設計指針とは異なることを1/C²法によって明らかにした。また、PRSや他の光学的手法を用いて、高温熱プラズマ処理に

よっても、局所欠陥構造の回復が実現できることも実証した。高温熱プラズマ処理での回復過程は、前記の「温度が支配的である」という実験結果を合致するものである。これらの成果によって、低消費電力型デバイス実現には、熱処理プロセス設計が重要であることを明らかにした。さらに、これら技術の新材料への応用展開として、Si 基板上への窒化ホウ素 (BN) 膜形成時における欠陥形成機構解明にも着手した。Si 基板表面への欠陥形成量を最適化することで、大気暴露による膜剥離を防止できることがわかった。BN 膜は、超高硬度コート膜をはじめとするさまざまな応用展開が期待されている。本研究成果は、今後の膜形成プロセス設計への応用を加速するものである。

(2) 計算コードの3次元構造への展開と課題抽出：

2013年はじめに、新しい低消費電力型デバイスとして、3次元構造のトランジスタ (FinFET) が量産化された。FinFET のチャネル部分 (デバイス動作速度・消費電力を決定する部分) は、プラズマプロセスによって形成される。我々はこのFin構造に形成プロセスに着目し、当初の研究計画を修正し、その計算コード作成に注力した。3次元Fin構造形成時の表面反応層形成過程モデリングについては、計算コード (分子動力学法、欠陥形成コード) の改良を進めた。その結果、プラズマプロセス中の入射イオンの特徴的な振る舞いによる以下の課題を明らかにした。すなわち、プラズマとデバイスとの境界領域で加速されるイオンは、基板表面にほぼ垂直に入射する。しかし入射したイオンは、基板中の統計的な散乱過程によって、その運動量方向が水平方向 (= 入射方向と異なる方向) に変化する。その結果、プラズマに直接暴露されていないFinと呼ばれる部分にも欠陥が形成される。その様子を図3に示す。

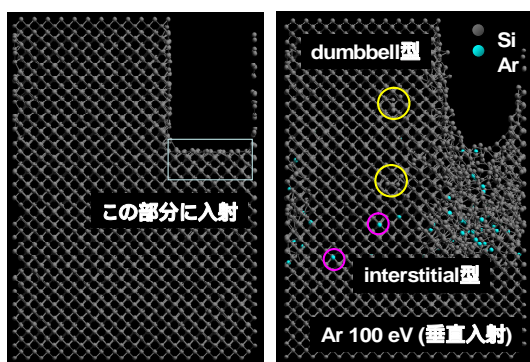


図3 3次元構造における欠陥形成の例

また、そのメカニズムは、イオンのエネルギーのみならず、平面型トランジスタの場合よりも、よりイオンの質量の影響を受けることがわかった。さらに特徴的な欠陥構造が、「Interstitial型」あるいは「dumbbell型」を中心とするものであることを明らかにし、量子化学計算から、電子の状態密度を変化さ

せることも明らかにした。つまり、上記の欠陥構造は電子デバイスの消費電力を増大させるものであると言える。これらの成果は、将来の3次元構造デバイスの低消費電力化に向けた統合的 (プラズマ) プロセス設計の基礎データとなる。

今後、極低消費電力デバイス実現のための統合的 (プラズマ) プロセス設計手法の構築を進める。

5. 主な発表論文等

[雑誌論文] (計7件)

K. Eriguchi, A. Matsuda, Y. Takao, K. Ono, "Effects of straggling of incident ions on plasma-induced damage creation in "fin"-type field-effect transistors", Jpn. J. Appl. Phys. 53, 03DE02 (2014), doi:10.7567/JJAP.53.03DE02, 査読有り.

M. Noma, K. Eriguchi, Y. Takao, N. Terayama, K. Ono, "Improved hardness and electrical property of c-BN thin films by magnetically enhanced plasma ion plating technique", Jpn. J. Appl. Phys. 53, 03DB02 (2014), doi:10.7567/JJAP.53.03DB02, 査読有り.

T. Okumura, K. Eriguchi, M. Saitoh, H. Kawaura, "Annealing performance improvement of elongated inductively coupled plasma torch and its application to recovery of plasma-induced Si substrate damage" Jpn. J. Appl. Phys. 53, 03DG01 (2014), doi:10.7567/JJAP.53.03DG01, 査読有り.

A. Matsuda, Y. Nakakubo, Y. Takao, K. Eriguchi, K. Ono, " μ -Photoreflectance Spectroscopy for Microscale Monitoring of Plasma-induced Physical Damage on Si Substrate", Jpn. J. Appl. Phys. 53, 03DF01 (2014), doi:10.7567/JJAP.53.03DF01, 査読有り.

M. Kamei, Y. Takao, K. Eriguchi, K. Ono, "Effects of plasma-induced charging damage on random telegraph noise in metal-oxide-semiconductor field-effect transistors with SiO₂ and high-k gate dielectrics", Jpn. J. Appl. Phys. 53, 03DF02 (2014), doi:10.7567/JJAP.53.03DF02, 査読有り.

K. Eriguchi, M. Kamei, Y. Takao, K. Ono, "High-k MOSFET performance degradation by plasma process-induced charging damage", 2012 IEEE International Integrated Reliability Workshop Final Report, pp. 80-84 (2012), doi:10.1109/IIRW.2012.6468925, 査読有り.

K. Eriguchi, M. Kamei, Y. Takao, K. Ono, "Analytic Model of Threshold Voltage Variation Induced by Plasma Charging

Damage in high-k Metal-Oxide-Semiconductor Field-Effect Transistor", Jpn. J. Appl. Phys. 50, 10PG02 (2011), doi:10.1143/JJAP.50.10PG02, 査読有り.

[学会発表](計26件)

江利口浩二, "Fin型トランジスタ加工におけるプラズマ誘起Si基板ダメージ形成モデル"第168回研究会(主催:応用物理学会シリコンテクノロジー分科会), 2014年2月14日, 東京(東京大学).

M. Noma, K. Eriguchi, S. Hasegawa, M. Yamashita, Y. Takao, N. Terayama, K. Ono, "Impacts of plasma process parameters on mechanical properties of c-BN thin-films", The 8th Int. Conf. Reactive Plasmas / 31st Symp. Plasma Processing, 5B-AM-02 (Feb. 5th, 2014).
亀井政幸, 江利口浩二, 鷹尾祥典, 釜高 二, "プラズマチャージングダメージによる MOSFET ランダムテレグラフノイズ (RTN)特性の変動", 第61回応用物理学会春季学術講演会, 2014年3月19日, 青山学院大学相模原キャンパス.

江利口浩二, 深沢正永, 鷹尾祥典, 辰巳哲也, 釜高 二, "プラズマ誘起 Si 基板ダメージの熱処理回復過程の検討(1)", 第61回応用物理学会春季学術講演会, 2014年3月19日, 青山学院大学相模原キャンパス.

K. Eriguchi, A. Matsuda, Y. Takao, K. Ono, "Molecular dynamics simulation of plasma-induced Si substrate damage: Latent defect structures and bias-frequency effects", The 66th Annual Gaseous Electronics Conference (GEC), NR2-3, Bull. Am. Phys. Soc. 58(8) p. 96, Oct. 3rd, 2013, Princeton, New Jersey.

A. Matsuda, Y. Nakakubo, M. Fukasawa, Y. Takao, K. Eriguchi, T. Tatsumi, K. Ono, "Effects of Plasma-Induced Si Damage Structures on Annealing Process Design-Gas Chemistry Impact", AVS 60th International Symposium & Exhibition, Oct. 28th, 2013, the Long Beach Convention Center, California, USA.

A. Matsuda, Y. Nakakubo, Y. Takao, K. Eriguchi, K. Ono, "Atomistic simulations of plasma process-induced Si substrate damage - Effects of substrate bias-power frequency", IEEE Proc. Int. Conf. on Integrated Circuit Design & Technol. (ICICDT), pp. 191-194 (2013), Italy.

K. Eriguchi, A. Matsuda, Y. Takao, K. Ono, "Scenario of plasma-induced physical damage in FinFET-the effects of "stragglings" of incident ions by a

range theory-", Proc. 35th International Symposium on Dry Process (DPS), pp. 181-182 (2013), Jeju, Korea.
M. Fukasawa, A. Matsuda, Y. Nakakubo, S. Sugimura, K. Nagahata, Y. Takao, K. Eriguchi, K. Ono, T. Tatsumi, "Comprehensive Evidence-based Guidelines for Annealing Plasma-damaged Si Substrates-Impact of plasma process conditions-", Proc. 35th International Symposium on Dry Process (DPS), pp. 183-184 (2013), Jeju, Korea.
M. Kamei, Y. Takao, K. Eriguchi, K. Ono, "Impacts of Plasma-induced Charging Damage on Random Telegraph Noise (RTN) Behaviors in MOSFETs with SiO₂ and High-k Gate Dielectrics", Proc. 35th International Symposium on Dry Process (DPS), pp. 185-186 (2013), Jeju, Korea.
A. Matsuda, Y. Nakakubo, Y. Takao, K. Eriguchi, K. Ono, " μ -Photoreflectance spectroscopy for microscale monitoring of plasma-induced physical damage", Proc. 35th International Symposium on Dry Process (DPS), pp. 9-10 (2013), Jeju, Korea.

M. Noma, K. Eriguchi, Y. Takao, N. Terayama, K. Ono, "Improved hardness and electrical property of c-BN thin films by magnetically enhanced plasma ion plating technique", Proc. 35th International Symposium on Dry Process (DPS), pp. 39-40 (2013), Jeju, Korea.
T. Okumura, K. Eriguchi, M. Saitoh, H. Kawaura, "Recovery of Plasma-Induced Si Substrate Damage Using Atmospheric Thermal Plasma" Proc. 35th International Symposium on Dry Process (DPS), pp. 41-42 (2013), Jeju, Korea.
K. Eriguchi, "Modeling as a powerful tool for understanding surface damage during plasma processing of materials", Plasma Etch and Strip in Microtechnology (PESM), March 15, 2013, Leuven, Belgium.

K. Eriguchi, "High-k MOSFET performance degradation by plasma process-induced charging damage", IEEE International Integrated Reliability Workshop (IIRW), Fallen Leaf Lake, USA, Oct. 14, 2012.

K. Eriguchi, Y. Nakakubo, A. Matsuda, M. Kamei, Y. Takao, K. Ono, "Optimization problems for plasma-induced damage - A concept for plasma-induced damage design", IEEE Proc. Int. Conf. on Integrated Circuit Design & Technol. (ICICDT), pp. 1-4 (2012), Austin, Texas.

A. Matsuda, Y. Nakakubo, M. Fukasawa,

Y. Takao, T. Tatsumi, K. Eriguchi, K. Ono, "Three-Dimensional Parameter Mapping of Annealing Process for HBr/O₂-Plasma- Induced Damages in Si Substrates", Proc. 34th International Symposium on Dry Process (DPS), pp. 181-182 (2012), Tokyo.

江利口浩二, "ナノスケールデバイスのためのプラズマプロセス"プラズマ・核融合学会 第24回専門講習会『ナノテク時代のプラズマ技術』, 2012年1月12日, 京都工芸繊維大学, pp. 34-55.

松田朝彦, 中久保義則, 鷹尾祥典, 江利口浩二, 斧高一, "温度制御型フォトリフレクタンス分光法を用いたプラズマ誘起Si基板ダメージの定量化とそのプロファイル解析", 電子情報通信学会 シリコン材料・デバイス研究会(IEICE-SDM), 2012年10月25日, 東北大学.

中久保義則, 松田朝彦, 深沢正永, 鷹尾祥典, 江利口浩二, 辰巳哲也, 斧高一, "Hを含むプラズマによるSi基板ダメージ構造とその回復プロセスについての検討", 2012年秋季 第73回 応用物理学会学術講演会, 2012年9月12日, 愛媛大学.

⑳ K. Eriguchi, Y. Takao, K. Ono, "A New Prediction Model for Effects of Plasma-Induced Damage on Parameter Variations in Advanced LSIs", IEEE Proc. Int. Conf. on Integrated Circuit Design & Technol. (ICICDT), pp. 94-97 (2011), May 4th, 2011, Kaohsiung, Taiwan.

㉑ A. Matsuda, Y. Nakakubo, Y. Takao, K. Eriguchi, K. Ono, "Defect Profiling Using a Wet-Etch Technique and Photoreflectance Spectroscopy for He- and Ar-Plasma-Damaged Si Substrate", Proc. 33rd International Symposium on Dry Process (DPS 2011), pp. 159-160 (2011), Nov. 11th, 2011, Kyoto.

㉒ 江利口浩二, 中久保義則, 松田朝彦, 鷹尾祥典, 斧高一, "物理的プラズマダメージによるMOSFETバラツキ増大予測のための包括モデル", シリコン材料・デバイス研究会(SDM), 2011年10月21日, 東北大学. pp.73-78.

㉓ 中久保義則, 江利口浩二, 松田朝彦, 鷹尾祥典, 斧高一, "電気的手法を用いた物理的Si基板ダメージのプラズマプロセス依存性の検討", シリコン材料・デバイス研究会(SDM), 2011年10月21日, 東北大学, pp.79-84.

㉔ 江利口浩二, "プラズマ誘起ダメージ", Plasma Conference 2011, 2011年11月24日, 金沢.

㉕ K. Eriguchi, "Modeling of Parameter Fluctuation Induced by Plasma Process Damage in Metal-Oxide-Semiconductor Field-Effect Transistors", 19th Asia-Pacific Workshop on Fundamentals

and Applications of Advanced Semiconductor Devices (AWAD), Daejeon, Korea, Jun. 29th, 2011, pp. 1-4.

〔図書〕(計1件)

K. Eriguchi, "Molecular Dynamics - Studies of Synthetic and Biological Macromolecules", pp. 221-244, "Application of Molecular Dynamics Simulations to Plasma Etch Damage in Advanced Metal-Oxide-Semiconductor Field-Effect Transistors" (分担執筆) (Lichang Wang (Ed.)), ISBN 978-953-51-0444-5, (InTech, 2012).

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

ホームページ等

<http://www.propulsion.kuaero.kyoto-u.ac.jp/>

6. 研究組織

(1) 研究代表者

江利口 浩二 (ERIGUCHI KOJI)

京都大学・大学院工学研究科・准教授

研究者番号: 70419448

(2) 研究分担者

斧 高一 (ONO KOUICHI)

京都大学・大学院工学研究科・教授

研究者番号: 30311731

鷹尾 祥典 (TAKAO YOSHINORI)

京都大学・大学院工学研究科・助教

研究者番号: 80552661

(3) 連携研究者 なし