

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 2 日現在

機関番号：22604

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23500063

研究課題名(和文) レイアウト情報を用いたSOC市場不良率予測の高精度化手法に関する研究

研究課題名(英文) Highly Accurate Defect Level Estimation of SOC Chips Based on Its Layouts

研究代表者

岩崎 一彦 (Iwasaki, Kazuhiko)

首都大学東京・学術情報基盤センター・教授

研究者番号：40232649

交付決定額(研究期間全体)：(直接経費) 4,100,000円、(間接経費) 1,230,000円

研究成果の概要(和文)：従来見逃されていた配線系の故障を検出するVLSIのテスト手法を検討した。VLSIチップのセル間配線、コンタクトおよびビアに生じる故障を対象として、クリティカルエリア情報に基づく重み付き欠陥カバレッジ(WFC: Weighted Fault Coverage)を提案した。この尺度を用いて、目標とする信頼性を維持しつつテストパターンを圧縮する技術を開発した。

3重冗長化手法は、従来、システムの信頼性向上のために用いられてきた。本研究では、パイプライン構成プロセッサの歩留り向上と市場不良率改善へ適用した。

研究成果の概要(英文)：A test method is developed to detect faults occurred at the wires in VLSI chips, which are not considered in the previous work. Targeting at the defects at wires, contacts, and vias, the weighted fault coverage (WFC) is proposed. Based on the criteria a new technique is presented to compress test pattern lengths while maintaining the defect level.

Triple module redundancy (TMR) has been used to improve system reliability, and the technique is applied to a pipelined processor to enhance the yield and defect level.

研究分野：1003A

科研費の分科・細目：情報学 計算機システム・ネットワーク

キーワード：集積回路 市場不良率 VLSIテスト レイアウト情報 故障カバレッジ TMR

1. 研究開始当初の背景

半導体の微細化とともに、量産選別工程で良品と判断されたチップが市場で不良となつて返品されること。テストエスケープが問題となっている。その原因は、半導体技術が45nm以下に微細化され配線に起因する故障を十分には検出できないからとされている。例えば、Cisco社ではテストエスケープ品を詳細に調査したところ、その原因の約半分は配線材料の不完全充填が引き起こす物理欠陥による遅延故障であった。従来からの遅延故障モデルだけではVLSIチップの信頼性を十分に確保することはできない。

一方で、従来の故障カバレッジから求めた市場不良率が実際の返品率よりも大幅に小さいという現実との乖離も問題となっている。つまり、より複雑な故障モデルを構築し、それに対して過剰にテストしている可能性がある。現実的に有効な市場不良率を得るためには、従来からの様々な故障モデルに対してより高い故障カバレッジを達成すれば良いとは限らない。

また、VLSIチップの製品寿命が短くなっており、早期に歩留りを改善しなければならないという課題もある。一定程度製造欠陥が存在することを許容し、その欠陥をマスクする技術を検討すべき段階にある。

2. 研究の目的

本研究の目的は、従来見逃されていた配線系の故障を検出する手法を考案することである。このテスト手法は微細化プロセスの現象をより現実的に反映するものである。VLSIのセル間配線、コンタクトおよびビアに生じる故障を対象として、クリティカルエリア (CA: Critical Area) 情報に基づく重み付き欠陥カバレッジ (WFC: Weighted Fault Coverage) を提案する。この尺度を用いてより正確な市場不良率を得る。同時に、目標とする市場不良率を維持しつつテストパターンを圧縮する技術も期待できる。

3 重冗長化 (TMR: Triple Module Redundancy) 手法は、従来、システムの信頼性向上のために用いられてきた。本研究では、パイプライン構成プロセッサの歩留り向上と市場不良率改善へ応用する。すなわち、3重化することによってチップ面積は3倍に増加するが、マスクされる欠陥もあり歩留りは向上する。面積と歩留りはトレードオフの関係にあり、特に欠陥密度が高い場合、すなわちプロセスの立ち上げ段階で、有効な手法となりうることを示す。

上記の諸計算には膨大な時間を要することがある。適切な間隔でチェックポイントを保存することが望まれるので、この点からも検討を実行する。

3. 研究の方法

上記研究を進めるため、表1に示すベンチマーク回路 (ISCAS85の8個、ISCAS89の27個) に対してレイアウト設計を実施した。用いたセルライブラリはNANGATE 45nm open cell libraryである。レイアウトの条件は以下の通りである。

- ・配置の利用率 70%
- ・クロック優先
- ・配線混雑度を緩和する最適化
- ・ビアの冗長化

表1 ベンチマーク回路

ISCAS85	ISCAS89			
c880	s27	s298	s344	s349
c1355	s382	s400	s420	s444
c1980	s510	s526a	s641	s713
c2670	s820a	s832a	s838	
c3540	s953a	s1196b	s1238a	
c5315	s1423a	s1488	s5378a	
c6288	s9234a	s13207a	s15850a	
c7552	s35932	s38471	s38584	

本研究で用いるデータはレイアウトに依存するため、以下では上記レイアウトに基づくデータを

LN45-c/s 回路番号と表記することにする。

4. 研究成果

(1) クリティカルエリアの算出

図1は半導体チップ上のブリッジ欠陥CAの一例を示している。配線Aと配線B間に粒径rの導電性異物が生じた場合にブリッジ欠陥を生じ、欠陥を生じる異物の中心面積をCAと呼ぶ。図中の灰色の部分CAに相当する。

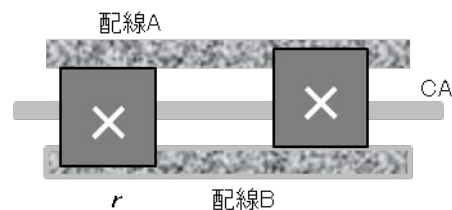


図1 クリティカルエリア (CA: Critical Area)

粒径rの欠陥の発生確率d(r)は、式

$$d(r) = r^{-x}$$

に従うことが経験的に知られている。係数xは1 < x < 3程度とされている。まず、0.05 μm, 0.1 μm, 0.2 μm, 0.4 μm, 0.8 μm, 1.6 μmの6通りの欠陥粒径に対して個別にクリティカルエリアを算出した。LN45-s9234a に対す

る結果を図2に示す。例えば、粒径 $r = 0.2\mu\text{m}$ に対し $4\mu\text{m}^2$, $30\mu\text{m}^2$ の大きさの CA はそれぞれ約 3,300 個, 約 300 個生じている。同様に、粒径 $r = 0.4\mu\text{m}$ に対し $4\mu\text{m}^2$, $30\mu\text{m}^2$ の大きさの CA はそれぞれ約 200 個, 約 2,700 個生じている。粒径が大きくなるほど生じる CA のピークが右にシフトしている。より大きな粒径に対してより大きな CA が生じやすいためである。

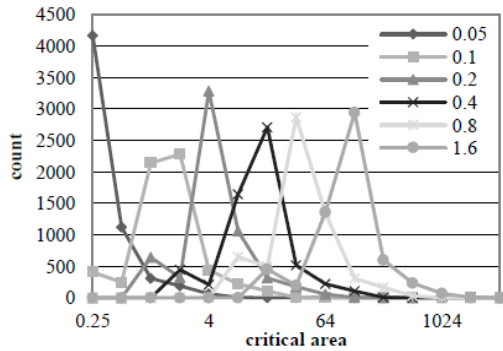


図2 LN45-s9243aにおけるクリティカルエリア CA の度数分布

一方、より粒径の小さい異物はより多く生じる。すなわち、図2で示される CA に対して発生頻度を考慮して CA の影響を考えなければならない。そこで前記6個の欠陥粒径に対してそれぞれ $1/x$ 乗して加重平均し、欠陥粒径分布を考慮した CA を求めた。しかし、CA の計算には膨大な手間が必要であり、できれば計算する粒径の数を減らすことが望ましい。

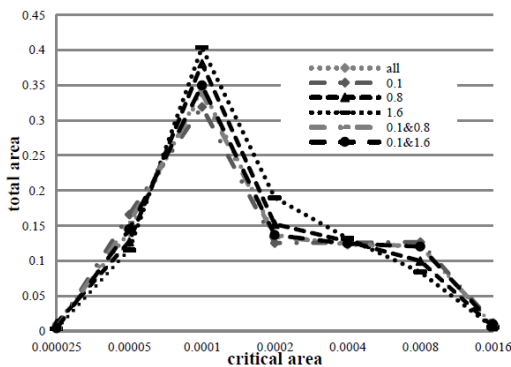


図3 LN45-s5378aの各信号線における配線オープン欠陥クリティカルエリア CA およびピアオープン欠陥クリティカルエリア CA

図3に、LN45-s9243に対するオープン欠陥の発生頻度を考慮した CA の分布を示す。Allで示されている破線は、 $0.05\mu\text{m}$, $0.1\mu\text{m}$, $0.2\mu\text{m}$, $0.4\mu\text{m}$, $0.8\mu\text{m}$, $1.6\mu\text{m}$ の6通りに対して $1/x$ 乗して加重平均を求めた値である。これに対して、1個あるいは2個の粒径に対して計算

を実行した。その結果、 $0.1\mu\text{m}$ と $1.6\mu\text{m}$ を組み合わせたものが比較的近い値を示している。他の組合せも遜色ないと言える。すなわち、CA の計算には長大な時間が必要であるが、代表するいくつかの粒径に対して CA を求めることによって良い近似が得られることを示している。言い換えると、精度を落とすことなく計算の手間を大幅に減らすことができる。

(2) ネットリストからの CA 予測

実際のレイアウトを用いずに各故障の CA を推定することによって、設計の早期段階でのテストパターン生成が可能となると期待できる。本研究では、論理構造に基づく指標を算出し、実際のクリティカルエリアとの相関について評価をした。

対象回路のネットリストにおいて、各信号線(ゲート出力)に対して下記のパラメータを抽出し、レイアウトから得られたクリティカルエリアの値との相関を調べた。

- ・ゲートのファンイン数, ファンアウト数
- ・入力/出力ポートからの最大/最小段数
- ・ネットリスト内の行位置
- ・到達可能な入力/出力ポート数

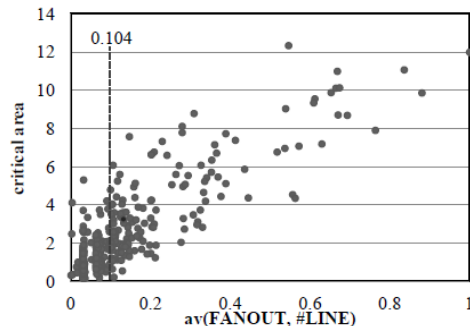


図4 LN45-c1355におけるファンアウト数およびネットリスト上の距離とオープン欠陥クリティカルエリア CA

ゲートのファンアウト数とネットリスト内の行位置を考慮した評価指標を $\text{av}(\text{FANOUT}, \#\text{LINE})$ と表すことにする。ベンチマーク回路 LN45-c3540 に対するこの指標とオープン欠陥 CA の関係を図4に示す。相関係数は 0.88 である。ネットリスト上のファンアウト数あるいはネットリスト上で離れたノードを配線する場合に、当該部分の CA が大きくなる。 $\text{av}(\text{FANOUT}, \#\text{LINE})$ の平均値は 0.104 であった。 $\text{av}(\text{FANOUT}, \#\text{LINE})$ の値が平均以上となった信号線は、514 本中 145 本であった。一方、これら 145 本の信号線に対するクリティカルエリアの総和は、全体の約 62% となった。すなわち、上記以外の指標、ゲートのファンイン数、入力/出力ポートからの最大/最小段数、到達可能な入力/出力ポート数については顕著な相関は見られなかった。

図 5 に、LN45-s5378a の各信号線における配線オープン欠陥 CA およびビアオープン欠陥 CA を示す。横軸は各信号線の番号を表しオープン欠陥 CA が大きい順に並べてあり、灰色の実線で表されている。左側の縦軸はオープン欠陥 CA であり、右側の縦軸はビア欠陥 CA を表す。ダブルビアに欠陥が生じる可能性は無視できると考えた。横軸に重なっている点は当該配線にセル間配線のビアがないか或いはダブルビアとなっていることを示している。セル内のビアおよびコンタクトに生じる欠陥については、従来からのセル故障として検出できるので、本研究の対象外とした。

図 5 から、長い配線はより多くのビアを持つことが分かる。配線オープンとビアオープンは同じテストパターンで検出できるので、オープン欠陥をより多く検出することでビア欠陥検出向上につながる。

ネットリストから CA を予測できれば、設計の早期にテストパターン生成を実行でき、設計期間の短縮にもつながる。

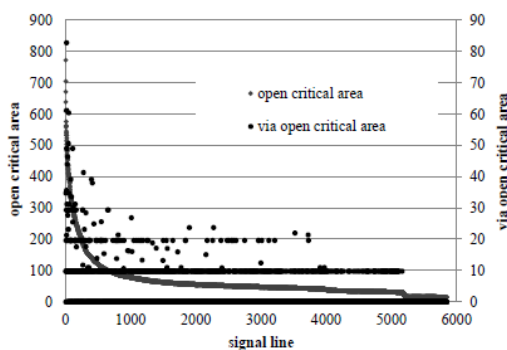


図 5 LN45-s5378a におけるオープン欠陥クリティカルエリア CA とビア数

(3) 重み付き故障カバレッジ

与えられたテストパターンセットに対する故障カバレッジをより高精度に見積もる手法について検討した。得られた CA から、ブリッジ故障に対して、各故障の発生頻度に基づく重み付き故障カバレッジを導出する。故障モデルとして、AND 型/OR 型ブリッジ故

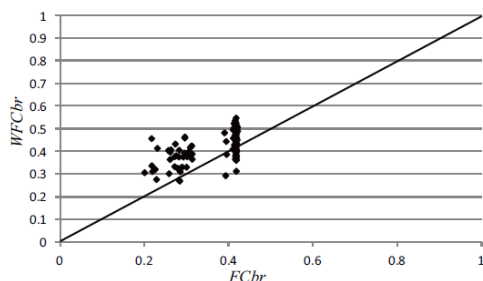


図 6 LN45-c1355 におけるブリッジ故障カバレッジおよび重み付きブリッジ故障カバレッジ導出結果 (1 パターン毎)

障モデルを想定した。各回路に対して以下を求めた。

- ・縮退故障カバレッジ：FCs
- ・重みなしブリッジ故障カバレッジ：FCbr
- ・重み付きブリッジ故障カバレッジ：WFCbr

また、より少ないパターン数で高い重み付きブリッジ故障カバレッジを達成するため、テストパターンの並べ替えについても検討を実行した。

図 6 に、LN45-c1355 における 1 パターン毎の故障カバレッジの算出結果を示す。あるパターンに対して、重みなしブリッジ故障カバレッジ FCbr を横軸として、重み付きブリッジ故障カバレッジ WFCbr を縦軸としてプロットしたものである。LN45-c1355 ではテストパターン 97 個のうち、77 パターンで WFCbr > FCbr となった。また、WFCbr と FCbr との差は最大で 0.24 であった。すなわち、図 6 において、左上に位置するテストパターンから順番に投入することにより、重み付き故障カバレッジ WFCbr をより早く向上させることができる。

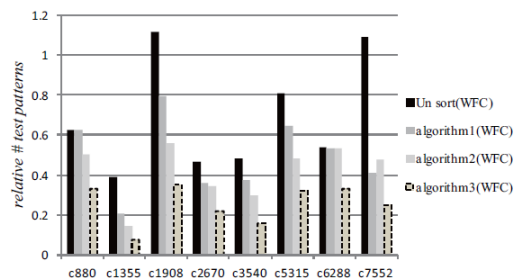


図 7 各ベンチマーク回路における並べ替えアルゴリズム適用後の WFCbr99%達成パターン数 (FCbr99%に対する相対値)

図 7 に、カバレッジの目標値を 99%とした場合の重みなしおよび重み付き故障カバレッジの相対値を示す。例えば、欲張り法 (アルゴリズム 3) による並べ替えを実行することにより、テストパターン長 LN45-c1355 に対しては約 1/10 に、LN45-c7552 に対しては約 1/3 に減少した。

重み付きブリッジ故障カバレッジを対象としてテストパターンの並べ替えすることにより、今回実験を行った全ての回路において、目標故障カバレッジ 95%および 99%を達成するためのテストパターン数を削減できた。特に、欲張り法 (アルゴリズム 3) を適用した場合、全ての回路においてテストパターン数を 50%以上削減した。

(4) TMR を用いた歩留り改善

パイプラインプロセッサのステージ毎に TMR を適用し、開発初期段階の歩留り及び欠陥レベルが改善されることを示した。

各ステージの内部構造として、本研究では図 8 に示す 12 種類の構造を考える。構造(1), (2), および(3)では、モジュールは 1 個だけであり、TMR 構成とはなっていない。上記以外の構造(4) - (12)においてはモジュールが 3 重化されており、構造(4) - (9)および構造(11) - (12)では 1 個以上のポータ備えている。ポータは 3 個のモジュールの出力を比較し、2 個以上のモジュールからの結果が一致すればそれを出力し、一致しなければエラー信号を出力する。

歩留りおよびチップ面積の両方を考慮した製造コストの尺度として、良品 1 チップ当り面積 (APY: Area Per Yield) を導入した。12 通りの可能なステージ構造を考慮し、良品 1 チップ当り面積と欠陥レベルを変数に持つ評価関数を最大化するようなパイプライン構成を、遺伝的アルゴリズム (GA: Genetic Algorithm) を用いて探索した。探索結果から、元のチップの歩留りが低い場合に、TMR の適用によって歩留り、良品 1 チップ当り面積、欠陥レベルが改善されることを示した。

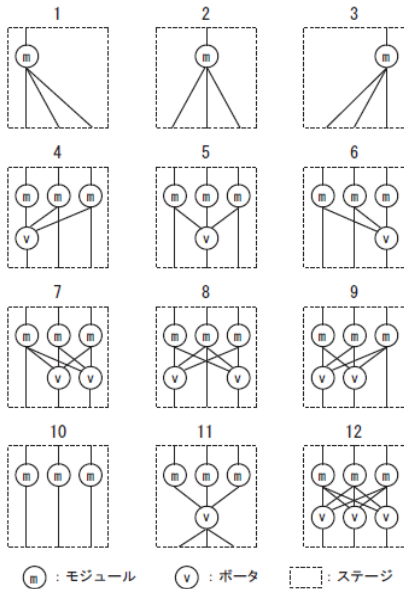


図 8 パイプラインプロセッサの各ステージにおける検討対象とした TMR 構成

図 9 に、良品 1 チップ当り面積の計算結果を示す。n = 20 において欠陥密度 0.1 から 1.5 の範囲では、冗長化していない元のチップの方が低い良品 1 チップ当り面積を示した。一方、欠陥密度が 1.5 を越えると TMR 化した方が良品 1 チップ当り面積が有利となっている。このことから、TMR の適用は元のチップの歩留りが低い場合に、製造コストの観点から有効である。

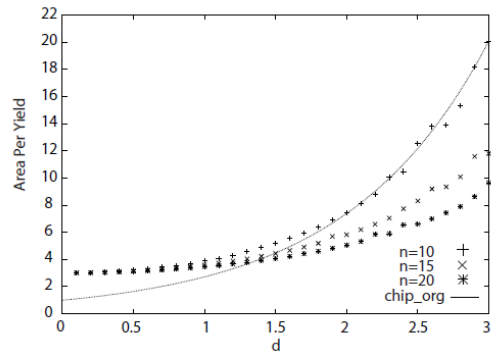


図 9 TMR を用いたパイプラインプロセッサにおける欠陥密度と良品 1 チップ当り面積

(5) チェックポインティング

CA の計算および故障シミュレーションには膨大な計算時間を必要とする。適切なチェックポイントを保存しながら計算を実行することが現実的である。

一定の時間間隔ごとにチェックポイントを作成し、有限個のチェックポイントデータを保持するようなハイブリッドステートについて検討した。ロールバック距離分布の観点から効果的なチェックポイント時間配列を実現するチェックポイント空間の再利用手法を提案した。本来の最適なチェックポイント間隔を設定できない場合、ロールバック距離分布を考慮しない手法と比較して、提案手法はより少ないオーバーヘッドを達成することを数値例により示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1 件)

R. Suzuki, M. Ohara, M. Arai, S. Fukumoto, and K. Iwasaki, "Checkpoint Time Arrangement Rotation in Hybrid State Saving with a Limited Number of Periodical Checkpoints," IEIEC Trans. Inf.&Syst., Vol. E96-D, No. 1, pp. 141-145, Jan. 2013.

[学会発表](計 18 件)

新井雅之, 岩崎一彦, "パイプラインプロセッサ向けカスケード TMR の欠陥レベル評価に関する一考察," 電子情報通信学会コンピュータシステム研究会, 電子情報通信学会ディペンダブルコンピューティング研究会, CPSY2011-6, DC2011-6, pp. 29-34, 2011 年 4 月.

福本聡, 新井雅之, 原慎哉, 岩崎一彦, "ランダムパターンテストにおける故障検出率分布に関する考察," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2011-6, pp. 1-4, 2011 年 6 月.

M. Arai and K. Iwasaki, "Area Per Yield and Defect Level of Cascaded TMR for Pipelined Processors," International Test Conference (ITC), Poster 27, Sept. 2011.

M. Arai, and K. Iwasaki, "Area-Per-Yield and Defect Level of Cascaded TMR for Pipelined Processors," Pacific Rim International Symposium on Dependable Computing (PRDC), pp. 264-271, Dec. 2011.

新井雅之, 井出創, 岩崎一彦, "パイプラインプロセッサ向けカスケード TMR における遺伝的アルゴリズムを用いた構成探索," 電子情報通信学会コンピュータシステム研究会, CPSY2011-94, 電子情報通信学会ディペンダブルコンピューティング研究会, DC2011-98, pp. 211-217, 2012年3月.

新井雅之, 清水貴弘, 岩崎一彦, "レイアウトを考慮したブリッジ/オープン故障カバレッジの高精度見積法," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2012-13, pp. 27-32, 2012年6月.

M. Arai, Y. Shimizu, and K. Iwasaki, "Note on Layout-Aware Weighted Probabilistic Bridge Fault Coverage," Asian Test Symposium (ATS), pp. 89-94, Niigata, Nov. 2012.

清水貴弘, 新井雅之, 岩崎一彦, "クリティカルエリア解析に基づく故障カバレッジ見積りに関する一考察," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2012-82, pp. 13-18, 2013年2月.

M. Arai and K. Iwasaki, "Layout-Aware Weighted Bridge/Open Fault Coverage Considering Multiple Defect Sizes," International Test Conference (ITC), Poster 8, Sept. 2013.

M. Arai, Y. Nakayama, and K. Iwasaki, "Note on Test Pattern Reordering for Weighted Fault Coverage Improvement," Workshop on High-Level and RTL (WRTL), IV.1.F, Nov. 2013.

中山裕太, 新井雅之, 史紅波, 岩崎一彦, "異なる欠陥粒径とピアオープンを考慮した重み付き故障カバレッジに関する一考察," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2013-84, pp. 31-36, 2014年2月.

他7件

〔図書〕(計 1 件)

S. Nakamura, G. H. Qian, and M. Chen, edited, "Reliability Modeling with Applications," Chapter 11, M. Ohara, M. Arai, S. Fukumoto, and K. Iwasaki, "Hybrid Coordinated Checkpointing Techniques Using Incremental Snapshots," pp. 195-213, World Scientific, 2014.

〔産業財産権〕

なし

〔その他〕

なし

6. 研究組織

(1) 研究代表者

岩崎 一彦 (IWASAKI, Kazuhiko)

平成 23 年 4 月 1 日-平成 25 年 3 月 31 日
首都大学東京・システムデザイン学部・教授

平成 25 年 4 月 1 日-平成 26 年 3 月 31 日
同大学・学術情報基盤センター・教授
研究者番号：40232649

(2) 研究分担者

新井 雅之 (ARAI, Masayuki)

平成 23 年 4 月 1 日-平成 25 年 3 月 31 日
首都大学東京・システムデザイン学部・助教

平成 25 年 4 月 1 日-平成 26 年 3 月 31 日
日本大学・生産工学部・助教
研究者番号：10336521