

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 9 日現在

機関番号：32644

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23500068

研究課題名(和文) LSIの高速実動作テストを実現するテストパターン生成法に関する研究

研究課題名(英文) Research on the test pattern generation method which realizes the high-speed testing for LSI

研究代表者

浅川 毅 (Asakawa, Takeshi)

東海大学・情報理工学部・教授

研究者番号：00384850

交付決定額(研究期間全体)：(直接経費) 3,800,000円、(間接経費) 1,140,000円

研究成果の概要(和文)：高品質LSIテスト分野における効果的テスト手法の開発を目的として、高速機能テスト手法の提案とそれを実現するプロセッサアーキテクチャを開発した。提案プロセッサは、パターンの自由度が高い、拡張性に優れる、高速パターン生成が可能という特長を持ち実用性に優れる。提案プロセッサをハードウェア(FPGA)で構成し、実評価を行った結果、LSIテスターと同等の高速機能テストを行うことが確認された。機能テストはデバイスの受け入れテストに多く使われているため、この成果を発展させて低コストのテストシステムを開発することは非常に有意義である。ここでの成果を国内学会(3件)、国際会議(2件)にて発表を行った。

研究成果の概要(英文)：We proposed the high-speed functional test technique, and developed the processor architecture which realizes it. These purposes are development of the effective test technique in the quality LSI test field. The strong point of a processor is the high pliability and extendibility of high-speed pattern generation and a pattern. We evaluated by implementing a proposal processor in FPGA. The result showed the high-speed functional test performance equivalent to LSI tester. Since a functional test is used abundantly very much by the acceptance test of LSI, it is very important to advance this research and to develop a low cost test system. Research results of the two cases were presented at the international conference and the three cases were presented at the Japanese conference.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI 高速テスト テストパターン生成 LSIテスター

1. 研究開始当初の背景

(1) LSI 機能の複雑化に伴うテスト実行時の消費電力増加

LSI の製造・設計技術の向上に伴い、その回路規模は増大し機能は複雑化している。そのため、LSI テストに要する時間は増大しテストコストを押し上げている。これに対して、少ないテストパターンでより多くの故障を検出するための生成アルゴリズムが開発され、ATPG(Automatic Test Pattern Generation)技術として実用化されている。しかし、ATPG による決定論的テストパターンを使用するテストでは、LSI 内部のトランジスタ及び配線の状態遷移が極めて大きくなるため、テスト実行時の消費電力が通常使用時に比べて過大となり、歩留りを落とす問題がある。

(2) LSI 動作速度向上に伴うテストコスト増大

LSI の複雑さに加えて動作速度の向上に伴い、LSI テスタにはより一層の高速化が要求されている。しかし、LSI テスタは非常に高価なため、LSI の高速化とともに容易に買い換えるのは困難であり、LSI テスタ導入に伴う費用は、製造時の検査や品質検査を行うためのテストコストの増加の原因の1つとなっている。同様に LSI を使用するアセンブリメーカーやボードメーカーにおいては、受け入れテストの課題にもなっている。これら、テストコストの増加を抑えるための研究が行われている。既存の LSI テスタを用いて高速テストを行う手法として、LSI の内部にテスト回路を組込む BIST ( Built-In Self-Test ) 技術と、LSI と LSI テスタの間にテスト機能を構築する BOST ( Built-Out Self-Test) 技術がある。例えば、BIST にオンチップの PLL を組み込み、ASIC ( application specific integrated circuit ) 間の高速インターフェイス回路を at-speed テストで実現する方法やブロック毎にアナログ設計用と論理回路設計用のスキャンパス回路を挿入し、実時間で高速光通信向けのアナログ・デジタル混在回路を検査する BOST 手法が提案されている。また、TEG ( test element group ) を用いて高速で動作する入出力バッファをテストと CUT 間の BOST として構成し、高速にメモリマクロセルを検査する方法も提案されている。他のテストコスト削減手法として、特定の対象に特化したテスト手法が提案されている。パソコン向け DDR3 メモリモジュールのテストや評価向けに、DDR3 メモリ検査に特化した命令を備えるプロセッサを FPGA 上に構成し、LSI テスタを用いずに高速にテストを行う手法 やフラッシュメモリをテスト対象とする低コストの FPGA による基板再構成テストが提案されている。

2. 研究の目的

本研究では分割シフト型高速テストパターン生成手法に Gated Clock を適用させるこ

とにより消費電力の削減と高速性を実現する。このオリジナルなアイデアを BOST 機能に組み込み、効果的なテストパターン生成手法およびテスト手法を確立する。

(注釈：Gated Clock 手法は、クロック分割による部分動作により消費電力を下げる手法であり、近年の低消費電力電子機器に多く採用されている。)

(注釈：BOST ( Built Out/Off Self Test) とは LSI テスタと LSI との間にパターン生成や出力解析を行う機能 (回路) を加え、動作速度や機能の面で LSI テスタを補う手法)

3. 研究の方法

(1) テストパターン生成手法の開発

主研究者の提案している低消費電力のテストパターン生成手法をもとにして、パターン生成の自由度と高速化を備える手法に発展させる。市販の LSI テスタと試作ボードを用いて手法の有効性を評価する。

(2) テスト手法への発展

開発した手法でのテストを実施するため、高速テスト用プロセッサを開発する。ハードウェア記述言語で設計した機能をシミュレーションで検証しながら設計を進め試作を行う。

(3) 評価

提案するテスト手法を FPGA ( field programmable gate array) に実装して機能と特性の面より評価を行う。

4. 研究成果

(1) 主な成果

①テストパターン生成手法の提案

(高速かつ低消費電力パターン生成)

低消費電力志向の Gated Clock による分割クロックを使用し、自由度の高いパターンを高速に生成可能なテストパターン生成手法を提案した。図1にパターン生成の例を示す。

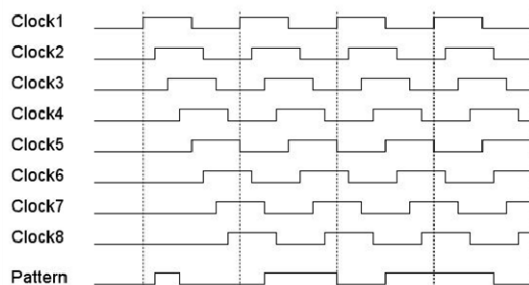


図1 パターン生成例

パターンデータの格納とパターン生成を同時にかつ高速に実現するため、メモリ部はデュアルポートメモリを採用した。構成を図2に、機能を表1に示す。

②テスト手法への発展

(高速機能テスト向けプロセッサの開発)

提案したパターン生成手法を核にして高速機能テスト向けプロセッサを開発した. 自由度のあるパターンを高速に印加出来る LSI 機能テストを実施可能とするため, 命令形態は VLIW (very long instruction word) 型のアーキテクチャを採用した. また, メインメモリには, 提案したテストパターン生成手法で用いたデュアルポートメモリ方式を用いた. 図 3 に開発したプロセッサの構成を示す. 拡張性に配慮して入出力単位でパターン生成部を構成した.

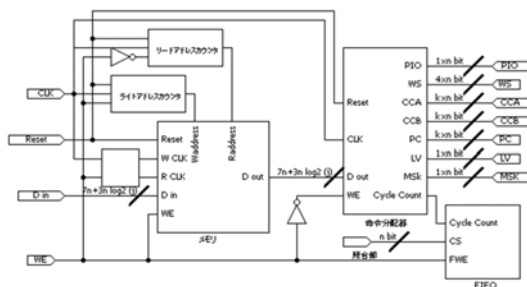


図 2 メモリの構成

表 1 メモリの機能

信号名	機能
Reset (reset)	1: メモリのリセット
WCLK (write clock)	メモリ書き込み時のクロック
RCLK (read clock)	メモリ読み込み時のクロック
WE (write enable)	0: メモリの書き込み許可 1: メモリの読み込み許可
D-in (data-in)	メモリへの入力
D-out (data-out)	メモリからの出力

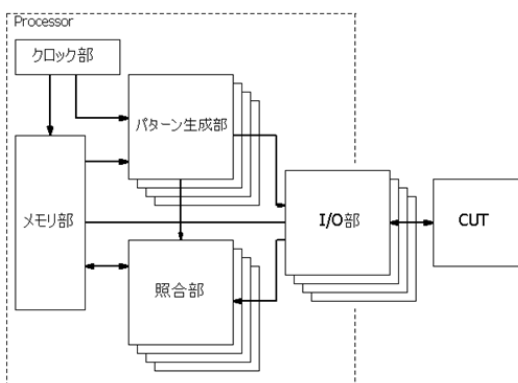


図 3 プロセッサの構成

プロセッサの命令表を表 2 に示す. 表では遅延クロック数が 8 の場合を想定している. PIO は I/O の入出力を決定する. WSA と WSB は出力論理値を決定し, CCA と CCB を組み合わせて CUT への印加パターンを生成する. 出力論理値は, ハイインピーダンスなどの拡張を考慮して 2bit で構成している. PC は照合タイミングを決定する. いずれもタイミング

の分解能はクロック部で生成される遅延クロック数に依存する. LV は期待値を設定し, 上位ビットが 0 の場合は, ドントケアとし, 1 の場合は下位ビットの値とする. これらの命令はサイクルごとに記述する. 命令構成及び命令長を表 3 に示す. 表では, I/O 数が  $n$  bit, 遅延クロック数が  $j$  の場合の 1 サイクル分の命令構成を示している.

表 2 プロセッサの命令

命令種	コード	機能
WSA(第 1 出力論理値)	0	I/O 部を入力設定にする
	1	I/O 部を出力設定にする
WSB(第 2 出力論理値)	01	出力論理値 0
	10	出力論理値 1
CCA(第 1 出力変化タイミング)	000	1 番目のクロックを選択
	001	2 番目のクロックを選択
CCB(第 2 出力変化タイミング)	010	3 番目のクロックを選択
	011	4 番目のクロックを選択
PC(照合タイミング)	100	5 番目のクロックを選択
	101	6 番目のクロックを選択
	110	7 番目のクロックを選択
	111	8 番目のクロックを選択
LV(期待値)	00	ドントケア
	01	"
	10	期待値を Low(0)に設定
	11	期待値を Hi(1)に設定

表 3 プロセッサの命令構成

PIO	WSA	WSB	CCA	CCB	PC	LV
$n$	$2n$	$2n$	$n \log_2 j$	$n \log_2 j$	$n \log_2 j$	$2n$

### ③プロセッサの評価

開発したプロセッサを FPG (Xilinx 社:XC3S700AN) に実装して評価を行った. 表 4 に論理合成結果を示す. FPGA から信号を取り出しロジックアナライザを使用してパターンとタイミングに関する評価を行った. 図 4 に実測波形の一部を示す. 評価の結果, プロセッサは 1 サイクル内に自由度の高いテストパターンを生成できる事が確認された. また, 測定のタイミングについても分割クロックから任意のクロックを選択し測定タイミングが生成できることを確認した.

表4 論理合成結果

	スライ ス	スライ ス FF	4 入 力 LUT
クロック部	4	8	2
TPG	74	32	144
PTG	116	193	-
I/O 部	5	-	16
メモリ部	299	170	528
total	393	326	883

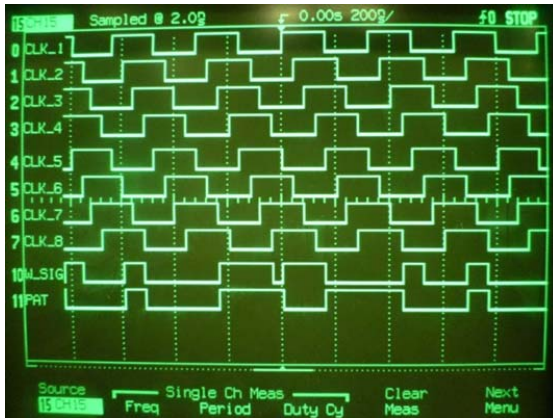


図4 実測波形（生成パターン信号）

(2) 得られた成果の国内外における位置づけとインパクト

本研究は VLSI の効果的なテスト手法を提案するものであり，半導体メーカーでのテストのみならずボードメーカーやアセンブリメーカーの受け入れテストに幅広く活用することができる．国内学会研究会発表や東南アジアでの国際会議では，多くの電子機器メーカーやボードメーカーの関心を引いた．

(3) 今後の展望

今後は命令データ量圧縮のための高速アルゴリズムの開発およびテストシステム全体のプロセッサ化とコンパイラシステムの開発に取り組み実用化を目指す．

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計4 件)

- ① Tomokatsu Yoshinari, Hokuto Ogihara, Aizuddin bin Shaali Masri, Yuki Takebayashi, Asakawa Takeshi, "Development of the high-speed test pattern generator for LSI", IEEE: 14th Workshop on RTL and High Level Testing, 2013年11月22日, Yilan/Taiwan (審査あり)
- ② Tomokatsu Yoshinari, Yuki Takebayashi, Aizuddin bin Shaali Masri, Satoshi Matsuno, Asakawa Takeshi, "Development of the High-Speed Processor for LSI Functional Test", JICA: MJIT-JUC Joint

International Symposium 2013, 2013年11月8日, Kanagawa/JAPAN (審査あり)

③ 浅川毅, 荻原帆斗, 吉成朝雄, 松埜智, LSI機能テスト向け高速プロセッサの開発, 電子情報通信学会: 第69回FTC研究会, 2013年7月19日, 山口

④ 浅川毅, 大森直樹, 荻原帆斗, 吉成朝雄, 松埜智, BOST手法を用いたLSIテストの高速化技術に関する検討, 電子情報通信学会: 第67回FTC研究会, 2012年7月13日, 滋賀

[その他]

ホームページ等

<http://taraku.ec.u-tokai.ac.jp/>

## 6. 研究組織

(1) 研究代表者

浅川 毅 (ASAKAWA, Takeshi)

東海大学・情報理工学部・教授

研究者番号: 00384850