

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 12 日現在

機関番号：32689

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560417

研究課題名(和文)大規模システムLSIフロアプランベース設計基盤技術の研究

研究課題名(英文)Floorplan-base Design Environment Technologies for Large-Scale System LSIs

研究代表者

吉村 猛 (Yoshimura, Takeshi)

早稲田大学・理工学術院・教授

研究者番号：80367177

交付決定額(研究期間全体)：(直接経費) 3,900,000円、(間接経費) 1,170,000円

研究成果の概要(和文)：大規模システムLSIの効率的な設計環境実現を目指し、高位レベル最適化とフロアプランの両面から研究開発を行った。

まず、高位レベル設計に関して、演算器の周波数、電源電圧、閾値電圧のそれぞれについて、値を最適化することにより、要求された性能を満たす範囲で消費電力を最適化する問題に取り組み、線形計画法のグラフ的解法、フローアルゴリズムによる解法を提案した。また、重要な問題の一つであるポート割り当て問題について、グラフ理論的な解法を提案した。一方、フロアプラン問題については、FPGAのためのフロアプラン手法、および2次元と3次元の特定用途向けネットワークオンチップのための物理設計手法を提案した。

研究成果の概要(英文)：Aiming at efficient design environments for the large system LSIs, the research on High-level Synthesis and Floorplanning has been done.

First, the research on the methods for minimizing power consumption by optimizing the value of the frequency, the power-supply voltage and the threshold voltage of the operation units has been done and new methods based on graph theoretical approach for the linear programming problem, and flow algorithms were developed. Then, a graph theoretical approach for the port assignment problem which is one of the important problems in high-level synthesis was developed. As for the floorplanning problems, floorplanning algorithms for FPGA and 2D/3D Application Specific Network on Chips were developed.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：高位レベル合成 フロアプラン ネットワークオンチップ 低消費電力設計 最適化

1. 研究開始当初の背景

LSI 設計において要求された性能を満たし、かつ消費電力を削減することが重要であるが、そのためには高位レベルの設計において、最終的な性能の正確な予測に基づく最適化が必要である。性能予測には、配線長の見積もりが不可欠であるが、大規模 LSI はメモリ、IP 等、多数のマクロブロックを含むことから、マクロブロックを高精度で自動配置を行うフロアプラン処理は難しく、処理可能な規模は高々数百ブロック程度であった。また、高位レベル設計において、要求性能の範囲内で消費電力を削減する最適化の精度も不十分であった。

2. 研究の目的

高性能のフロアプランアルゴリズムおよび高位レベル設計の各種アルゴリズムを開発することにより、システム LSI の低消費電力化への対応を行う。まず、高位レベル設計における低消費電力化を種々の側面から検討し、低消費電力設計のための手法の実現をめざす。さらに、フロアプランの機能強化を行うことにより、種々のデバイスにおける設計の効率化を実現することを目的とする。

3. 研究の方法

- (1) 設計自動科関係の代表的な国際会議への参加および国内外大学関係者、国内企業研究者との技術交流を通じて、最先端技術に関する情報を収集する。
- (2) 保有技術、新規技術を基に、最適設計のための新アルゴリズムの開発を行う。特に、フロー問題を中心とするグラフ・ネットワーク理論、線形計画法のグラフ理論的解法など、数理計画法の応用に重点を置く。

4. 研究成果

- (1) ポート割当最適化手法
 

ポート割当問題は、レジスタとマルチプレクサのポート間の対応関係を最適化するもので、高位レベル設計における重要な問題の一つである。本研究ではグラフ理論の問題として定式化して、木の変換によって解くアルゴリズムの開発・評価を行った。その結果、実用規模の回路では、30 ミリ秒以下でほぼ確実に最適解を得ることができることを確認した。この手法は国際会議(VLSI-DAT)で Best Paper Candidate に選ばれている。

ここでは、まず接続数の最適化を行ったが、この手法を発展させ、実際の消費電力の最適化を行う手法を開発し、消費電力を平均 8% 以上削減した。

さらに、問題を 2 部グラフの上での最大カットを求める問題として定式化し、解の概略評価と詳細評価の 2 段階で評価することにより処理の高速化を行ったうえで、Tabu サーチを組み合わせた手法を提案し、実用規模のデータに対する計算時間を 60% 以上削減した。

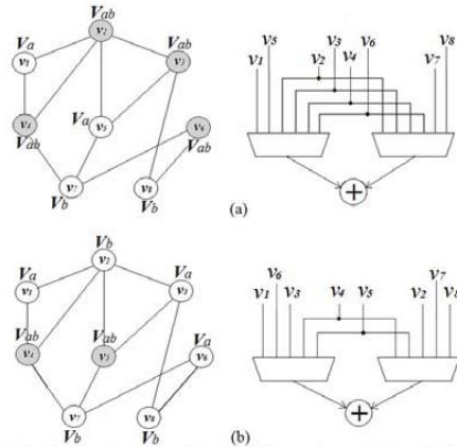


図 1 木の変換に基づくポート割当の最適化

(2) 演算実行ステップ毎の周波数制御最適化

システム LSI 設計では演算器の性能と消費電力はトレードオフの関係にあるため、高位レベル設計の最適化で、各演算の実行ステップごとの電圧(周波数)を制御することにより指定された性能のもとで、消費電力を最小化する方式の検討を行った。そして、この問題を整数計画問題として定式化し、動的計画法による解法を提案した。この方式に基づくプロトタイプシステムを作成して評価を行った結果、回路性能を約 20% 落とすことで電力を約 30% 削減できることを確認した。

(3) 電源電圧の最適化による低消費電力スケジューリング手法

ここでは、各演算器の電源電圧を調整することにより、指定された要求性能のもとで、消費電力を最小化する問題を扱った。

線形計画問題としての解法

まず、各演算を実行する具体的なタイミングの代わりに、各演算の割当可能範囲を表すモビリティという概念を導入し、問題を、各演算の順序制約を表すデータフローグラフのポテンシャルを決定する問題に変換した。そして、区分線形関数を用いた線形計画問題として定式化し、その代表的な解法であるシンプレックス法をグラフ理論的に解釈したネットワークシンプレックスによる電圧(遅延時間)割り当てと、リストスケジューリングを組み合わせた手法を提案した。計算機実験では、使用したすべてのベンチマークデータに対して、最適解を 1 秒以下で求めることができた。この手法は、従来の発見的な手法ではなく、まず遅延の割り当てに関して、ネットワークシンプレックス法を用いて一部の制約を緩和した問題の最適解を求め、さらに、スケジューリング手法と乱数を用いた iterative local search 手法を組み合わせることで、全ての例題に対して、最適解を得ることができた。なお、本研究内容は電子情報通信学会 VLD 研究会から表彰された。

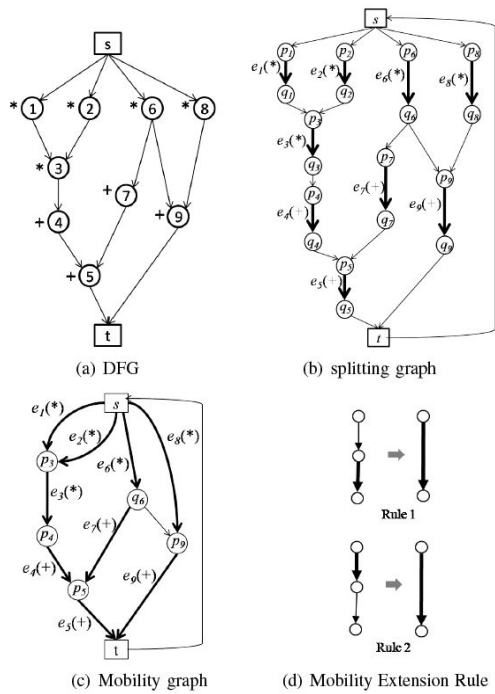


図2 データフローグラフからモビリティグラフへの変換

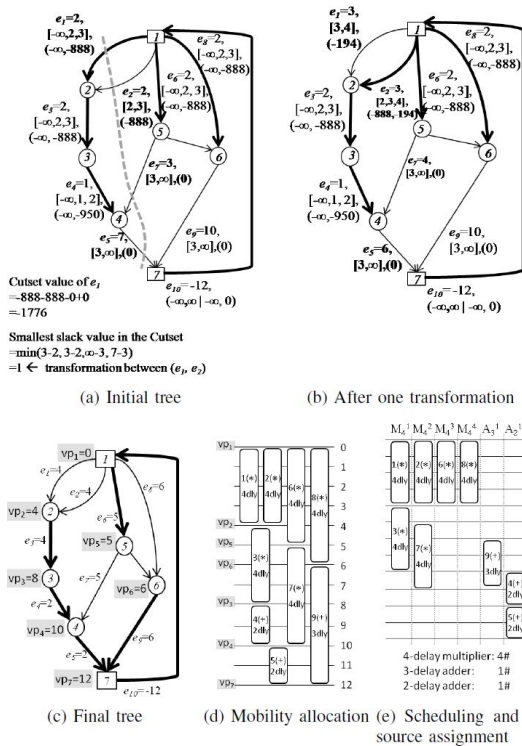


図3 ネットワークシンプレクス法に基づく、木の変換による解法

双対線形計画問題としての解法

上記の手法は、線形計画問題の主問題として定式化を行ったが、その処理過程で目的関数の評価を木のカットセットを基に行っているため、処理が複雑となる。そこで、この電圧の割り当て問題を双対(区分)線形計画問題として定式化して解く手法を提案した。この場合、ネットワーク単体法ではグラフ上の木の基本ループを扱うため、

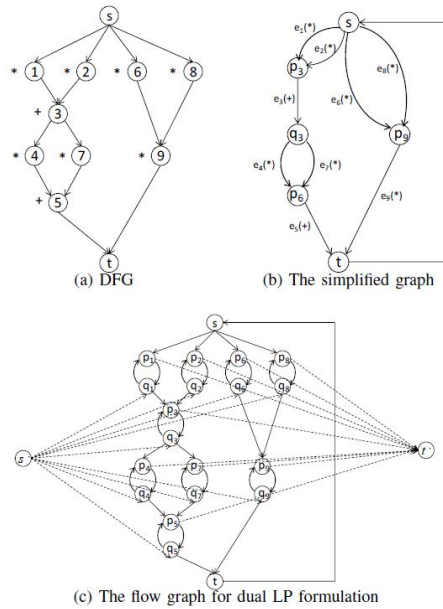


図4 双対線形計画問題としての解法

実装が容易となる。計算機実験によると、性能に関する制約が緩い場合は、本手法が速く、制約が厳しい場合はこの手法が速いことがわかった。

(4) 閾値電圧の最適化による漏れ電力の最小化手法

演算器は閾値電圧を高くすると漏れ電力は減少するが遅延が増加し、低くするとその逆になる。そこで、各演算器の閾値電圧を調整することにより、指定された性能のもとで、漏れ電力を最小化するスケジューリング問題の検討を行った。ここでは、この問題に対して、データフローグラフ上で最小カットを繰り返し計算することにより、漏れ電力を最小化する手法を開発し、計算機実験で、処理時間が50%以上削減されることを確認した。

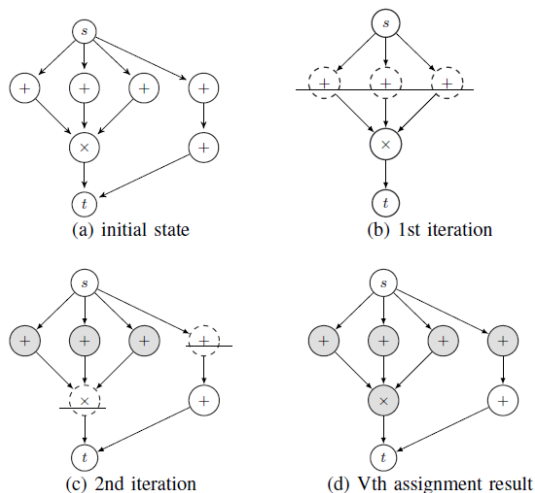


図5 最小カット計算による漏れ電力最小化

#### (5) ヘテロジーニアス FPGA に対するフロアプラン手法

ヘテロジーニアス FPGA に対する新たなブロックの配置手法として、まず配線長の最小化を優先して配置し、領域内へのブロックの収容は後処理で行う方式を提案した。この方式では、はみ出したブロックを配置可能領域内に収容する後処理が鍵となる。本手法では、まずフロアプラン手法として領域分割型の「コーナブロックリスト法」を採用した。この手法はチップ領域をブロック数と同数の小領域に分割した後で配置を行うため、小領域間の隣接関係の定義が可能となる。そこで、各領域の隣接関係を基に、領域をつなぐネットワークを構築し、その上で最小コストフローを求めて領域の形状変更を行うことで、全ブロックの領域内への収容と、リソース制約の充足を行う手法を提案した。計算機実験では、9 個の標準ベンチマークデータに対して既存手法との比較を行ない、配線長が平均で約 52%削減されることを確認した。これは従来手法を大きく凌駕するものである。

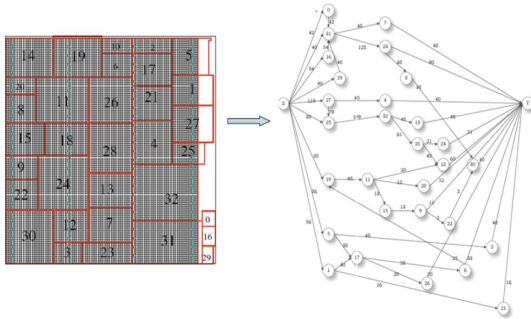
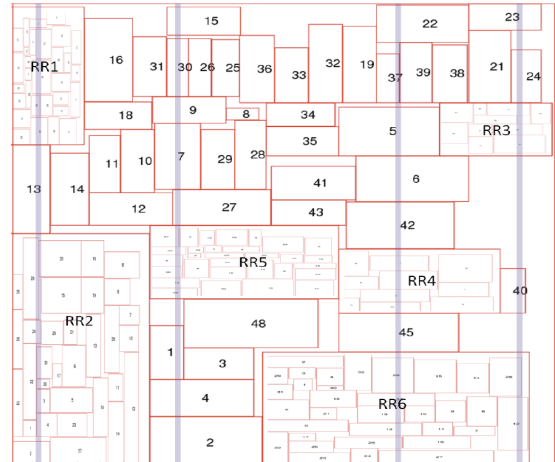


図 6 領域の形状変更用ネットワークモデル

#### (6) 部分再構成可能 FPGA のフロアプラン手法

この問題は、再構成可能領域の位置を決定する問題と、各々の再構成可能領域内部のブロックの配置を決定する問題から構成される。ここでは、まず、再構成可能領域内部のブロックの配置を決定する問題については、領域内の回路が動的に再構成され、個々のリソースが時分割で複数の目的に使用されるため、この定式化が問題となる。そこで、それぞれ目的ごとの回路構成を一つの層に対応させることで空間的に表現し、多層のフロアプラン問題として定式化した。そして 3 次元フロアプランアルゴリズムを用いて解く手法を提案した。一方、再構成可能領域の位置の決定については、2 次元フロアプラン問題として定式化して解く手法を提案した。計算機実験では、再構成可能領域の位置を決定する問題に関して、6 個の標準ベンチマークデータに対して既存手法との比較を行ない、配線長が約 12%、計算時間が約 38%削減されることを確認した。また、動的再構成可能領域内部のブロックの配置に関して、9 個のデータに対して既存手法との比較を行ない、配線長が約 4%~26%削減されることを確認した。



A design of ami49. RR1, RR2, RR3, RR4, RR5, and RR6 are six RRs, and the numbers of reconfigurable modules included by them are 30, 33, 10, 10, 30, and 33, respectively. The rest modules are normal modules.

図 7 部分再構成可能 FPGA のフロアプラン

#### (7) 特定用途向けネットワークオンチップ (NoC) の設計

特定用途向け NoC の設計では、従来の LSI の物理設計で対象とした配置・配線以外の種々の問題、具体的には、次の 3 つ問題を解決する必要がある。(1) 設置する SW の個数と、各 SW に接続するコア集合の決定、(2) NoC の要素であるコアとネットワークコンポーネント (NI, SW) の配置、(3) SW ネットワークの構成および各コア間通信に対する経路の割り当て。

ここでは、フロアプランのアルゴリズムの内部で、コア配置の最適化とクラスタリングの最適化を並行して行うことにより、正確な消費電力の評価に基づくコア配置の最適化手法を提案した。この手法では二つの最適化を行うため、処理時間が問題となるが、局所変換による逐次改良操作において、まず概略評価により変換候補を絞り込み、選ばれた候補に対してのみ詳細な評価を行う 2 段階の評価手法を開発し、計算時間の大幅な短縮を実現した。計算機実験では、本手法は既存手法に比べ、消費電力を平均約 27%削減し、計算時間を 1/10 以下に短縮することを確認した。

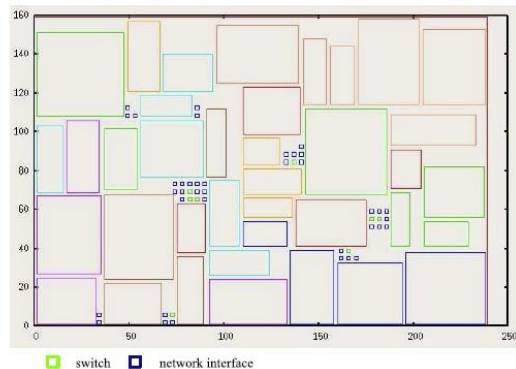


図 8 特定用途向けネットワークオンチップのフロアプラン

### (8) 3次元特定用途向けネットワークオンチップ(NoC)の設計

複数の層からなる3次元NoCはリンクの長さを削減するうえで有効である。本研究では、まず、3次元フロアプランアルゴリズムの逐次改良操作の際、コアのクラスタリングを考慮することにより、設置するSWの個数の最適化を行うと同時に、それぞれのSWに接続するコア集合を決定した。次に、整数計画法により、SWとNIの最適配置を行う手法を提案した。さらに、垂直方向の配線を実現するため、各層間をつなぐTSV(Through Silicon Via)の位置の決定を最小コスト最大フロー問題として定式化し、リンクの消費電力の最小化を行った。計算機実験で、本手法に基づく3次元化により、2次元NoCにくらべ、消費電力が平均で約32%削減されることを確認した。

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

#### [雑誌論文](計 4件)

Wei Zhong, S. Chen, B. Huang, Takeshi Yoshimura, S. GoTo, "Floorplanning and Topology Synthesis for Application-Specific Network-on-Chips, IEICE Trans. on Fundamentals, Vol.E96-A, No.6, pp.1174 -1184, 2013, 査読有

DOI: 10.1587/transfun.E96.A.1174

Nan Liu, S. Chen, Takeshi Yoshimura, "Resource-Aware MultiLayer Floorplanning for Partially Reconfigurable FPGAs, IEICE TRANSACTIONS on Electronics, Vol.E96-C No.4, pp.501 -510, 2013, 査読有

DOI: 10.1587/transle.E96.C.501

Nan Liu, Song Chen, Takeshi Yoshimura, "Floorplanning for High Utilization of Heterogeneous FPGAs, IEICE Transactions on Fundamentals Vol.E95-A, No.9, pp.1529-1537, 2012, 査読有

DOI: 10.1587/transfun.E95.A.1529

Wei Zhong, Takeshi Yoshimura, B. Yu, S. Chen, S. Dong and S. Goto, "Cluster Generation and Network Component Insertion for Topology Synthesis of Application-Specific Network-on-Chips, IEICE Trans.on Electronics, Vol.E95-C, No.4, pp.535-545, 2012, 査読有

DOI: 10.1587/transfun.E95.C.534

#### [学会発表](計 19件)

Haoran Zhang, C. Hao, N. Wang, S. Chen, T. Yoshimura: Power and Resource Aware Scheduling with Multiple Voltages, ASICON2013, Oct.28,2013, Shenzhen, China, 査読有

Cong Hao, T. Yoshimura(他3名, 4番目), "Port Assignment for Multiplexer and Interconnection Optimization, ASQED2013, pp.26-28, Aug.3, 2013, Penang, Malaysia, 査読有

Bo Huang, S. Chen, W. Zhong, T.Yoshimura, "Topology-aware floorplanning for 3D application-specific Network-on-Chip synthesis, Proc.IEEE ISCAS2013, pp.1732-1735, May 19,2013, Beijing, China, 査読有

Cong Hao, Song Chen and Takeshi Yoshimura, "Network Simplex Method Based Multiple Voltage Scheduling in Power-Efficient High-Level Synthesis, ASP-DAC2013 Jan.22,2013, pp.237-242, 2013, Yokohama, Japan, 査読有

Cong Hao, S. Chen, Takeshi Yoshimura, "Port Assignment for Interconnect Reduction in High-Level Synthesis, VLSI-DAT2012 pp.1-4, Apr.22,2012, Hsinchu, Taiwan, 査読有

Wei Zhong, S. Chen, F. Ma, Takeshi Yoshimura and S. Goto, "Floorplanning driven network-on-chip synthesis for 3-D SoCs, ISCAS2011, pp.1203-1206, May15,2011, Rio De Janeiro, Brazil, 査読有

その他 13件

### 6. 研究組織

#### (1)研究代表者

吉村 猛 (Yoshimura Takeshi)

早稲田大学大学院・情報生産システム研究科・教授

研究者番号: 80367177

#### (2)研究分担者

無し

#### (3)連携研究者

無し