

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 1 日現在

機関番号：34406

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560423

研究課題名(和文)ばらつきに対応したSRAMの動作安定化に関する研究

研究課題名(英文)Stabilization of SRAM according to fluctuation of transistor characteristics

研究代表者

牧野 博之(Makino, Hiroshi)

大阪工業大学・情報科学部・教授

研究者番号：50454038

交付決定額(研究期間全体)：(直接経費) 4,000,000円、(間接経費) 1,200,000円

研究成果の概要(和文)：トランジスタのしきい値電圧のばらつきによってSRAMが動作不良となる問題に対して、SRAMを救済し歩留まりを向上させる手法を確立した。この手法は、まずしきい値電圧の仕上がり値を検知し、次にこれに応じて最適な電圧をSRAMに与えるという2段階からなり、これによって従来は動作不良となっていたSRAMを動作可能とすることができる。本手法を実現するために、しきい値電圧の新たな検知方法を提案するとともに、しきい値とSRAMに与える最適電圧との関係を明らかにした。最終的にSRAM全体回路を設計し、シミュレーションを行うことによって、提案する手法が有効であることを確認した。

研究成果の概要(英文)：Against the problem that the SRAM fails to function because of the fluctuation of the threshold voltage of transistors, a method of securing SRAM is established. This method consists of two steps, firstly detecting the processed threshold voltage, and next, giving the optimum supply voltage to the SRAM according to the detected threshold voltage. This method enables to secure SRAMs which do not operate under the standard condition. To realize the method, a new detecting technique of the processed threshold voltage is proposed and the table showing the relation between the threshold voltage and the optimum supply voltage is developed. Finally, the whole SRAM circuit is designed and simulated. The simulation result shows that the proposed method is effective to improve the operation yield of SRAM.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス 集積回路 SRAM しきい値電圧 ばらつき 動作安定化 スピードセンサ 電圧発生器

1. 研究開始当初の背景

LSIの製造プロセスは、高性能化や高集積化を図るため微細化が進んでいるが、微細化に伴い、トランジスタ特性のばらつきが顕著になっている。90nm プロセス世代までは、チップ内で一斉に特性が変動するグローバルなばらつきが主な要因であったが、65nm プロセス世代以降では、トランジスタ毎にランダムに発生するローカルなばらつきが増大している。このようなばらつきの増大により、システム LSI の重要な構成要素であるスタティック RAM(SRAM)の安定動作が困難になり始めている。SRAM のメモリセルは、書き込みと読み出しの両方の動作が保証される必要があり、図 1(a)に示すように nMOS トランジスタと pMOS トランジスタのしきい値電圧に対して、読み出し限界と書き込み限界に挟まれた領域がメモリセルの動作可能領域となる。従来は、図 1(a)のように製造時のグローバルなばらつきの範囲が動作可能領域に含まれており、製造がばらついていても十分に安定な動作を得ることができた。しかし、65nm 世代以降、ローカルなばらつきの増大のため、図 1(b)に示すように動作可能領域が狭くなり、グローバルなばらつきの範囲を保証できなくなり始めている。例えば、図 1(b)においてしきい値の仕上がり値が A であれば動作可能であるが、B や C では動作不可能となる。

ローカルなばらつきに対して動作範囲を広げる研究は、国内外でこれまでも行われているが、今後ともばらつきの増大は避けられないので、単なる動作範囲の拡大では、グローバルなばらつきを保証するだけの動作範囲を確保し続けることは困難である。したがって、何らかの対策が必要である。

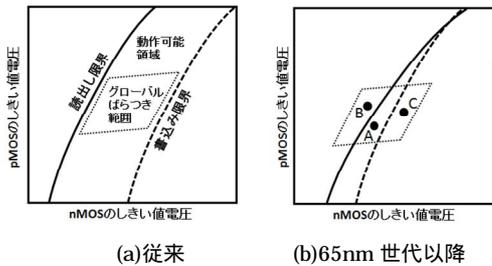


図 1 SRAM メモリセルの動作領域

2. 研究の目的

LSIの微細化に伴うしきい値電圧のばらつきの増大によって、スタティック RAM (SRAM)の安定動作が困難になる問題に対し、その解決策を研究する。具体的には、LSIの仕上がり状況に応じて回路に与える電圧をコントロールすることにより、動作可能領域を変化させ、通常では動作不可能な SRAM 回路を動作可能とする手法を確立する。これを実現するために、オンチップ速度センサ、オンチップ電圧発生器、および速度と最適電圧条件を関連付けるテーブルを開発し、

最終的にそれらを組み合わせて動作させることにより、SRAM の動作安定化の効果を検証する。

3. 研究の方法

SRAM の安定動作に関して、単に動作範囲を広げるのではなく、チップの仕上がりに応じて動作条件を積極的にコントロールすることにより動作可能とする方法を考究する。図 2 にその概念を示す。

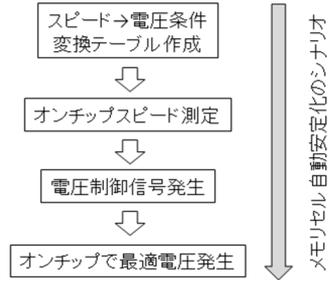


図 2 メモリセル自動安定化手法

予め速度の測定値と最適電圧条件とを関連付けるテーブルを作成しておき、チップ内の速度センサを LSI テスタで測定する。次に測定結果からテーブルを用いて最適電圧条件を決定し、電圧制御信号を LSI に与え、最後にこの電圧制御信号に基づいてチップ内の電圧発生器から最適電圧を SRAM に与えるというものである。図 3 に、これを実現する LSI の構成を示す。LSI 内部に速度センサと電圧発生器が設けられる。

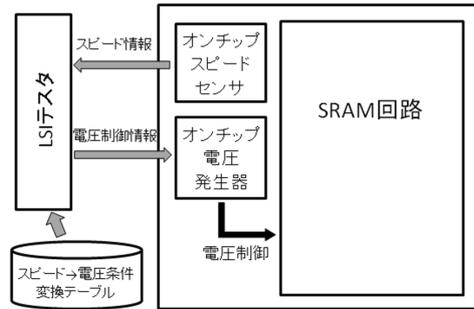


図 3 全体構成

これを実現するために、本研究では、以下の 3 点に関して研究および開発を行う。

- ・しきい値電圧と最適電圧条件を関連付けるテーブル
- ・しきい値電圧を検知する速度センサ
- ・電圧を制御する電圧発生器。

最終的には、これらを組み合わせ SRAM 全体の回路設計を行い、シミュレーションにより動作拡大の効果を確認する。

4. 研究成果

(1) メモリセル単体の動作安定化

メモリセル単体回路に対して、しきい値電圧の仕上がりに応じた最適電圧条件を調査

した。デバイスパラメータは、パークレイの45nmのSPICEパラメータを使用した。調査にあたっては、しきい値電圧のローカルなばらつきを持たせることによって、書き込み動作に対して最も厳しい条件のメモリセルと、読み出し動作に対して最も厳しい条件のメモリセルを作成し、電圧条件を変化させてそれぞれの動作可否をシミュレーションにより調べた。しきい値電圧のローカルなばらつきとしては、メガビット規模のSRAMを想定して $\pm 2.5\%$ (は標準偏差)の値とした。変化させる電圧はワード線電圧(V_{WL})、電源電圧(V_{DD})、メモリセルのGND電圧(MCGL)の3種類とし、nMOSとpMOSのしきい値電圧の中心値を0.2V~0.7Vの範囲で50mVずつに区切り、それぞれの領域で書き込みと読み出しの両方の動作が可能となる電圧条件を調べた。

結果の一例として、 $V_{DD} = 1.1V$, $MCGL = 0V$ の場合における書き込み限界と読み出し限界のワード線電圧 V_{WL} に対する変化の様子を図4に示す。

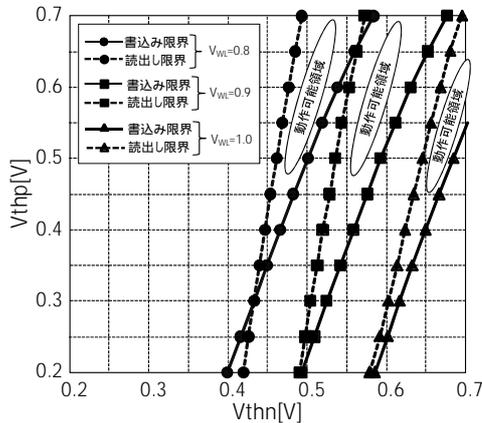


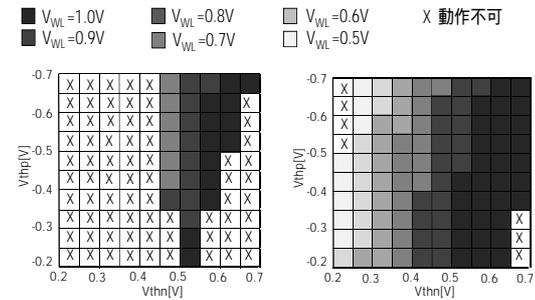
図4 $V_{DD} = 1.1V$, $MCGL = 0V$ における書き込み限界と読み出し限界のワード線電圧 V_{WL} に対する依存性

図4は、横軸がnMOSのしきい値電圧 V_{thn} 、縦軸がpMOSのしきい値電圧(の絶対値) V_{thp} であり、 V_{WL} が、0.8V、0.9Vおよび1.0Vの際の書き込み限界線と読み出し限界線が示されている。メモリセルが動作可能となるのは図中の「動作可能領域」と書かれた領域である。 $\pm 2.5\%$ のばらつきを想定したことにより、それぞれの領域は非常に狭く十分な動作領域は確保できていないが、 V_{WL} を変化させることによって、動作領域が左右に移動することが分かる。これは、しきい値電圧の仕上がり状況に応じて V_{WL} を変化させることで、メモリセルの動作領域を変更できることを意味する。

以上のシミュレーションを V_{DD} と $MCGL$ を変化させて繰り返し行った。一例として $V_{DD} = 1.2V$ の結果を、図5に示す。2つのグラフは、いずれもnMOSとpMOSのしきい値電圧を50mV刻みで分割した領域に対して、ワード線電圧 V_{WL} を変化させた場合の動

作の可否を示しており、色が濃い方が V_{WL} が高い条件で動作することを示している。×印は動作不可能な領域である。図5(a)と(b)は、それぞれ $MCGL$ が0Vおよび0.3Vの結果である。この結果から、 $MCGL$ を0.3Vに上昇させることにより、大幅に動作範囲を拡大できることが分かる。

この結果を利用することで、LSIチップのしきい値の仕上がり値が図1のどの領域にあるかが分かれば、それに応じた最適な電圧を与えることで、従来は動作不良となるメモリセルを動作可能にすることができる。この知見は、本研究によって初めて示されたものであり、SRAMメモリセルの動作安定化を図る上で有用なデータであると考えられる。



(a) $V_{DD} = 1.2V$, $MCGL = 0V$ (b) $V_{DD} = 1.2V$, $MCGL = 0.3V$

図5 $V_{DD} = 1.2V$ における動作可能領域

(2)メモリセル全体回路の動作安定化

次に、メモリセル全体回路を設計し、SRAMとしての動作可否を調べた。設計したSRAM全体回路を図6に示す。

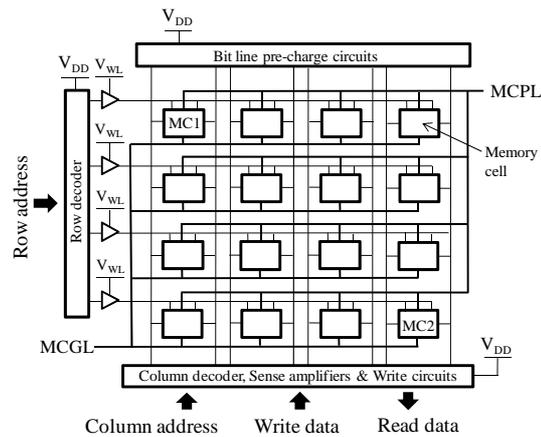


図6 SRAM全体回路

メモリセルは、 4×4 の計16個の構成とし、メモリとして動作させるためにデコーダ回路、センスアンプおよびデータ入出力回路を付加している。また、メモリセルの電源は他の電源と区別して $MCPL$ としている。16個のメモリセルのうち、左上の $MC1$ は読み出しの最も厳しいメモリセル、右下の $MC2$ は書き込みの最も厳しいメモリセルとした。 $MC1$ と $MC2$ を交互にアクセスして、読み出しと書き込み動作の可否をシミュレーションすることにより、

図5と同様の動作可能領域を調べた。結果を図7に示す。

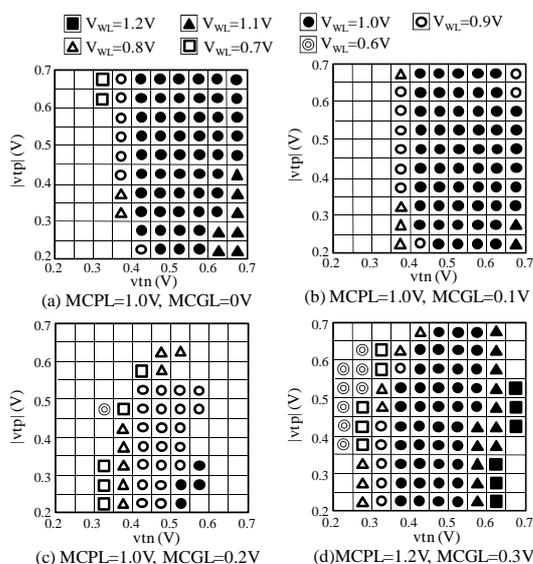


図7 種々の電圧条件に対する動作可能範囲

図7も図5と同様にワード線電圧 V_{WL} の各値に対する動作の可否が示されているが、細かい違いがわかるように色の濃淡ではなくマークで示している。図7の(a)~(c)は、 $MCPL=1.0V$ で $MCGL$ を $0V$ から $0.2V$ まで上昇させた場合の動作可能領域を示している。メモリセル単体では、 $MCGL$ の上昇によって動作範囲が拡大したが、今回のSRAM全体の場合は、 $MCGL$ を上昇させるとしきい値の高い領域が動作不良となって動作可能領域が狭くなってしまったことが分かった。

この現象を解明するために詳細な動作解析を行ったところ、 $MCGL$ が増加すると、書き込み後のメモリセルからの読み出し電位差が確保できず、読み出し不良を起してしまうことが判明した。すなわち、書き込みが困難なMC2において、書き込みが成功してもその後の読み出しができないことが原因であることがわかった。この現象はメモリセル単体のシミュレーションでは見出すことができないものであり、SRAM全体としてのシミュレーションが必要不可欠であることが判明した。

図7(d)は、 $MCGL$ とともに $MCPL$ も $1.2V$ に上昇させた場合であり、この場合は動作可能範囲が大幅に拡大することが確かめられた。この結果は、図4(b)に示した同条件におけるメモリセル単体の動作可能範囲に匹敵するものである。

以上のことから、SRAM全体で動作させるとメモリセル単体よりも動作は厳しくなり、電圧条件によっては動作可能範囲が大幅に縮小してしまうが、 $MCGL$ と $MCPL$ を共に上昇させることによって、広い動作可能範囲を確保できることが判明した。すなわち、SRAM全体回路においても、しきい値の仕上がり値が分かれば、それに応じた最適な電圧を与えるこ

とで、従来は不良チップであったものを動作可能とすることができる。ここで得られた種々の知見も本研究で初めて示されたものであり、SRAMの安定動作を図るうえで重要なものであると考える。

(3) スピードセンサによるしきい値の検出

以上述べた成果により、チップのしきい値電圧の仕上がり状況さえわかれば、電圧を制御することでSRAMの動作歩留まりを向上させることができる。したがって、本手法を実現するためには、チップ毎のしきい値電圧の仕上がり値を求める手法の開発が必要不可欠である。本研究では、スピードセンサからデジタル処理によってしきい値電圧の仕上がり値を求める手法を提案する。

まず、提案する手法ではスピードセンサとして図8に示す3種類のリングオシレータ回路(RO)を用いる。

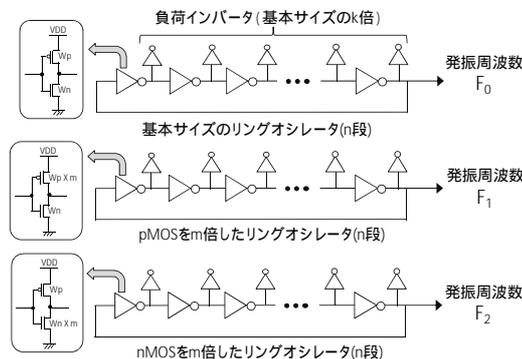


図8 3種類のリングオシレータ回路

3つのROはそれぞれ n 段のインバータから成り、 R_0 は基本サイズ、 R_1 は pMOS のみゲート幅を m 倍にしたもの、 R_2 は nMOS のみゲート幅を m 倍にしたものとなっている。いずれも各段の出力に、インバータによる容量負荷を接続しており、いずれも基本サイズの k 倍としている。 $R_0 \sim R_2$ の発振周波数をそれぞれ、 F_0, F_1, F_2 とする。

本手法では、 F_0, F_1, F_2 の測定値から pMOS および nMOS のしきい値電圧 (V_{tp} および V_{tn}) を求める。なお、しきい値電圧のランダムなばらつきについては、ROの段数 n を大きく取れば、統計的效果により無視できるので、ここでは扱わない。 $R_0 \sim R_2$ のインバータ1段当たりの遅延時間 (T_0, T_1, T_2) は、段数 n を用いて式(1)で表される。

$$T_0=1/(2nF_0), T_1=1/(2nF_1), T_2=1/(2nF_2) \quad (1)$$

さらに、 $T_{12}=T_1 - T_2$ として、 T_0 と T_{12} を式(2)のように V_{tp} および V_{tn} の関数と考える。

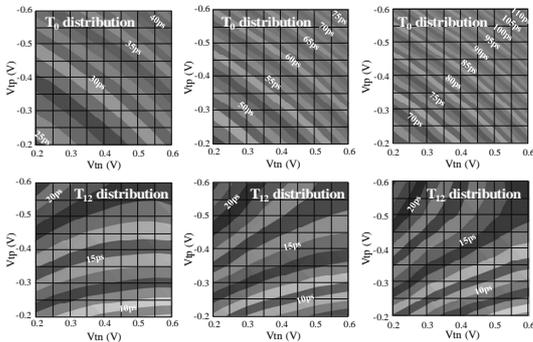
$$T_0=F(V_{tp}, V_{tn}), T_{12}=G(V_{tp}, V_{tn}) \quad (2)$$

この二つの関数が極値を持たず、かつ各々方向の異なる等高線を持てば、 T_0 と T_{12} の測定値から V_{tp} と V_{tn} を一意的に求めることができ

るので、これを算出する。

本手法の有効性を実証するために、SPICE シミュレーションを実施した。45nm のパラメータを用い、インバータの基本サイズを、 $W_p/W_n=600/300\text{nm}$ とした。インバータの遅延時間 $T_0 \sim T_2$ の算出に当たっては、RO の代わりにインバータチェーンを用い、出力の立ち上がり時と立ち下がり時の平均遅延時間を求めた。

図 9 に、 $V_{DD}=1.4\text{V}$ 、 $m=30$ とした場合の、 $k=10, 20, 30$ に対するシミュレーション結果を示す。遅延時間は、 V_{tp} および V_{tn} に対して絶対値を $0.2\text{V} \sim 0.6\text{V}$ まで 50mV 刻みで変化させ、合計 81 点で測定した。図 9 は、上段に T_0 の分布、下段に $T_{12} (=T_1 - T_2)$ の分布を等高線で表示している。また、図中に遅延時間の値を記入している。二つの分布から V_{tp} および V_{tn} を一意的かつ精度よく算出するためには、両分布の等高線が互いに直交することが望ましい。図 9 の 3 種類の k を比較すると、 $k=10$ は直交性が不十分であり、 $k=20$ 以上で直交性が良くなること分かる。回路面積の観点からは、 k が小さい方が望ましいので、ここでは $k=20$ を最適値として選択した。



(a) $k=10$ の場合 (b) $k=20$ の場合 (c) $k=30$ の場合

図 9 しきい値電圧に対する T_0, T_{12} の分布 ($V_{DD}=1.4\text{V}$, $m=30$)

T_0 および T_{12} の分布から V_{tp} および V_{tn} を以下のように算出する。まず、 V_{tp} を固定して T_0 を V_{tn} に対して 2 次関数で近似すると、式 (3) に示す 5 つの 2 次関数が得られる。

$$T_{0i} = A_{2i} \cdot V_{tn}^2 + A_{1i} \cdot V_{tn} + A_{0i} \quad (i=0 \sim 4) \quad (3)$$

さらに、各 5 点から成る (A_{2i}, A_{1i}, A_{0i}) を V_{tp} の 2 次式で近似し、式 (4) に示す (A_2, A_1, A_0) を得る。

$$A_j = B_{j2} \cdot V_{tp}^2 + B_{j1} \cdot V_{tp} + B_{j0} \quad (j=2 \sim 0) \quad (4)$$

こうして、 T_0 の近似式として式 (5) が得られる。

$$T_0 = A_2 \cdot V_{tn}^2 + A_1 \cdot V_{tn} + A_0 \quad (5)$$

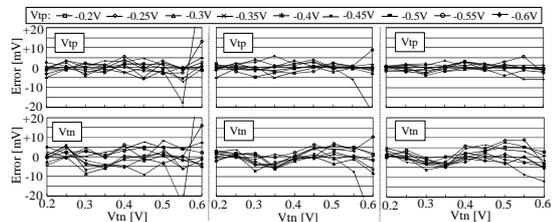
T_{12} についても同様にして近似式 (6) を得る。

$$T_{12} = C_2 \cdot V_{tn}^2 + C_1 \cdot V_{tn} + C_0 \quad (6)$$

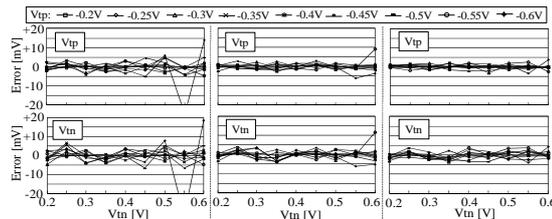
ここで、 $C_j (j=2 \sim 0)$ も V_{tp} の 2 次式である。

式 (5) と (6) の連立 2 次方程式は、Excel の曲線近似とゴールシーク機能を用いることで容易に解くことができ、 V_{tp} と V_{tn} を算出することができる。

この方法で遅延時間から V_{th} を逆算し、種々の条件に対する算出精度を評価した。まず、 $k=20$ 、 $m=30$ とした場合の、 $V_{DD}=1.2\text{V}$ 、 1.3V 、 1.4V の精度の比較を図 10 に示す。図の上段および下段は、それぞれ 81 点の測定点における V_{tp} および V_{tn} の誤差値を示している。誤差値は、逆算によって求めた値から最初に設定した値 (真の値) を引いたものである。電圧が 1.3V 以下では誤差が大きいが、 1.4V で誤差が縮小して精度が良くなること分かる。精度は、 m の値を大きくすることでさらに向上する。図 11 に、 $k=20$ 、 $V_{DD}=1.4\text{V}$ とした場合の、 $m=30, 40, 50$ に対する精度を示す。 $m=30$ では、やや誤差の大きい点が存在するが、 $m=40$ 以上になると全体的に誤差が小さくなり、 $m=50$ では全測定点において $\pm 5\text{mV}$ 以下の高精度が得られている。



(a) $V_{DD}=1.2\text{V}$ (b) $V_{DD}=1.3\text{V}$ (c) $V_{DD}=1.4\text{V}$
図 10 電源電圧 V_{DD} の違いによる精度の比較 ($k=20$, $m=30$)



(a) $m=30$ (b) $m=40$ (c) $m=50$

図 11 P/N 比 m の違いによる精度の比較 ($k=20$, $V_{DD}=1.4\text{V}$)

本手法によれば、RO の発振周波数から LSI 毎のしきい値電圧を $\pm 5\text{mV}$ の精度で検知可能であることが分かった。これによってしきい値電圧の仕上がりを容易に検知し、これに応じた電圧制御により、SRAM の歩留まりを向上させることができる。また、本手法は、DC 測定ではなくデジタル処理によりしきい値電圧を検知できるので、すべての処理を LSI 内部で自動的に行うことが可能であり、極めて有用なものである。

(4) 電圧発生器を用いた SRAM 回路全体の検証
MCPL、MCGL および V_{ML} の電圧を制御するための電圧発生器に関して検討を行い、図 12 に示す回路を採用した。

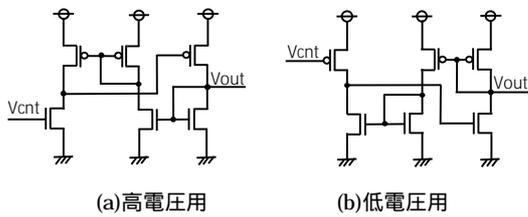


図 12 電圧発生器

図 12 の電圧発生器は、いずれも入力信号 V_{cnt} に等しい出力電圧 V_{out} を生成する回路で、入力に対する追従性と線形性に優れている。二つの回路のうち(a)は高電圧特性に優れており、MCPL および VWL の電源の生成に用いた。また、(b)は低電圧特性に優れており MCGL の生成に用いた。これらの電圧発生器を組み込んだ SRAM 全体回路を図 13 に示す。

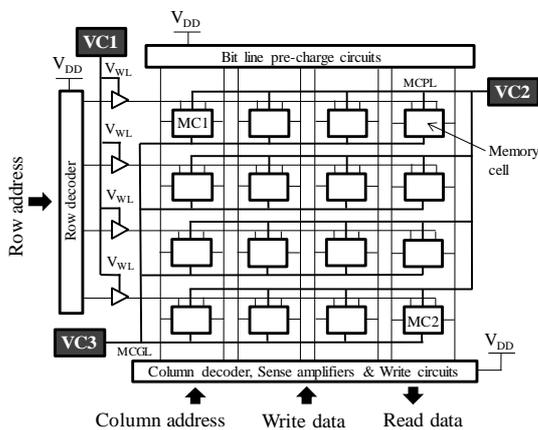


図 13 電圧発生器を組み込んだ SRAM 全体回路

図中の VC1 および VC2 は図 12(a)の高電圧用電圧発生器であり、VC3 は図 12(b)の低電圧用電圧発生器である。これら 3 つの電圧発生器に対して、図 7 に示された各最適電圧を与えることによって、図 7 と同様の動作領域が確保されることをシミュレーションにより確認した。

以上の結果より、スピードセンサによってしきい値の仕上がり値を検知し、その仕上がり値に応じて最適電圧条件を決め、それにしたがって図 13 の VC1 ~ VC3 を制御することにより、従来では動作不可能であった SRAM を動作可能とする手法が確立された。すなわち、本研究の目的が達せられた。

5 . 主な発表論文等

[学会発表](計 4 件)

Takuya Matsumoto, Hroshi Makino, Tsutomu Yoshimura, Shuhei Iwade, and Yoshio Matsuda, "Estimation of Threshold Voltage from Frequency of Ring Oscillator," (to be presented at) IEEE The 2014 International Meeting for Future of Electron Devices, Kansai(IMFEDK2014), June 19-20, 2014, Ryukoku University Avanti Kyoto Hall,

Kyoto.

松本 拓也、大東 士朗、牧野 博之、吉村 勉、岩出 秀平、松田 吉雄、2013 年度電気関係学会関西連合大会、「トランジスタの閾値電圧検知手法の提案」、G9-0025、2013 年 11 月 16 日 ~ 17 日、大阪電気通信大学

Kyohei Kishida, Tomohiro Tsujii, Hroshi Makino, Tsutomu Yoshimura, Shuhei Iwade, and Yoshio Matsuda, "Expansion of SRAM Operation Margin by Adaptive Voltage Supply," Proceedings of IEEE The 2013 International Meeting for Future of Electron Devices, Kansai(IMFEDK2013), June 5-6, 2013, pp.104-105, Kansai University, Osaka.

岸田 京平、牧野 博之、吉村 勉、岩出 秀平、松田 吉雄、「ばらつきを考慮した SRAM メモリセルの動作範囲拡大の検討」、2012 年電気関係学会関西連合大会、9pD-27、2012 年 12 月 8 日 ~ 9 日、関西大学

6 . 研究組織

(1)研究代表者

牧野 博之 (MAKINO, Hiroshi)
大阪工業大学・情報科学部・教授
研究者番号：5 0 4 5 4 0 3 8