

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 16 日現在

機関番号：12605

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560482

研究課題名(和文) 3次元集積回路のレイアウト設計手法の研究

研究課題名(英文) Studies on Layout Design Method for 3D-LSI

研究代表者

藤吉 邦洋 (Fujiyoshi, Kunihiro)

東京農工大学・工学(系)研究科(研究院)・准教授

研究者番号：80242569

交付決定額(研究期間全体)：(直接経費) 3,900,000円、(間接経費) 1,170,000円

研究成果の概要(和文)：本研究では、3次元集積回路のフロアプラン設計をSimulated Annealing法(SA法)などの探索手法を用いて探索するため、隣接する能動層との領域の隣接関係情報を保持する表現方法について、重矩形分割、これと1対1対応するMulti-sequence、探索容易なFT-squeezeという表現方法を提案した。

また、効率よく探索できる3次元フロアプラン表現方法とその隣接解生成法を提案し、比較実験により有効性を確認した。

最後に、SA法を用いて解を探索するために必須である「隣接解生成法」について、幾何数列を取り入れた新しい解空間の構成法を提案し、計算機実験によって、その有効性を確かめた。

研究成果の概要(英文)：In order to search for a floorplan of a 3D-LSI by using Simulated Annealing method, three representations: Stacked-Rectangular-Dissection, Multi-sequence, and FT-squeeze were proposed.

Moreover, we proposed Single-SP, which represents relative position of modules for each device layer by one sequence-pair and a sequence of numbers, and MOVE operations which have small variety of adjacent solutions. The effectiveness of the proposed representation and MOVE operations were confirmed by experimental comparisons.

Also, we focused on the diameter of the solution space and proposed a new construction method of solution space. And we verified effectiveness of the method by computer experiments.

研究分野：工学

科研費の分科・細目：電気電子工学・システム工学

キーワード：システム情報(知識)処理 3次元集積回路レイアウト 表現方法 解空間

1. 研究開始当初の背景

従来の集積回路においては、シリコン基板上に印刷技術を用いて多数の素子を作り込み、これを方形に切り分けて『ダイ』を作り、動作チェックをクリアしたダイを1つだけチップ(パッケージ)に実装し、ダイの周囲にあるパッドとチップの端子(足)の間を金やアルミニウムのボンディングワイヤによって結線していた。これに対して近年、ダイを何枚か積み重ねてチップ内に実装する『3次元に積み重ねられた集積回路』が一般化し、これによりメモリチップの容量は大きく、CPUチップには多くのキャッシュメモリが内蔵できるようになった。

複数枚のダイを電氣的接続するため通常、チップへの実装後に各ダイの周囲にあるパッドをボンディングワイヤによって結線していた。しかしボンディングワイヤには大きな抵抗や容量やインダクタンスが生じ、雑音が乗り易くて品質劣化の原因となる。また、ボンディングワイヤを短絡させないためにチップのパッケージ内にスペースを必要とし、接続本数も100~200本に限られてしまっている。

このためダイを貫通する電極を設け、積み重ねたダイの間を垂直方向に直接接続する“TSV”(Through Silicon Via)の研究が盛んに行われている。TSVを用いることによりボンディングワイヤと比べて配線の長さは著しく短く出来、これにより信号遅延や消費電力を抑えられる。しかも桁違いに多くの接続本数を確保することが可能である。この技術により、『3次元集積回路』を実現することが可能になってきた。そして、数年以内の実用化が期待されている。図1に例を示す。

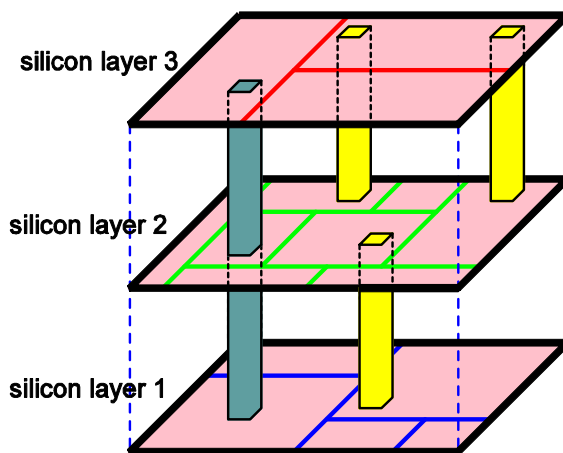


図1: 3次元集積回路の概念図

2. 研究の目的

微細加工技術の進歩によって素子遅延が小さくなり、相対的に大きな割合を占めることになった配線遅延を小さくすることが、レイアウト設計における最大の課題の一つに

なっている。この解決策として近年注目されてきているのが、素子を3次元方向に集積した『3次元集積回路』である。

本研究では未だに定まっていないその設計手法を確立すべく、『配線が短くなるようにレイアウト設計する』ことを容易に行うことができるよう、Simulated Annealing法などの探索手法を用いた設計方法を主に考え、探索の際に必要な不可欠であるレイアウト表現方法について、効率よく探索できるものを考えて編み出す。

また、探索するためには表現方法に隣接関係を定義して解空間を張る必要があるが、この解空間の良し悪しも探索効率に大きく影響することが知られている。そこで、それぞれの表現方法について、探索効率が優れた解空間はいかなるものかを明らかにする。この他に、線形計画法を利用した手法を試みる。

3. 研究の方法

研究代表者は本研究に着手する前に、既に、3次元/真の3次元配置の表現方法を幾つか提案して論文発表しているため、これらの配置表現方法上で配線長が短くなる配置を探索し、線形/非線形計画法を用いるなどしてTSVの総数や配線長などの観点でもってそれぞれの手法を評価する。そして、これらの表現方法よりも優れた表現方法を考案し、また好ましい隣接解定義を求めて解空間を張る。

それぞれの手法の良し悪しの判定は、TSVの総数や配線長の見積りだけでなく、市販レイアウトツールにより最終評価し、配置探索手法にフィードバックすることをも含めて、3年で行なう計画であった。

4. 研究成果

(1) LSIレイアウト設計において、しばしばチップを表す矩形を水平方向、垂直方向の分割線により矩形形状の領域(部屋)に分割させた矩形分割を求め、これをフロアプランとして、各々の部屋にモジュールを割り当てて配置する。これを、複数の能動層を重ねた3次元集積回路のレイアウト設計に拡張するためには、異なる二つの能動層間を結ぶビア(TSV)、複数の能動層を通過するサーマルビアを配置することを考慮しなくてはならない。そこで、よい3次元集積回路レイアウトを得るためには、異なる能動層間における「縦方向への隣接」を考慮できるフロアプランの表現方法が必要となるであろう。このために、能動層ごとのフロアプランに対応する矩形分割を重ねて得られる図形「重矩形分割」を用いて3次元集積回路のフロアプランを表現することを提唱し、各能動層のフロアプランをそれぞれ表現するQ-Sequenceと、順列対によって重矩形分割を表現するというMulti-sequenceを提案した。

3次元集積回路の「重矩形分割」の概念を初めて提唱し、その表現のために重矩形分割と1対1対応するMulti-sequenceという表

現方法を提案したことは、国内外を含めて初めてであり、新たな分野を開拓した研究であると思われる。

(2) 「重矩形分割」を3次元集積回路の設計に用いるためには、Simulated Annealing 法などの探索手法によって効率よく探索できる表現方法に encode する必要があるのだが、既存研究の表現では、このような探索が困難であった。そのため、2次元集積回路 LSI フロアプランの表現方法である FT Squeeze を応用し、3次元集積回路のフロアプランである重矩形分割を表現でき、Simulated Annealing 法などで容易に探索できる表現方法を提案した。また、この表現方法の有効性を計算機実験によって確かめた。

この表現方法の登場により、よりよい重矩形分割を効率よく Simulated Annealing 法にて探索することが可能となった。この研究については、論文誌投稿の準備中であり、また、更なる拡張と効率化が期待できる。

(3) 矩形の領域を水平/垂直線分により小矩形の領域(部屋)に分割する『矩形分割』は2次元集積回路のフロアプランとしてしばしば用いられている。近年、 n 個の部屋からなるどんな矩形分割も長さ $3n - 4$ ビットで表現する方法が提案された。そこで、この表現方法について、鏡面反転した矩形分割に対応するビット列が元のビット列から容易に導けるといいう性質を明らかにした。そして Simulated Annealing 法の隣接解生成を簡易なビット操作にするため、対応する矩形分割の存在しないビット列を、できるだけ少ない修正によってデコードする手法を提案し、他の表現方法との比較実験を行い、その探索効率の良さを示した。

矩形分割に対するこの表現方法は、既存の表現方法と比べてはるかに少ない情報量にて効率よく矩形分割を表しているので、Simulated Annealing 法などによる探索の効率が非常に高くなる傾向があるため、将来の3次元への拡張に向け、研究中である。

(4) 3次元集積回路フロアプランの Simulated Annealing 法などでの探索は、主に、2次元パッキングのトポロジカルな表現方法である sequence-pair を各能動層に割り当てるなどにより行われてきていたが、探索効率が2次元の場合に比べて著しく劣っていた。そこで、効率の良い探索を可能にするため、単一の sequence-pair と数列を用いた表現方法とその隣接解生成法を提案し、各層に sequence-pair を割り当て表現する方法との比較実験により有効性を確認した。

(5) Simulated Annealing 法は元来、焼きなましと呼ばれる物理現象を模倣した手法であり、冷却スケジュールにしたがって温度を降下させながら、隣接解生成法により定まる

解空間の中で、良い解を確率的に探索する。Simulated Annealing 法を用いて解を探索するためには、「隣接解生成法」を定義し解空間を張る必要がある。これまでに提案されてきた隣接解生成法をみても、そのほとんどが、規模の大きい問題では効率が悪くなる。そのため、扱う問題規模に関わらず、解の探索を効率良く行える解空間の構成法が求められていた。そこで、解空間の直径に注目し、幾何数列を取り入れた新しい解空間の構成法を提案した。そして、計算機実験によって、その有効性を確かめた。

ここで提案した解空間構成法は、3次元集積回路フロアプランに限らず、Simulated Annealing 法が適用されていた全ての問題に適用が可能であり、しかも、その性質から、従来は探索困難であることが知られていた、非許容解を含んだ解空間において「任意の許容解から任意の許容解へ到達できる」という到達可能性を強引に満たさせて探索効率を劇的に改善する可能性が期待できるので、今後、どこまで探索効率を改善できるか調べることを計画している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4件)

1. 太田秀典, 藤吉邦洋, “矩形分割を重ねて得られる図形による 3D-LSI フロアプラン表現”, 電子情報通信学会 和文論文誌 (D), 査読有, Vol. J97-D, No.1, 2014, pp.204-215.
2. Keitaro Ue, Kunihiro Fujiyoshi, “A Method of Analog IC Placement with Common Centroid Constraints”, IEICE Trans. Fundamentals, 査読有, Vol. E97-A, No.1, 2014, pp.339-346, DOI: 10.1587/transfun.E97.A.339
3. 山根一夫, 藤吉邦洋, “最小コストフローを用いた指定長配線手法”, 電子情報通信学会 和文論文誌 (A), 査読有, Vol. J97-A, No.1, 2014, pp.23-32.
4. 手塚寛, 藤吉邦洋, “三次元 LSI のフロアプラン探索に適した解空間”, 電子情報通信学会 和文論文誌 (A), 査読有, Vol. J96-A, No.3, 2013, pp.129-133

[学会発表](計 20件)

1. 手塚寛, 藤吉邦洋, “Simulated Annealing 法探索に適した解空間の構成法に関する研究”, 電子情報通信学会 VLSI 設計技術研究会, 2014年3月4日, 沖縄青年会館.
2. 室辰健一郎, 藤吉邦洋, “アナログ集積回路での近接共通重心配置に関する研究”, 電子情報通信学会 VLSI 設計技術研究会, 2013年11月27日, 鹿児島県文化センター.

3. 小貝和史, 藤吉邦洋, “矩形分割の 3n-4 ビット表現の性質を利用した探索手法に関する研究”, 電子情報通信学会 回路システム研究会, 2013 年 11 月 6 日, 花巻温泉峡渡り温泉さつき.
4. Kunihiro Fujiyoshi, Kazuo Yamane, “A Routing Method Using Minimum Cost Flow Algorithm for Routes with Target Wire Lengths”, the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI) 2013, 2013 年 10 月 21 日, ホテル札幌ガーデンパレス.
5. 原田昌之, 大島津佳, 藤吉邦洋, “Simulated Annealing 法に基づいた自動マーキングシステムの一手法”, 電子情報通信学会 回路とシステム研究会, 2013 年 7 月 12 日, 熊本大学.
6. 松浦哲也, 藤吉邦洋, “分枝限定法を用いた, 重ね合わされるプリント基板への素子配置手法”, 電子情報通信学会 回路とシステム研究会, 2013 年 3 月 15 日, 慶應義塾大学 鶴岡タウンキャンパス.
7. 山根一夫, 藤吉邦洋, “最小コストフローを用いた, 指定長配線の改良手法”, 電子情報通信学会 VLSI 設計技術研究会, 2013 年 1 月 16 日, 慶應義塾大学日吉キャンパス.
8. Hiroshi Tezuka, Kunihiro Fujiyoshi, “An Efficient Solution Space for Floorplan of 3D-LSI”, IEEE International Conference on Electronics, Circuits, and Systems (ICECS2012), 2012 年 12 月 11 日, Seville, Spain.
9. 藤吉邦洋, 上慧太郎, “アナログ集積回路での近接共通重心配置制約を考慮した配置手法の研究”, 電子情報通信学会 VLSI 設計技術研究会, 2012 年 11 月 28 日, 九州大学医学部百年講堂.
10. 松浦哲也, 藤吉邦洋, “重ね合わされるプリント基板上への素子配置手法”, 電子情報通信学会 VLSI 設計技術研究会, 2012 年 5 月 31 日, 北九州国際会議場.
11. Keitaro Ue, Kunihiro Fujiyoshi, “A Method of Analog IC Placement with Common Centroid Constraints”, the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI) 2012, 2012 年 3 月 9 日, B-con Plaza, 別府.
12. Ryutaro Hayashi, Hidenori Ohta, Kunihiro Fujiyoshi, “A Novel Representation for 3D-LSI Floorplan: Merged FT Squeeze”, IEEE Latin American Symposium on Circuits and Systems (LASCAS 2012), 2012 年 2 月 29 日, Playa del Carmen, Mexico.
13. 林龍太郎, 太田秀典, 藤吉邦洋, “3D-LSI フロアプランの表現方法: Merged FT Squeeze”, 第 24 回回路とシステムワークショップ, 2011 年 8 月 2 日, 淡

路島夢舞台国際会議場.

14. Kunihiro Fujiyoshi, Keisuke Ishihara, Wei Liang Tan, “A Novel Representation for Repeated Placement”, IEEE International Symposium on Circuits and Systems (ISCAS 2011), 2011 年 5 月 18 日, Rio de Janeiro, Brazil.

〔図書〕(計 0 件)

〔産業財産権〕
出願状況(計 0 件)
取得状況(計 0 件)

〔その他〕
ホームページ等
なし

6. 研究組織

- (1) 研究代表者
藤吉 邦洋 (FUJIYOSHI Kunihiro)
東京農工大学大学院工学研究院・准教授
研究者番号: 80242569
- (2) 研究分担者
なし
- (3) 連携研究者
なし