

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 6 月 4 日現在

機関番号：17104
 研究種目：挑戦的萌芽研究
 研究期間：2011～2012
 課題番号：23650118
 研究課題名（和文） 構造的脳型情報処理システムのためのスパイク駆動型位相振動子集積回路の開発
 研究課題名（英文） Development of spike-driven phase-oscillator integrated circuits for information processing systems with brain-like structures
 研究代表者
 森江 隆 (MORIE TAKASHI)
 九州工業大学・大学院生命体工学研究科・教授
 研究者番号：20294530

研究成果の概要（和文）：脳の情報処理様式をまねて、スパイクパルスの時間タイミングによって時間軸情報処理を実行するパルス結合位相振動子系を CMOS 集積回路技術で設計・開発した。まず、2～4 個の振動子の結合系を実現する集積回路を試作し、その測定により回路パラメータと結合振動子動作の関係を解析した。次に、画像処理用として 30x30 画素相当の 900 個の振動子を結合した系を実現する集積回路を設計・開発し、画像領域分割動作を確認した。さらに、集積回路製造で不可避免的に生じる素子バラツキの影響を抑制するための回路構成法を考案した。

研究成果の概要（英文）：Pulse-coupled phase oscillator network systems that implement time-domain information processing using timing of spike pulses mimicking information processing architecture in the brain were designed and developed using a CMOS integrated circuit technology. First, integrated circuits that implement coupled systems of several oscillators were fabricated and the relationship between circuit parameters and oscillator operation was analyzed by measuring the fabricated chips. Then, we designed and developed integrated circuits for a coupled oscillator system that consists of 900 oscillator circuits corresponding with 30x30 pixels of an image, and verified image region segmentation operation using a fabricated chip. We also invented circuit configurations to reduce the effects of device mismatches that inevitably occur in the integrated circuit fabrication.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	2,800,000	840,000	3,640,000

研究分野：総合領域

科研費の分科・細目：情報学・感性情報学・ソフトコンピューティング

キーワード：電子デバイス・機器，スパイク駆動，位相振動子，集積回路，脳型情報処理

1. 研究開始当初の背景

脳の機能を解明し、それを工学的に応用して知能ロボットや知能化自動車を開発することは、脳という人類最大の謎に迫る大いなる挑戦であるとともに、人々の将来の安心・安全・快適な生活を保証する上でも極めて重要な課題である。

脳の高次レベルの情報処理原理・機能は未

だに全くわかっていないと言っても良い段階だが、近年のデジタル計算機の驚異的な発展により、世界各国で、スーパーコンピュータによる脳の一部の大規模シミュレーションが行われている（例えば、米国の DARPA の主導による IBM の脳シミュレータ等）。一方で、EU で実施された研究プロジェクト FACETS では、アナログ回路によるウェア

スケール大規模ニューラルネットワークが開発された。

本研究代表者らは、従来より、脳の情報処理様式にヒントを得て、時間軸にアナログ的に情報を展開して計算を行う PWM 信号を用いた A・D 融合方式を提案し、各種情報処理用集積回路を開発してきた。この方式には任意の非線形変換関数を実現できるという大きな特長があり、これにより任意の結合関数を有する位相振動子ネットワーク回路を構成できる。さらに、本研究では、それに加えて、スパイクパルスで結合された振動子回路、すなわちより生体の神経細胞に近く、効率的動作が期待できる振動子モデルを実現する回路構成を考案し、それを用いた大規模ハードウェアの構築を目指す。

2. 研究の目的

意識を含む脳の高次機能を人工的に実現するには、現在行われているようなデジタル計算機による大規模シミュレーションでの方向性では原理的な困難があり、アナログ動作する実デバイスを用いた“構造”を有する脳型ハードウェアを構築する必要がある。本研究では、その基盤として、神経細胞の基本的機能としてスパイクパルスによる同期性と非線形処理による時間軸情報処理が必須と考え、それを実行する位相振動子ネットワーク回路を CMOS 集積回路技術により開発し、そこから得られた成果により、次世代のナノ構造ニューロンデバイスの設計指針を得ることを目的とする。

3. 研究の方法

スパイク駆動型モデルとして、積分発火型ニューロンモデルをもとにし、一定速度で内部状態を増加する機構を組み込むことで位相振動子を実現し、そのような振動子ユニットが多数結合している系を構成する。各ユニットが位相差を有しているという意味では非同期型モデルであり、既存の同期型デジタル方式とは全く原理が異なる。さらに、状態更新がスパイクタイミングのアナログ的線形もしくは非線形関数で実行されるため、既存のデジタル方式では困難な非線形変換も容易に実現でき、複雑な情報処理モデルが実装可能になる。

このスパイク駆動型モデルを用いると、画素並列型の各種画像処理機能が実現できる。ここでは、ノイズの混入した画像の修復や大局的領域分割を実現する領域ベース結合 MRF (マルコフ・ランダム場) モデルを実装し、スパイクの同期性を利用した情報処理の有効性を実証する。

まず、2 個の パルス結合位相振動子から成るテスト回路の詳細測定・評価・実験から開始し、得られた結果をもとに、モデルおよび回

路の改良設計を行い、より大規模な振動子ネットワーク回路を設計する。試作チップでの評価結果から改良点を見だし、さらなる大規模システム (数千~数万素子) を実現するための方策を提案することとする。

4. 研究成果

(1) パルス結合位相振動子モデル

パルス結合振動子モデルは、以下の式によって表される。

$$\frac{d\phi_i}{dt} = \omega_i + Z(\phi_i)S(t)$$

ここで、 ϕ_i は振動子の状態を表す周期 2π の位相変数、 ω_i は固有角周波数、 $Z(\phi_i)$ は位相応答関数である。 $S(t)$ は他の振動子からの入力項であり、次式のように表される。

$$S(t) = \frac{K_0}{N} \sum_{j=1}^N \sum_{n=1}^{\infty} \delta(t - t_{jn})$$

ここで、 K_0 は結合強度、 N は結合している他の振動子の数、 δ は Dirac のデルタ関数である。 t_{jn} は振動子 j の n 番目のスパイク発火タイミングである。このモデルのダイナミクスを図 1 に示す。振動子は他の振動子からの入力がないとき、位相変数 ϕ_i は一定の ω_i によって連続的に単調増加する。位相変数が一定のしきい値 (2π) に達すると 0 にリセットされ、同時にスパイクパルスを出力する。つまり、スパイクを出力するタイミングは、時間軸上で状態値が 0 または 2π であることを示す。

したがって、結合している他の振動子がこのスパイクを受け取った場合、そのタイミングでの位相変数 ϕ_j は、 ϕ_i との位相差 $\phi_j - \phi_i$ と等価である。つまり、他の振動子のスパイクタイミングにおいて、その振動子との位相差が自分の状態値で表現できる。よってこのモデルでは、スパイクの受け渡しのみによつ

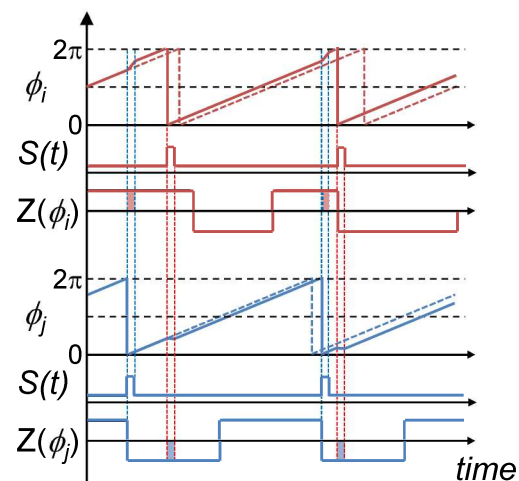


図 1. パルス結合位相振動子の動作

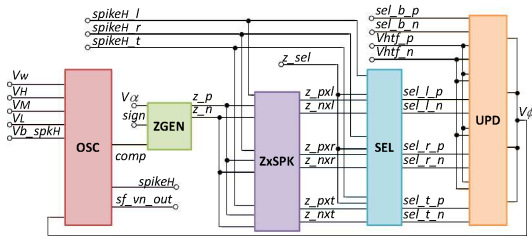


図2. 位相振動子回路構成

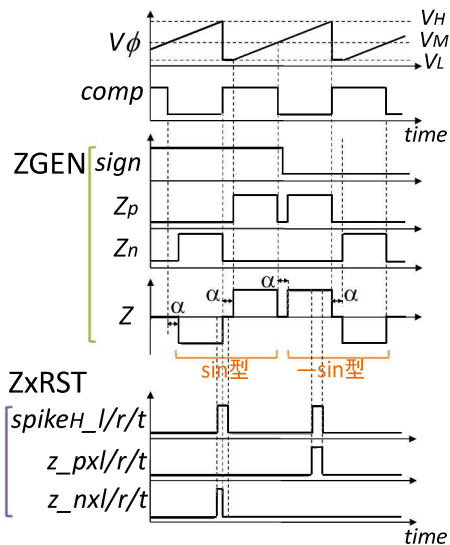
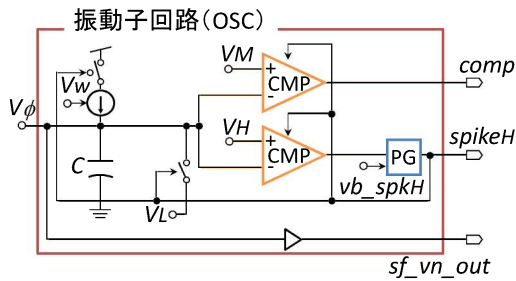


図3. 振動子回路と動作タイミング

で状態値の差分演算を行うことができ、位相応答関数 Z による非線形変換の結果で状態を更新する。

(2) CMOS パルス結合位相振動子回路

パルス結合位相振動子回路構成を図2に示す。この回路は振動子回路 OSC、位相応答関数生成回路 ZGEN、Z-spike 合成回路 ZxSPK、選択回路 SEL および状態更新回路 UPD から構成される。ZxSPK 回路は、自身の生成した位相応答関数 Z と他の振動子からのスパイクパルスを合成し、出力する。振動子回路と ZGEN 等の動作シーケンスを図3に示す。

パルス結合位相振動子回路を $2\mu\text{m}$ プロセス (1-Poly, 2-Metal) で設計・試作した。試作チップを複数個結合する測定ボードを作製してシステム化した。設計結果を図4に示す。このシステムを用いて、複数の振動子

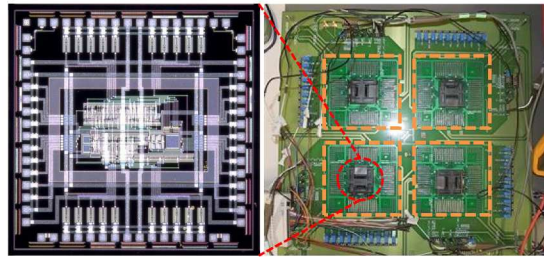
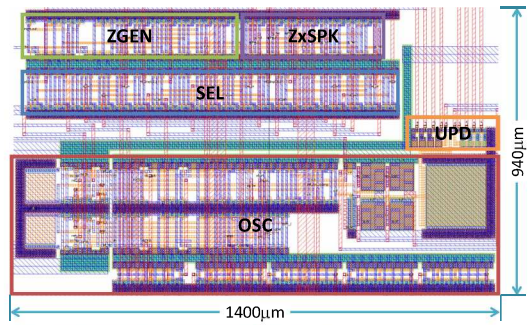


図4. 振動子回路レイアウト図, チップ写真, 測定ボード

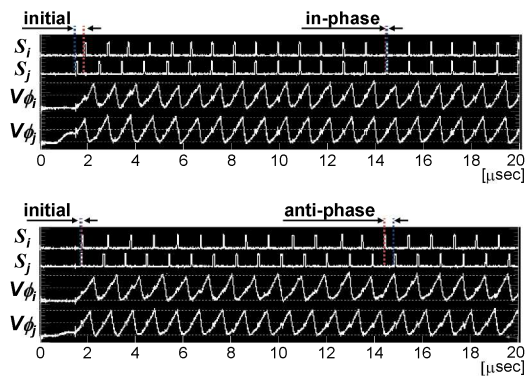


図5. 振動子試作回路を用いた2振動子結合系での同相同期、逆相同期の観測結果

回路結合系で同期現象を観測した。図5に2振動子結合系での同相同期・逆相同期の観測結果を示す。

(3) 大域的画像領域分割のための領域ベース結合 MRF モデル

画像を大まかに分割するための処理モデルとして結合 MRF モデルが提案されている。このモデルには、領域境界を決定する境界ベースモデルと、領域自体にラベルを振る領域ベースモデルがあるが、曖昧な境界があっても分割が可能な領域ベースの方が優れていると言われている。ただし、領域ベースモデルは処理が複雑で計算量が多いという欠点がある。

領域ベース結合 MRF モデルは、画素強度を表す強度プロセスと、領域に振るラベルを隠れ変数とするラベルプロセスの相互作用で成り立っている。両者の結合モデルの概要と画像処理結果の例を図6に示す。

領域ベース結合 MRF モデルにおける結合方

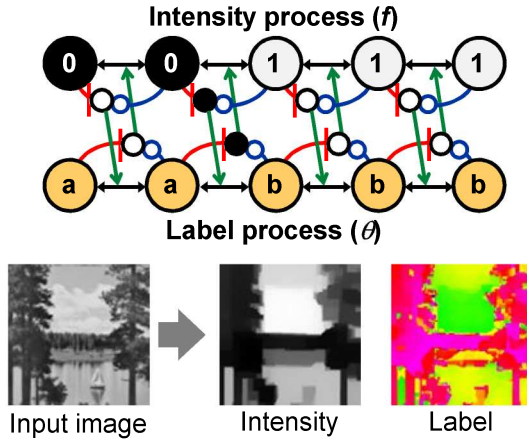
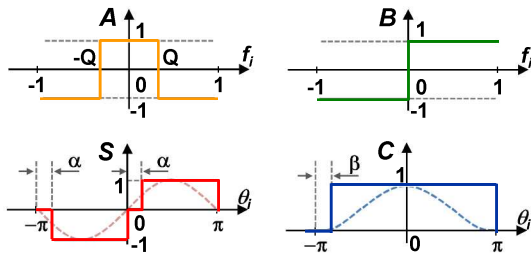


図6. 領域ベース結合 MRF モデルとそれを用いた画像領域分割処理結果



$$\frac{df_i}{dt} = \omega_{fi} + B(f_i)Spk_f(t) \cdot C(\theta_i)Spk_\theta(t)$$

$$\frac{d\theta_i}{dt} = \omega_{\theta i} + A(f_i)Spk_f(t) \cdot S(\theta_i)Spk_\theta(t)$$

$$Spk_f(t) = \frac{K_f}{N} \sum_{j=1}^N \sum_{n=1}^{\infty} \tilde{\delta}(t - t_{fjn})$$

$$Spk_\theta(t) = \frac{K_\theta}{N} \sum_{j=1}^N \sum_{n=1}^{\infty} \tilde{\delta}(t - t_{\theta jn})$$

図7. 領域ベース結合 MRF モデルを実現するパルス結合位相振動子系

式を、集積回路化が容易なように3値関数を用いた結合に簡略化し、画像領域分割性能を評価した。その結果、1回の更新量が一定となるため分割性能が向上することがわかった。

さらに、強度・ラベル両プロセスをスパイクタイミングにより表現したモデルを考案した。これは、状態値の大小をスパイクパルスの早い遅いに対応させたもので、従来の微分方程式で表現されたダイナミクスを、スパイクパルスで結合させたものである。その数式による表現を図7に示す。ここで、 f_i 、 θ_i はそれぞれ強度・ラベルプロセスである。チルダ付きの δ は、微小幅を有するスパイクパルスを表す。数値シミュレーションによると、従来のアナログ状態結合のダイナミクスを持つモデルと同等の領域分割処理結果が得られており、このモデルの有効性が示された。

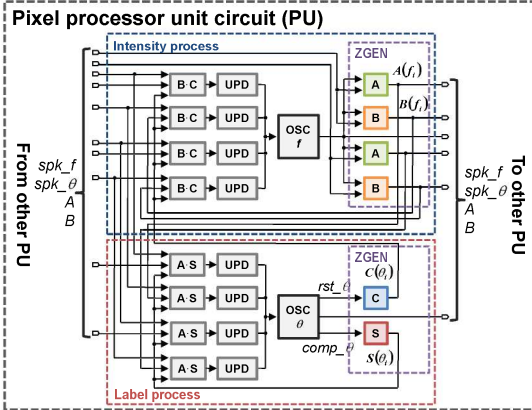
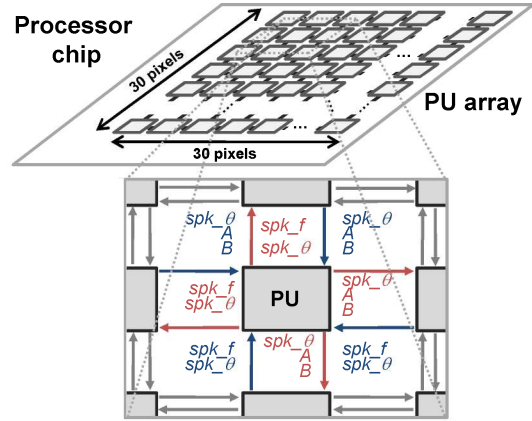


図8. 画像処理用パルス結合振動子ネットワークの回路アーキテクチャと振動子回路構成

(4) 画像処理用パルス結合振動子ネットワーク回路

前節で述べた結合 MRF モデルを実現するパルス結合位相振動子系を CMOS 集積回路で設計・試作した。チップ構成を図8に示す。チップは画素処理ユニット回路 (PU) が画像画素に対応して2次元アレイ状に配列された構成となっている。PUは、図6および図7で示した強度・ラベルプロセスに対応して2個の振動子回路からなっており、上下左右に位置するPU内の両プロセスに対応する振動子回路とスパイクパルスで結合している。各振動子回路は、振動子OSC、結合関数生成回路A, B, S, C (図7参照)、結合関数の乗算を行う回路(BC等)および更新回路UPDから成る。

0.25 μ m CMOS 回路技術で設計した回路レイアウト図とチップ写真を図9に、チップ諸元を表1に示す。5mm角チップに、30x30個のPU回路アレイを搭載した。低電力化設計により、電源電圧3.3V (アナログ部) / 2.5V (デジタル部) でチップの消費電力を65.8mWと、超低消費電力化が達成できた。

チップ内での、関数演算を含めた全処理演算数を求めると、43.2GOPS (Giga operations per second) となり、消費電力当たりの演算性能は656GOPS/Wとなった。この値は開発時

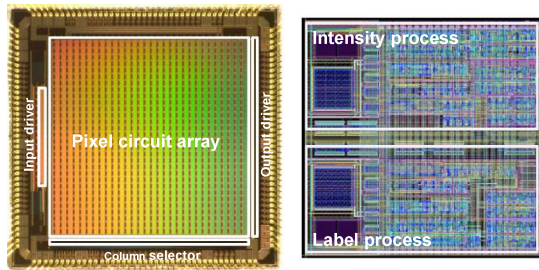


図9. 画像処理用パルス結合振動子ネットワーク集積回路のチップ写真と振動子回路レイアウト図

表1. 画像処理用パルス結合振動子回路ネットワークチップの諸元

Technology	0.25 μm CMOS
Chip size	5 mm sq.
Number of pixels	30 x 30
Pixel circuit area	126.5 x 126.5 μm^2
Supply voltage	3.3 / 2.5 V
Update freq. (max.)	1 MHz
Capacitance C	2 pF
Power consumption	65.8 mW
Performance	43.2 GOPS 656.5 GOPS/W

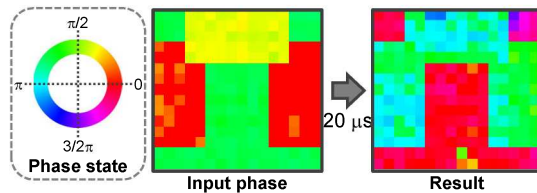


図10. パルス結合振動子ネットワークチップによる領域分割実験結果

点での世界最高性能に匹敵している。処理機能が固定されているとは言え、0.25 μm CMOS技術という、最先端技術に比較して数倍のサイズの、古い技術を用いていることを考慮すると、この結果はパルス結合振動子系を用いた集積回路技術の大きな可能性を示していると言える。

試作した集積回路チップを用いて、画像領域分割実験を行った。図10に結果の一部を示す。位相状態を色相で表現しており、初期状態として赤・黄・緑色で表された三つの領域が、処理後には値の近い赤と黄色の領域が同一化され、元の緑の領域と分割されている。これにより大局的な領域分割が実現できていることがわかる。しかし、一方で同一領域内でも状態値のバラツキが見られる。これは集積回路を構成するトランジスタ素子の製造バラツキによるものであり、アナログ的動作をさせる集積回路で常に問題となるものである。

この製造バラツキの影響は、振動子の同期

引き込み機能によりある程度は吸収できるが、限界を超えるとバラツキの影響が効いてくる。そのため、バラツキの影響を低減させる回路構成を考案した。これは同期動作を利用して、自動的にバラツキを補正できる回路である。この機能を組み込んだ集積回路を設計・試作し、その機能を確認した。

(5) まとめと今後の展望

本研究で設計・試作した画像処理用パルス結合振動子ネットワーク集積回路は、古いチップ製造技術を用いたにもかかわらず、世界最高水準の消費電力当たりの演算性能を達成した。この成果は、提案した情報処理モデルおよび集積回路構成の優れた将来性を示すものであり、非線形ダイナミクスとスパイク駆動時間軸情報処理という、脳型情報処理の重要な特性の有効性を示したのものである。今後、画像領域分割処理以外のより知的な情報処理への応用が期待される。

一方で、単純な振動子回路構成では、集積回路構成素子の製造バラツキによる悪影響が明らかになったが、それを低減する新しい回路構成を提案した。今後、このバラツキ低減化回路を組み込んだ大規模振動子ネットワーク集積回路チップを開発する予定である。同時に、研究代表者が並行して研究を進めている新構造ナノデバイスと組み合わせることにより、現在のデジタルシステムよりも遙かに高集積・高性能な脳型情報処理ハードウェアが実現可能になり、脳の構造を再構成できるシステム構築の基盤技術の確立に繋がると期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

- ① 東原 敬, 松坂 建治, 西 広海, 森江 隆, スパイクベース非線形演算のためのCMOS結合位相振動子回路, 電子情報通信学会技術研究報告(NLP), 査読無, Vol. 112, No. 389, pp. 137-142, 2013.
- ② 前田 道孝, Frank Maldonado H., 松尾 貴之, 田中 秀樹, 梁 海超, 松坂 建治, 森江 隆, 合原 一幸, FPGAにより制御される専用アナログチップを用いたスパイクニューラルネットワークシステムの開発, 電子情報通信学会技術研究報告(NC), 査読無, Vol. 112, No. 390, pp. 181-186, 2013.
- ③ 松坂 建治, 田中 秀樹, 大久保 悟, 東原 敬, 森江 隆, LSI実装に向けたパルス結合位相振動子系に基づくスパイクベース演算, 電子情報通信学会技術研究報

告 (NC), 査読無, Vol. 112, No. 227, pp. 127-132, 2012.

- ④ K. Matsuzaka, T. Tohara, K. Nakada, and T. Morie, Analog CMOS Circuit Implementation of a Pulse-coupled Phase Oscillator System and Observation of Synchronization Phenomena, Nonlinear Theory and Its Applications, IEICE, 査読有, Vol. 3, No. 2, pp. 180-190, 2012.
- ⑤ K. Matsuzaka, K. Nakada, and T. Morie, Analog CMOS Circuit Implementation of a System of Pulse-Coupled Oscillators for Spike-Based Computation, Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS 2011), 査読有, pp. 2849-2852, 2011.

[学会発表] (計 6 件)

- ① 森江 隆, 秦 佑輔, 西 広海, 松坂 建治, 知的センシングデバイスデバイスのための脳型処理モデルを実現するアナログ・デジタル融合 LSI, 電気学会 センサ・マイクロマシン部門大会, 第 29 回「センサ・マイクロマシンと応用システム」シンポジウム, 2012 年 10 月 22 日, 北九州国際会議場 (北九州) .
- ② 西 広海, 秦 佑輔, 松坂 建治, 森江 隆, 大局的画像領域分割のための領域ベース結合 MRF モデルを実現する PWM 方式画素回路アレイ, LSI とシステムのワークショップ, 2012 年 5 月 29 日, 北九州国際会議場 (北九州) .
- ③ K. Matsuzaka, H. Tanaka, S. Okubo, and T. Morie, A 656GOPS/W pixel processor array with time-domain nonlinear computation for image region Segmentation, IEEE 59th International Solid-State Circuit Conference (ISSCC2012) Student Research Preview, Feb. 19, 2012, San Francisco, USA.
- ④ K. Matsuzaka, T. Tohara, K. Nakada, and T. Morie, Analog CMOS Circuit Implementation of a Pulse-Coupled Phase Oscillator System, 4th East-Asia Inter-University Workshop on Brain Engineering (EAW2011), Dec. 27, 2011, Daejeon, Korea.
- ⑤ 東原 敬, 松坂 建治, 中田 一紀, 森江 隆, パルス結合位相振動子系を実現する CMOS 回路, 電気学会 電子・情報・システム部門大会, 2011 年 9 月 8 日, 富山大学 (富山) .

[その他]

ホームページ等

<http://www.brain.kyutech.ac.jp/morie/>

6. 研究組織

(1) 研究代表者

森江 隆 (MORIE TAKASHI)

九州工業大学・大学院生命体工学研究科・教授

研究者番号 : 2 0 2 9 4 5 3 0

(2) 研究協力者

松坂 建治 (MATSUZAKA KENJI)

九州工業大学・大学院生命体工学研究科・技術職員

(3) 研究協力者

東原 敬 (TOHARA TAKASHI)

九州工業大学・大学院生命体工学研究科・博士後期課程学生