

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 6 月 7 日現在

機関番号：26402

研究種目：若手研究(B)

研究期間：2011～2012

課題番号：23700059

研究課題名（和文）

再構成可能アーキテクチャによるバックアップ機構を有する高信頼システム

研究課題名（英文）

Dependable system with backup mechanism based on reconfigurable architecture

研究代表者

密山 幸男 (MITSUYAMA YUKIO)

高知工科大学・工学部・講師

研究者番号：80346189

研究成果の概要（和文）：

高信頼なバックアップ回路を動的に実現することができる高信頼再構成可能アーキテクチャを開発した。さらに、バックアップ機構により対象デバイスがスタンバイ状態にある間、スキャンパスを用いて緩和パターンを入力することで NBTI による経年劣化を低コストで緩和する手法を提案した。また、再構成可能デバイスにおいて、緩和効果の限界によってタイミング故障に至る前にそれを予測し、故障回路とスペア回路のペアを特定するパス遅延テスト手法を提案した。

研究成果の概要（英文）：

This project developed a dependable system based on mixed-grained reconfigurable architecture, which can implement a dependable backup circuit of target applications dynamically. We also proposed a method for mitigating NBTI-induced performance degradation that exploits the recovery property by shifting random input through scan paths during standby time. In addition to this, we proposed a path delay testing method for predicting a timing error on a coarse-grained reconfigurable architecture. The proposed method can effectively identify the faulty component, which will cause a timing error, and a fault-free component for substitution.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	2,900,000	870,000	3,770,000

研究分野：計算機アーキテクチャ、リコンフィギャラブルシステム

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム、ディペンダブルコンピューティング

1. 研究開始当初の背景

製造プロセスの微細化にともない、宇宙線などに起因するソフトエラーや経年劣化による遅延故障・ハード故障による VLSI の誤動作が深刻化している。

一般的なソフトエラー対策としては、回路の冗長化と比較・多数決処理の組み合わせで実現できるが、単純な冗長化では面積コストの大幅な増加が避けられない。このため、許容される面積オーバーヘッドを考慮しながら適切な冗長構成を実現することにより、動作環境やアプリケーションに応じて適応的な

ソフトエラー耐性を効率良く実現することが重要である。

また、VLSI の高性能化要求に対する最適化設計手法の進歩によりタイミングマージンの少ないパスが増えるため、NBTI (Negative Bias Temperature Instability) などの経年劣化現象による遅延故障が深刻化している。経年劣化による遅延故障を避けるためには遅延増加分を設計マージンとして考慮しておく必要があるため、高性能化の足枷となっている。NBTI 劣化を動的に緩和する方法はいくつか提案されているが、動作を長時間停止させて

回路を休ませる必要があるため、効率の良い劣化緩和手法が求められている。

金融・医療・交通インフラなど特に高い信頼性が求められるシステムにおいて、ソフトウェアや経年劣化によってシステムが一時的誤動作を起こすことだけでなく、突然機能を停止するようなことは絶対に許されない。このようなミッションクリティカルシステムにおいて、ソフトウェアなどの一時故障に対する耐性や経年劣化の効率的な緩和による回路の長寿命化だけでなく、不可避な故障の発生を的確に予測することにより、致命的な障害の発生を未然に防ぐことが強く求められている。

2. 研究の目的

本研究では、システムを停止させることなく各種故障の検知や修復を小面積コストで実現することができる高信頼システムを開発する。高信頼再構成可能アーキテクチャによってバックアップ回路を動的に生成し、システムを停止させることなく各種故障の検知や調整・修復を効率良く実現することができる高信頼システムの構築を目標とする。

3. 研究の方法

システムがソフトウェアや経年劣化によって突然機能を停止することなく、正常な動作を続けるためには、高信頼なバックアップ回路で機能を保証しながら、対象デバイスの劣化を効率的に緩和させる必要がある。さらに、劣化緩和効果の限界によってタイミング故障が発生することが避けられない場合、タイミング故障発生前にそれを予測する必要がある。そこで本研究では、以下に挙げる3つの研究課題に取り組む。

- (1) 高信頼再構成可能アーキテクチャによるバックアップ回路の実現
- (2) スキャンパスを用いたNBTI劣化緩和手法の提案
- (3) 自己調整による性能回復を考慮した寿命予測手法の提案

4. 研究成果

(1) 高信頼性再構成可能アーキテクチャ
高信頼なバックアップ回路を実現するため、柔軟な冗長構成によって適応的なソフトウェア耐性を実現する再構成可能アーキテクチャを開発した。提案アーキテクチャは、構成情報メモリと演算回路の柔軟な冗長構成を実現するため、図1に示すようなクラスタアーキテクチャを採用する。各クラスタは、入出力データを格納するメモリクラスタの他に、図2に示すALUベースの粗粒度型構成要素(演算クラスタ)と図3に示すLook Up Tableベースの細粒度型構成要素(LUTクラスタ)を有する混合粒度型再構成可能アーキ

テクチャである。これにより、データストリーミング処理だけでなく条件分岐などの制御処理を実現できるようになり、一般的な粗粒度型再構成可能アーキテクチャと比較して対象アプリケーション領域が大幅に拡大され、より実用的なアプリケーションを実現できる。

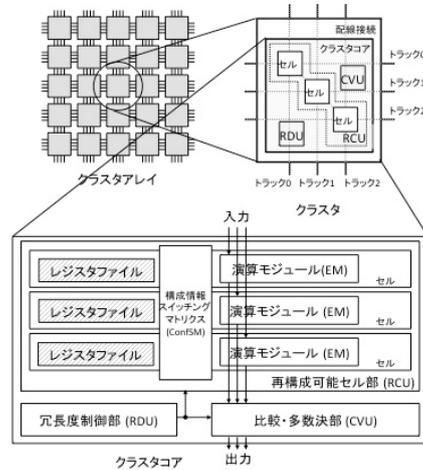


図1 提案クラスタアーキテクチャ

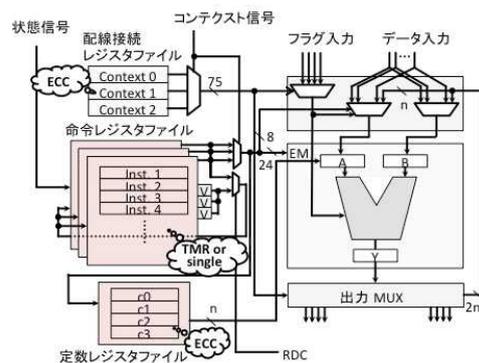


図2 演算クラスタ

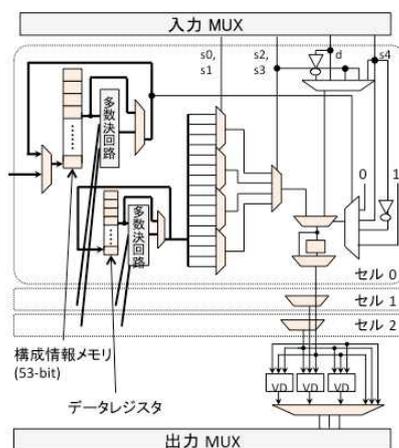


図3 LUT クラスタ

65nm プロセスを用いてテストチップを作成し、図4に示す評価ボード上で実証実験を行った。ビデオ入力データに対してフィルタ処理を行うテストチップ上に α 線を照射し、高放射線環境下で通常モード（冗長化無し）と高信頼モード（全三重化）で出力を確認した。その結果、図5に示すように、高信頼モードにおける提案アーキテクチャの有効性を実証することができた。

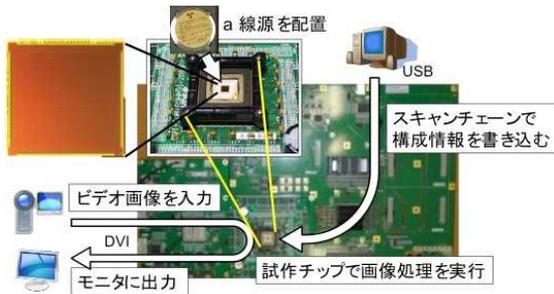


図4 テストチップと評価ボードによる実証実験環境



図5 実証実験による出力比較

(2) NBTI 劣化緩和手法

NBTI とは、ON 状態にある PMOS の閾値電圧が徐々に劣化し回路遅延が増大する現象である。NBTI には、劣化が進行するストレス状態に対して、PMOS が OFF 状態の間に劣化が回復するリカバリ状態があり、このストレスとリカバリの比が NBTI による劣化量に大きく影響する。特にストレス状態の割合が高い場合、劣化は急激に進行する。

PMOS がストレス状態に固定化されることを防ぐため、入力ベクトル制御を用いた手法が提案されているが、対象回路が大きく複雑になるに従って制御性が低下し、必要な入力ベクトルサイズが大きくなる。また、パワーゲーティングによる手法は、NBTI 劣化緩和手法としては最も有効であるが、スリープトランジスタの挿入による回路遅延の増加が避けられず、動作速度が重視される回路への適用は困難である。

そこで、回路のスタンバイ時間中にスキヤンパスを用いて緩和パターンを印加することで、低コストで回路内の PMOS のスイッチングを促し、NBTI による経年劣化を効率的に緩和する手法を提案した。提案手法の概念図を図6に示す。

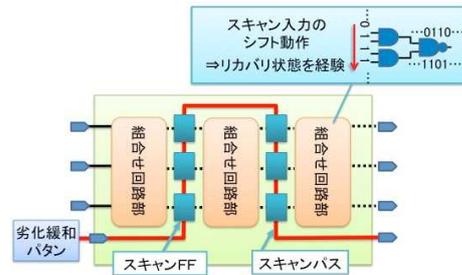


図6 提案 NBTI 劣化緩和手法

MIPS R3000に含まれる32ビットALUと、32ビットMDU (Multiply Divide Unit) を対象として、様々な動作条件を想定して評価を行った。評価結果を図7に示す。評価結果から、組合せ回路にランダムパターンをスキヤン入力した場合、NBTI による遅延増加を70%以上削減し、緩和上限値に近い劣化緩和を達成できることを示した。

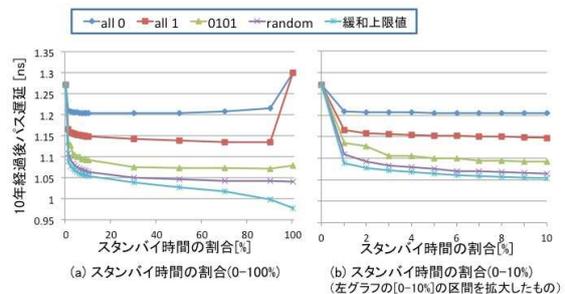


図7 スタンバイ時間の割合とクリティカルパス遅延の関係

(3) 寿命予測手法

再構成可能デバイスにおいて、故障が発生した構成要素 (Basic Element: BE) を未使用 BE (スペア BE) と交換することで回路寿命を延長する故障回避技術が注目されている。回路交換を行うためには、故障・劣化した BE とその交換先であるスペア BE のペアを特定する必要がある。しかし、遅延故障が対象の場合、複数の BE を通過するパス上の遅延が累積して故障が発生するため、交換すべき劣化 BE と交換先スペア BE の特定が困難である。また、交換ペアを特定し、スペア回路との機能交換が完了するまでの間に劣化の進行による遅延故障を発生させないために、その分のタイミング余裕を見越して遅延故障テストを行う必要があり、高い精度での寿命予測が求められている。しかしながら、このような要求を満たすような遅延テスト手法は報告されていない。そこで、再構成可能デバイスにおける回路交換による遅延故障回避に利用可能なテスト機構を提案し、テスト時間、面積オーバーヘッド、故障予測率について評価を行った。

パス遅延故障の検知ではなく、タイミング余裕の判定による遅延故障の予測を可能にするため、図8に示すような可変遅延素子を用いたパス遅延故障テスト手法を採用した。なお、提案手法では、タイミング余裕判定は回路のスタンバイ時間中に行う。

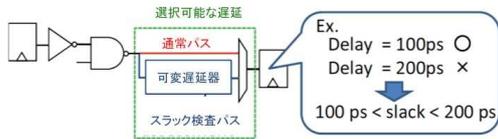


図8 遅延素子を用いたパス遅延故障テスト

提案手法により再構成可能デバイス上でタイミング余裕の評価を行うため、図9に示すようにパイプラインレジスタの前に遅延素子を挿入した。この例では、BE4の遅延素子が200psの時に遅延故障テストをパスしなかったものが、BE2をBE2'に交換することで800psの遅延素子でもテストをパスできた場合を示しており、スペアとの機能交換によってタイミング余裕が200ps以下から800ps以上に増えたことを意味している。

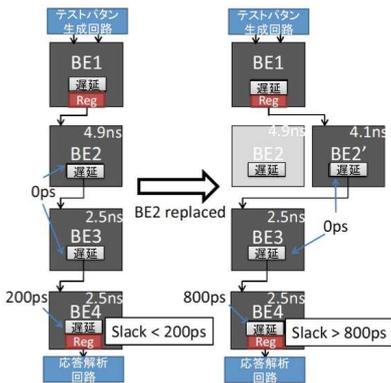


図9 再構成可能デバイスにおけるタイミング余裕の評価

ここで、故障予測の閾値となるタイミング余裕の設定が最も重要になる。例えば、閾値が高ければ遅延故障の発生率を大幅に下げられるが、一方で多くの検査対象パスで遅延故障の発生が予測され、機能交換が多発する。逆に、閾値が小さければ、図10の例に示すように、機能交換BEペアを特定する前に遅延故障が発生する可能性が高くなる。

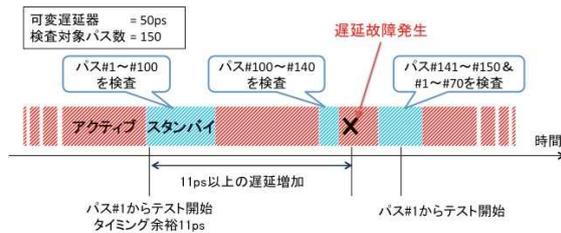


図10 遅延故障予測の失敗例

図11に、FIRフィルタとFFTを対象として、クロック周期に対するタイミング余裕の割合と故障予測の成功率を評価した結果を示す。なお、グラフ中の各線は、1時間の動作中における平均スタンバイ時間が異なる。また、FIRフィルタとFFTのクロックサイクル時間は、それぞれ8,209ps、5,940psである。評価結果から、スタンバイ時間が1時間中に1秒だけであったとしても、0.001%のタイミング余裕を閾値とした場合、遅延故障予測の成功率は100%を達成できることが明らかになった。

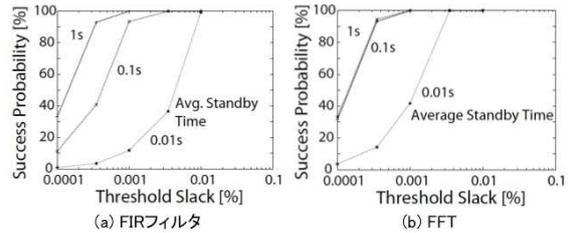


図11 タイミング余裕判定閾値と故障予測成功率の関係

5. 主な発表論文等

〔雑誌論文〕(計8件)

- [1] D. Alnajjar, H. Konoura, Y. Ko, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Implementing Flexible Reliability in a Coarse Grained Reconfigurable Architecture," IEEE Trans. on VLSI Systems, in press, 査読有。
- [2] T. Kameda, H. Konoura, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Field Slack Assessment for Predictive Fault Avoidance on Coarse-Grained Reconfigurable Devices," IEICE Trans. on Information and Systems, in press, 査読有。
- [3] D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Pvt-Induced Timing Error Detection Through Replica Circuits and Time Redundancy in Reconfigurable Devices," IEICE Electronics Express (ELEX), vol. 10, no. 5, April 2013, 査読有, DOI: 10.1587/elex.10.20130081.
- [4] D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "A Comparative Study on Static Voltage Over-Scaling and Dynamic Voltage Variation Tolerance with Replica Circuits and Time Redundancy in Reconfigurable Devices," Proc. of Int'l Conference on ReConFigurable Computing and FPGAs (ReConFig), Dec. 2012, 査読有, DOI: 10.1109/ReConFig.2012.6416787.
- [5] T. Kameda, H. Konoura, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "A Predictive Delay Fault Avoidance Scheme for Coarse-Grained Reconfigurable Architecture," Proc. of Int'l Conference on Field Programmable Logic and Applications (FPL), Aug. 2012, 査読

有, DOI: 10.1109/FPL.2012.6339220.

[6] H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “Stress Probability Computation for Estimating NBTI-Induced Delay Degradation,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E94-A, no.12, pp.2545-2553, Dec. 2011, 査読有, DOI: 10.1109/FPL.2011.108.

[7] T. Kameda, H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “NBTI Mitigation by Giving Random Scan-In Vectors during Standby Mode,” Proc. of Int’l Workshop on Power And Timing Modeling, Optimization and Simulation (PATMOS), pp.152-161, Sept. 2011, 査読有, DOI: 10.1007/978-3-642-24154-3_16.

[8] H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “Implications of Reliability Enhancement Achieved by Fault Avoidance on Dynamically Reconfigurable Architecture,” Proc. of Int’l Conference on Field Programmable Logic and Applications (FPL), pp.189-194, Sept. 2011, 査読有, DOI: 10.1109/FPL.2011.108.

〔学会発表〕(計3件)

[1] 郡浦宏明, 今川隆司, 密山幸男, 橋本昌宜, 尾上孝雄, “動的部分再構成による故障回避に関する一考察,” 電子情報通信学会技術研究報告, RECONF2012-59, pp. 71-76, 福岡市, 2012年11月.

[2] 亀田敏広, 郡浦宏明, 密山幸男, 橋本昌宜, 尾上孝雄, “スキャンパスを用いたNBTI劣化抑制に関する研究,” 情報処理学会DAシンポジウム, pp. 201-206, 下呂市, 2011年8月.

[3] 郡浦宏明, 密山幸男, 橋本昌宜, 尾上孝雄, “動的再構成可能アーキテクチャによる故障回避機構の定量的信頼性評価,” 電子情報通信学会技術研究報告, RECONF2011-6, pp. 31-36, 札幌市, 2011年5月.

6. 研究組織

(1) 研究代表者

密山 幸男 (MITSUYAMA YUKIO)
高知工科大学・工学部・講師
研究者番号: 80346189

(2) 研究分担者

該当無し

(3) 連携研究者

該当無し