

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 4 月 8 日現在

機関番号：17104

研究種目：若手研究（B）

研究期間：2011～2012

課題番号：23700061

研究課題名（和文） 高速 LSI の信号伝搬速度検査対象経路の正確性および網羅性向上に関する研究

研究課題名（英文） Improvement of the quality and coverage for delay testing of high speed LSI

研究代表者

宮瀬 紘平（MIYASE KOHEI）

九州工業大学・大学院情報工学研究院・助教

研究者番号：30452824

研究成果の概要（和文）：本研究課題では、LSI 内部を正確にかつ網羅的に検査するための、信号伝搬速度検査技術向上に関する研究を行った。信号伝搬速度を正確に検査する技術と、信号伝搬速度を網羅的に検査する技術を、検査時間の増加を最小限に抑えて組み合わせることに成功した。また、実験用プログラムのような小規模なソフトウェアを用いて信号伝搬経路を可視化する技術の開発も行った。研究成果は、国内の研究会で 1 件、海外でのワークショップ等で 2 件発表を行っている。

研究成果の概要（英文）：We could develop a delay testing method to improve the quality and coverage for high speed LSI. The method could combine the high quality testing technique and high coverage testing technique within a small increase of test application time. Also, we could develop a technique to visualize the coverage of selected paths with our own software. We have published this work in one Japanese workshop and two international workshops.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
交付決定額	2,700,000	810,000	3,510,000

研究分野：総合領域

科研費の分科・細目：情報学、計算機システム

キーワード：VLSI 設計技術

1. 研究開始当初の背景

近年、GHz を超える速度で動作する高速 LSI が普及してきた。医療機器や航空機制御に使用されている LSI は直接人命に関わるため、高度な品質保証技術が必要である。しかし、さらなる LSI の高速化や大規模化により、LSI 内部の故障の原因となる信号伝搬の速度の遅延を正確にかつ網羅的に検査することが困難となってきた。近年の LSI は 100 万ゲート規模を超え、従来技術の処理時間・使用メモリ量が現実的でなくなった。信号伝搬速度検査の品質は検査対象経路の正確性と網羅性によって決定される。本研究では、高速・大規模 LSI に対

して正確性および網羅性の高い新しい LSI の信号伝搬速度検査技術向上に関する研究を行った。

LSI の信号伝搬速度検査は、信号伝搬経路の中で最もタイミング制約の厳しい経路に対して行われてきた。通常、物理的に長い経路や、通過するゲートの遅延の積算値の大きい経路がタイミング的に厳しいとされる。従来の小規模な LSI においては、タイミング制約の厳しい経路を網羅的に検査することが可能であった。しかし、LSI の大規模化につれ LSI 内の経路数は指数関数的に増大し全ての経路の検査を現実時間で行うことが不可能になった。様々な経路選択手法が提案されているが大規模な LSI

に対する処理時間は総じて大きい。

数百万ゲート規模を超える LSI に対する経路選択問題のソリューションの一つとして、STA (Static Timing Analyzer) と呼ばれる経路選択技術が用いられている。STA は静的 (シミュレーション無し) に経路を選択するため高速な経路選択が可能であるが、シミュレーションを行わないため、実際には動作しない経路が選択される場合が多くなるという欠点をもつ。そのような経路に対する検査は、問題なく動作する LSI を不良品と判断する原因となる。

STA 技術を用いて選択した経路が LSI の実動作時には使用されていないことが多いという事実は、国際的に権威のある International Test Conference に付随して開催されたワークショップでも発表されている。それでも STA 技術に頼らざるを得ない現状を打開すべきであり、その解決の先には、LSI 検査の高品質化のみならず、設計期間の短縮、さらにはコストの改善など様々な利益を生み出すことが明らかである。

2. 研究の目的

タイミング制約の厳しい経路のみに対する信号伝搬速度検査では、LSI の一部分のみの速度検査となることが多く、検査の網羅性が低い。信号伝搬経路速度検査の品質は、検査対象経路の正確性と網羅性によって決まる。本研究では、信号伝搬速度検査の対象経路を正確にかつ網羅的に選択する技術の確立を目的とする。

情報化社会の基盤である LSI の検査の高品質化による信頼性の向上は、人々は安心して生活するために必要不可欠な研究課題である。本研究の成果は、人々の人命に関わる医療機器、航空機制御などの信頼性向上に直接貢献する。

また、LSI 設計時の速度検証で用いる STA にとって代わる革新的な技術となる可能性を秘めている。高速で品質の高い経路選択が可能となれば、LSI 検査の品質向上に加えコスト削減に直接つながるため、様々な LSI 内蔵機器への波及効果をもたらす。

- (1) LSI の信号伝搬速度が仕様の範囲内であるかどうかを正確に検査するためには、検査の対象となる経路を正確に求める必要がある。本研究では、実際に動作する経路の中でタイミング制約の厳しいもの (遅延値の大きいもの) から順に許容最大遅延値の

80%以上の遅延値を持つ経路を選択する。許容最大遅延値の80%以上の遅延値をもつ経路は、通常のLSI設計で経験的に検査すべき経路とされており、STAを利用した経路選択でも用いられる基準である。STAは実際に動作しない経路を選択する可能性がある点で、提案技術と異なる。

- (2) 網羅性の高い遷移遅延故障検査入力に対して、網羅性を低下させることなく(1)で選択したタイミング制約の厳しい経路の検査を可能にし、検査可能な選択経路数を最大化する。実際にタイミング制約の厳しい経路を検査可能になることに加え、新しく選択した経路が検査可能になることで網羅性の向上も可能にし、信号伝搬速度検査の品質を向上できる。
- (3) 検査の品質の高さに加えて、テスト時の低消費電力化は必要不可欠である。信号伝搬速度検査の品質を最大化した上で、LSI設計において安全とされる動作時の20%以下の消費電力に抑えることを目標とする。

3. 研究の方法

- (1) 本研究の最大の動機である大規模 LSI に対する信号伝搬経路検査技術の確立のため、本研究での実証実験では実際に大規模な LSI を使用する。所属研究グループでは、100 万ゲート規模の実用大規模 LSI を所有するが、データ形式が商用のツール用の形式であり様々な情報を含みかつ複雑なものである。ここでは、本研究に必要な LSI に含まれる基本ゲートの種類と基本ゲートの接続情報を抽出する。経験上実用回路のコーナーケース対応にかなりの期間を要することが予想されるため、十分な期間を設ける。
- (2) 実際に動作する経路の中でタイミング制約の厳しいもの (遅延値の大きいもの) から順に許容最大遅延値の80%以上の遅延値を持つ経路を選択する技術を開発する。ここでは、STA 技術を利用して経路を列挙しその中から実際に動作する経路のみを抽出する技術を開発する。大規模 LSI では経路長も長くなりデータ量

が大きくなるため、経路データの効率的記憶技術も開発する。

- (3) LSI を網羅的に検査可能な速度検査方式（遷移遅延故障検査）に本研究で選択したタイミング制約の厳しい経路情報を与えることによって、LSI を検査対象経路の正確性・網羅性を有する高品質な検査用入力生成を行う。遷移遅延故障の検査に加え、本研究で選択した経路を検査する能力を付加する技術を用いて、検査可能な経路数を最大化する技術を開発する。
- (4) 信号伝搬速度検査における消費電力削減技術を開発する。信号伝搬速度検査入力の品質と検査の際の消費電力はトレードオフの関係にあると考えられるため、どちらを重視するかは本研究成果のユーザーが指定できる形式にし、検査入力の品質向上効果と消費電力削減効果を任意に制御可能な仕組みを構築する。

4. 研究成果

人命に関わる機器に使用される LSI は、高度な品質保証技術が必要である。LSI の高速化や大規模化により LSI の性能は格段に向上したが、一方で品質保証を極めて困難にしている。本研究では、LSI 品質を保証するために行う、信号伝搬速度検査の技術向上に関する研究を行った。

2011 年度には、LSI 内部の正確にかつ網羅的に検査するための、信号伝搬経路選択技術を向上させることに成功した。具体的には、LSI の製造データをもとに、故障の起こりやす経路データを抽出し、それらの経路を検査する方法である。図 1 に示すように、製造した LSI の解析データを用いることで、効率的に経路（パス）を選択する方法である。

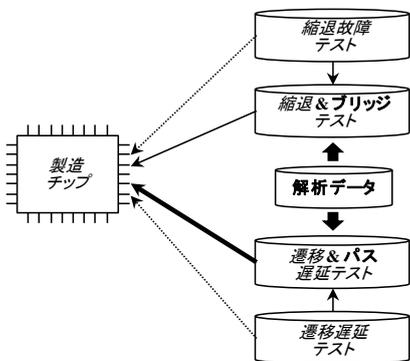


図 1：製造 LSI の解析データを用いた検査

通常、実際の解析データは、LSI 製造企業の機密を含むため利用ができない。本研究では、そのような解析データが利用できるとして研究を進めた。

信号伝搬経路の選択に関しては、解析データを用いる必要があるものの、信号伝搬速度を正確に検査する技術と、信号伝搬速度を網羅的に検査する技術を、検査時間の増加を最小限に抑えて組み合わせることに成功した。検査時間の増加は、LSI の製造コスト増加に直結するため、非常に有用な技術といえる。

具体的には、図 2 に示すように、網羅性の高い検査用入力（図中の遷移遅延故障に対するテストキューブ）と小さな遅延でも正確に検査できる品質の高い検査用入力（図中のパス遅延故障に対するキューブ）をマージする手法である。この手法により、遷移遅延故障用の入力で、パス遅延故障用入力でしか検出できなかった故障が検出可能になり、高網羅性かつ高い品質をもつ検査が可能となった。

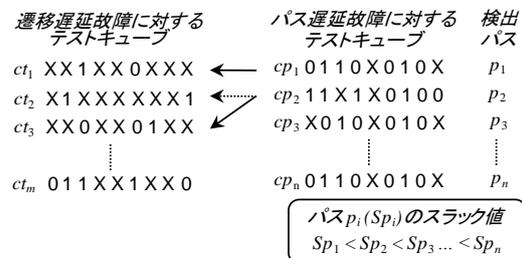


図 2：高網羅性・高品質検査用入力生成

表 1 に、1999 年の International Test Conference で公表されたベンチマーク回路に対する 実験結果を示す。表中の Cir. は回路名、#Trans. Vec. は遷移遅延故障用テストキューブ数（網羅性の高い検査入力）、#Det. Paths は検出可能な経路数をそれぞれ表している。次に、表中の Trans. F. Cov. は検査の網羅性を示す割合であり、提案手法適用前と適用後で変化が無いことを示している。CPU time は 3.33GHz ワークステーションを用いた際の処理時間を示している。

検出可能な経路数は、提案手法適用前 (before) に比べて、適用後 (after) に非常に多くなっており、検査の網羅性も下がっていない。つまり、の実験結果では、初めの高い網羅性を保ったまま、検査の品質を向上できることを示している。b22 回路については効果が小さく、原因を究明中である。

表 1：実験結果

Cir.	#Trans. Vec.	#Det. Paths		Trans. F. Cov.		CPU time(sec)	
		before	after	before	after	ATPG	Merge
b17	1235	14	155	72.5%	72.6%	598.1	0.1
b18	2598	5	610	64.8%	64.9%	2194.2	1.0
b19	4564	19	1511	66.0%	66.0%	5191.9	2.7
b22	2135	3	6	94.0%	94.0%	321.5	0.2

2011年の研究成果は、東京で開かれた国内研究会、インドでの査読有の国際的ワークショップで発表している。

2012年度には、海外研究グループが同様の研究内容を国際会議で発表しており、本研究のテーマが重要であることを示した。技術的には、本研究より最適な経路を選択可能であるが、最適化問題を解く必要があるため、経路選択の処理時間が大きい。そのため本研究の今後の進め方次第で優位性を持つことが可能であるが、2012年度中に優位性を持つには至らなかった。

しかし、本研究では、実験用プログラムのような小規模なソフトウェアを用いて信号伝搬経路の可視化技術の開発に成功し、回路内部における検査回路の網羅性を確認できる技術を開発した。高額なソフトウェアを用いる必要がなく、経済的にも非常に有用だと考えられる。

現状では、大規模回路になると表示ツールの制限で、全ての経路を表示することができない。また、経路を表示させた場合、網羅性が高いのか低いのか判断が困難な部分があると考えられる。色で網羅性の高低を表示させることなどが考えられるが研究期間内に終了できず、現在も開発中である。

図3に伝搬経路可視化技術の一例を示す。図は約4万ゲートの回路に対してレイアウト設計を行い、レイアウト上の全てのゲートの位置を示している。FFが示す点は、フリップフロップが配置された位置を示しており、ALLはそれ以外のゲートが配置された位置である。信号伝搬速度検査における最大限の網羅性とは、図3におけるゲートが全て検査されることであるが、この規模の回路で既に全ての経路を表示させることが困難であり、改良・改善が必要不可欠な状態である。

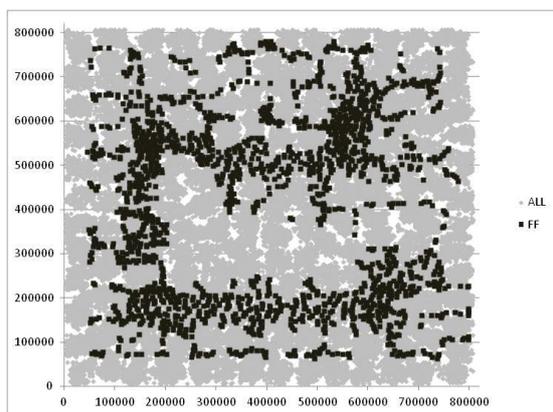


図3：伝搬経路可視化技術の一部

図3のゲートは4万ゲートであるが、最先端LSIは数百万を超えるゲート数を含んでおり、精度を落とさず効率的にサンプリングする手法や、部分的にデータを解析して後にデ

ータを統合する手法など様々考えられる。また、この可視化技術は、その他の用途にも利用できると考えられるため、今後も研究開発を進めていく予定である。

この可視化技術の研究成果の一部は、2013年にはオーストリアでの国際的ワークショップで発表している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計3件)

- ① Kohei Miyase, Matthias Sauer, Bernd Becker, Xiaoqing Wen, Seiji Kajihara, "Controllability Analysis of Local Switching Activity for Layout Design," South European Test Seminar 2013, February 27th 2013, オーストリア
- ② Kohei Miyase, Hiroaki Tanaka, Kazunari Enokimoto, Xiaoqing Wen, Seiji Kajihara, "Additional Path Delay Fault Detection with Adaptive Test Data," IEEE Workshop on RTL and High Level Testing, November 25th 2011, インド
- ③ 田中広彬、宮瀬紘平、榎元和成、温曉青、梶原誠司、パターンマージングによる遷移遅延故障用テストのパス遅延故障検出能力向上手法、電子情報通信学会技術研究報告、Vol.111、No.435、DC2011-78、2011年2月13日機械振興会館(東京)

6. 研究組織

(1) 研究代表者

宮瀬 紘平 (MIYASE KOHEI)

九州工業大学・大学院情報工学研究院・助教

研究者番号：30452824