

平成 26 年 6 月 5 日現在

機関番号：34315

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700067

研究課題名(和文) 細粒度電源管理に基づくハードウェア/ソフトウェア協調低消費電力設計技術

研究課題名(英文) Energy-Aware HW/SW Co-Design Method for Fine-Grained Power-Gated VLIW Processors

研究代表者

谷口 一徹 (Taniguchi, Ittetsu)

立命館大学・理工学部・助教

研究者番号：40551453

交付決定額(研究期間全体)：(直接経費) 3,100,000円、(間接経費) 930,000円

研究成果の概要(和文)：本研究では、組み向けプロセッサの1種であるVLIW型プロセッサを対象とし、近年問題視されているリーク電力をHW/SW協調設計により大幅に削減する。VLIW型プロセッサは、単一命令で複数の演算器を同時に実行するSIMD型アーキテクチャであり、高性能・低消費電力が実現できる。また、リーク電力を削減するためには不要な演算器の電源を動的に切るパワーゲーティングと呼ばれる回路技術が有効である。そこで本研究では、パワーゲーティングを効率的に適用する消費電力最小スケジューリング手法、ならびに演算器構成最適化手法を確立した。評価実験より、提案手法の有効性を確認した。

研究成果の概要(英文)：Power gating is well-known technique to reduce the leakage energy drastically, but it suffers from performance penalty. This research proposes leakage energy aware HW/SW co-design method for fine-grained power gated VLIW processors. VLIW processors have multiple instruction slots, and power gating is supposed to be applied to each functional units. This research proposes two methods: energy-aware instruction scheduling method and architecture exploration method. Energy-aware instruction scheduling method optimizes the instruction scheduling taking into account power gating effects. Architecture exploration method tries to find Pareto optimal architecture candidates, and especially focuses on the number of functional unit and instruction assignment. Experimental results show the efficiency of proposed methods.

研究分野：総合領域

科研費の分科・細目：情報学(計算機システム・ネットワーク)

キーワード：HW/SW協調設計 VLIW型プロセッサ 低消費電力化

1. 研究開始当初の背景

近年の半導体微細加工技術の進歩により、1つのLSIに大規模なシステムを実装することが可能となった。その一方、微細化に伴うリーク電力の増加が、LSIの消費電力の増大を引き起こす主要原因となり、リーク電力の削減は今日の重要な課題である。リーク電力を削減する非常に有効な手段として、不要な回路の一部の電源を切るパワーゲーティングと呼ばれる回路技術が知られている。最先端の研究成果では、32bit RISC型プロセッサに演算器単位でパワーゲーティングを用いることでプロセッサ全体のリーク電力が約半分に削減できることが報告されており、今後ますますその利用が広まっていくものと予想される。

しかし、パワーゲーティングを用いる際、さまざまなペナルティが発生する。図1に示すように、電源を切る時には余分な電力を消費する。同時に、完全に電源が切れるまで、ある程度の待ち時間が必要となる。一方、電源を入れる時にも余分な電力を消費すると共に、完全に電源が入るまで、ある程度の待ち時間が必要となる。しかし、電源が一旦切れるとリーク電力は劇的に削減できる。すなわち、パワーゲーティングは「性能」と「電力」のトレードオフ関係にある。このような特徴を持つパワーゲーティングを細粒度(演算器単位)で適用するためには、パワーゲーティングを考慮した命令スケジューリング手法の確立が必要である。すなわち、パワーゲーティングを適用するためには時間的ペナルティが発生する。例えば1サイクルの空き時間があっても、1サイクルの間に電源を切り、再度入れることは通常不可能である。つまり、パワーゲーティングによりリーク電力を削減するためには、性能制約を満たす範囲で適当な空き時間を意図的に挿入するなどし、命令スケジューリングの最適化が必要である。

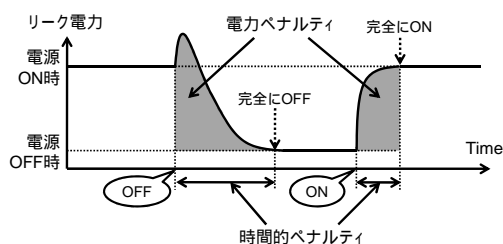


図1. パワーゲーティングのペナルティ

2. 研究の目的

本研究では、組込み向けプロセッサの1種であるVLIW型プロセッサを対象とし、近年問題となっているリーク電力をHW/SW協調設計により大幅に削減する。VLIW型プロセッサは、単一命令で複数の演算器を同時に実行するSIMD型アーキテクチャであり、高性能・

低消費電力が実現できる。本研究では、このような低消費電力化をHWとSWの両面から行うために、以下の2つの研究を行う。

(1) 消費電力最小スケジューリング手法

パワーゲーティングを考慮した消費電力最小スケジューリング手法を開発する。VLIW型アーキテクチャの命令スケジューリングは、コンパイラ最適化の一種で、さまざまな研究がなされてきた。過去の研究の多くは低消費電力化の対象としてメモリに着目していた。命令スケジューリングを含め、ソースコード自体を変形することでメモリアクセスの局所性を高め、キャッシュメモリやスラッチパッドメモリを有効に活用し、メモリアクセスの消費電力を削減していた。

本研究では、VLIW型プロセッサの個々の演算器にパワーゲーティングが適用可能なアーキテクチャを対象とし、メモリアクセスの最適化による低消費電力化ではなく、細粒度の電源管理を行うことでリーク電力の削減を通じ、低消費電力化を狙う。

(2) 演算器構成最適化

VLIW型プロセッサの演算器構成最適化手法を開発する。一般に、VLIW型プロセッサは、スロット数を増やし多くの演算器を搭載することで高い性能を達成できる。しかしその一方、面積や消費エネルギーの点で不利になる。そこで、本研究では、消費エネルギーと性能に関するパレート最適解となりうる演算器構成を求める手法を開発する。

3. 研究の方法

本研究では、次の方法で研究を遂行した。

(1) 消費電力最小スケジューリング手法

消費電力最小スケジューリング手法として、次の2種類の手法を開発した。1つは消費電力最小命令スケジューリング問題を整数線形計画問題(ILP)として定式化した。消費電力最小命令スケジューリング問題は、命令が発行されていない空きサイクル(NOPサイクル)が一定数以上連続する場合にパワーゲーティングを挿入する。その際、パワーゲーティングにより得られる電力利得を目的関数に算入することで問題を定式化した。

もう1つはSimulated Annealing(SA)法に基づく命令スケジューリング手法を開発した。従来の多くのスケジューリングアルゴリズムでは、実行サイクル数を最小化することに目的が置かれていた。すなわち、NOPサイクルを削減し、演算器を出来るだけ使用することを目指していた。しかし、パワーゲーティングを挿入するためには一定の連続した空き時間が必要なため、基本的な考え方が異なる。そこで本研究では、実行サイクル数、すなわち性能を制約として与え、与えられた性能制約を満たす範囲で性能の悪化を若干許容することで劇的な低消費電力の削減を

実現する。そのような複雑な解空間を効率的に探索するために、SA 法を用いた。SA 法では、MOVE と呼ばれる解の局所変更を繰り返し、解空間を探索する。

(2) 演算器構成最適化

演算器構成最適化を行うために、Genetic Algorithm (GA)法による手法を提案した。最適な演算器構成は実行するアプリケーションによって大きく異なるため、アプリケーションごとの最適化が必要である。本研究では、演算器構成最適化を各演算器への命令割り当ての最適化により実現する。個々の命令を各演算器に割り当てる組合せは通常膨大で、特殊命令等を考慮すると問題はさらに複雑になると考えられる。そこで本研究では、個々の命令ではなく複数の命令を含む演算器構成のパターンを事前に用意し、それらの組合せからパレート最適な演算器構成を探し出す。

図2に演算器構成最適化アルゴリズムの概略を示す。提案手法では、性能(実行サイクル数)、HW コスト、消費エネルギーの3つの評価指標に対し、性能対 HW コスト、性能対消費エネルギーの2種類のトレードオフを求めることを目標とする。通常、消費エネルギーは性能(実行サイクル数)に依存するため、両方のトレードオフを同時に求めることは時間がかかる。

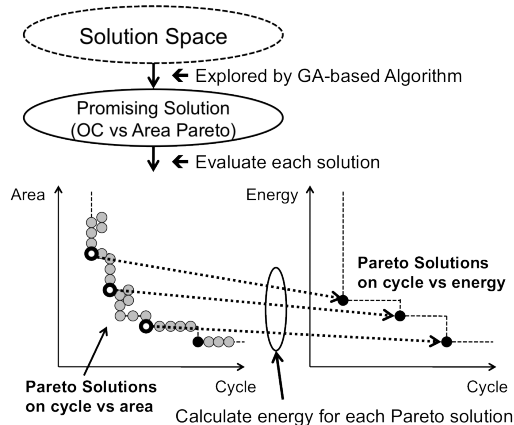


図2. 演算器構成最適化アルゴリズム概要

そこで本研究では、想定する単純な電力モデルと解空間の関係から、性能対 HW コストのパレート解は性能対消費エネルギーのパレート解も含むことを数学的に証明した。加えて、性能(実行サイクル数)を高速に見積もるために既に提案されている指標(Optimistic Cycle (OC))を用い、GA法により早期にパレート解になる可能性が高い解のみを見つけ出すことで、探索全体の高速化を実現した。

4. 研究成果

本研究の研究成果を以下に述べる。

(1) 消費電力最小スケジューリング手法

提案した消費電力最小スケジューリング手法では、実用的なベンチマークに対して評価を行った。特に、提案した SA 法による手法では、ILP による手法で得られた最適解と比較して約 5%以下の誤差の準最適解を得ることができた。加えて、ILP による手法で解を得る場合に比べて求解時間は約 95%短縮できた。

加えて、本研究で提案した SA 法による手法での求解時間は約 1 分弱であった。しかし、提案手法を解空間の探索等に用いることを想定すると膨大な解空間を想定した場合、より高速化が求められる。そこで、本研究と並行して、消費電力最小スケジューリングを行わずに任意の解について消費エネルギーの大小を決定することを目的とした評価指標に関する研究も行った。評価実験より約 1 秒以下という極めて短時間で評価値を得ることができた。また、SA 法により得られた結果と相関を取ると、相関係数が 0.98 という極めて高い相関があることが分かった。これより、設計最適化を行う際の有望な評価指標になり得ると考えられる。しかし、相関係数が 0.7 程度の場合もあり、その原因の解明と更なる検討が求められる。

(2) 演算器構成最適化

提案した演算器構成最適化手法では、実用的なベンチマークに対して評価を行った。特に、提案した GA 法による手法では、網羅的な探索により得られた結果に比べ約 1%以下の誤差の解を得ることができた。また、求解時間に関して、網羅的な探索と比較して高速な場合で約 50 倍の高速化が実現できた。ここで、図3に評価実験により得られた性能対消費エネルギーのパレート解を示す。提案手法では、事前に GA 法によりパレート曲線近くの解のみを高速に探索し、その上で時間をかけて精密に評価している。それにより、高速、高精度な解空間探索が実現できた。

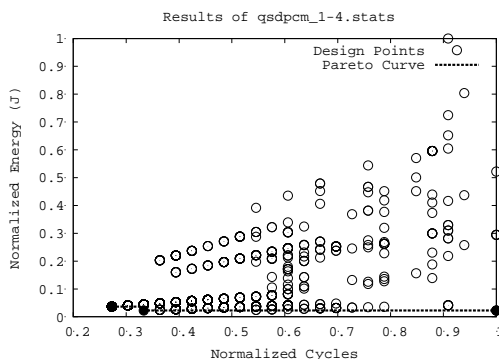


図3. 性能対消費エネルギーのパレート解

5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1 件)

著者名: I. Taniguchi、K. Aoki、H. Tomiyama、P. Raghavan、F. Catthoor、M. Fukui、論文表題: "Fast and Accurate Architecture Exploration for High Performance and Low Energy VLIW Data-Path"、雑誌名: IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences、査読: 有、巻: Vol.E97-A, No.2、発行年: 2014年2月、ページ: 606-615、DOI: 10.1587/transfun.E97.A.606

[学会発表](計 8 件)

発表者名: S. Nakamura、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "A Basic-Block Level Optimistic Energy Estimation for Power-Gated VLIW Data-Path Model"、学会名等: The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013)、発表年月日: 2013年10月22日、発表場所: ホテル札幌ガーデンパレス(北海道)

発表者名: K. Aoki、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "GA-based Architecture Exploration Method for Low Energy VLIW Data-Path Model"、学会名等: International Symposium on Communications and Information Technologies (ISCIT)、発表年月日: 2013年9月5日、発表場所: Samui Island (Thailand)

発表者名: S. Nakamura、K. Aoki、M. Uchida、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "A New Metric for Basic-Block Level Rough Energy Estimation for Power-Gated VLIW Data-Path Model"、学会名等: International Symposium on Communications and Information Technologies (ISCIT)、発表年月日: 2013年9月5日、発表場所: Samui Island (Thailand)

発表者名: 中村駿介、青木康平、内田充哉、谷口一徹、富山宏之、福井正博、発表表題: "細粒度電源管理を考慮した基本ブロックレベル消費エネルギー推定手法"、学会名等: 情報処理学会 SLDM 研究会、発表年月日: 2013年3月13日、発表場所: 対馬市交流センター(長崎県)

発表者名: M. Uchida、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "Energy-Aware SA-based Instruction Scheduling for Fine-Grained Power-Gated VLIW Processors"、学会

名等: International SoC Design Conference (ISOCC2012)、発表年月日: 2012年11月6日、発表場所: Jeju Island(Korea)

発表者名: I. Taniguchi、M. Uchida、H. Tomiyama、M. Fukui、P. Raghavan、F. Catthoor、発表表題: "An Energy Aware Design Space Exploration for VLIW AGU Model with Fine Grained Power Gating"、学会名等: 14th EUROMICRO Conference on Digital System Design (DSD2011)、発表年月日: 2011年9月2日、発表場所: Oulu(Finland)

発表者名: K. Aoki、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "Architecture Optimization based on a Branch-and-Bound Strategy for Low-Energy Embedded VLIW Processors"、学会名等: International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2011)、発表年月日: 2011年6月20日、発表場所: Gyeongjoo(Korea)

発表者名: M. Uchida、I. Taniguchi、H. Tomiyama、M. Fukui、発表表題: "Energy-Aware ILP-based Instruction Scheduling for Fine-Grained Power-Gated VLIW Processors"、学会名等: International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2011)、発表年月日: 2011年6月20日、発表場所: Gyeongjoo(Korea)

[図書](計 0 件)

[産業財産権]

出願状況(計 0 件)

取得状況(計 0 件)

6. 研究組織

(1) 研究代表者

谷口一徹 (TANIGUCHI ITTETSU)

立命館大学・理工学部・助教

研究者番号: 40551453