

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 18 日現在

機関番号：17104

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700264

研究課題名(和文) 脳型再構成デバイスの実現と自律型ロボットへの応用

研究課題名(英文) Realization of Reconfigurable Brain Device and its Application to Autonomous Mobile Robot

研究代表者

田向 権 (Tamukoh, Hakaru)

九州工業大学・生命体工学研究科(研究院)・准教授

研究者番号：90432955

交付決定額(研究期間全体)：(直接経費) 3,300,000円、(間接経費) 990,000円

研究成果の概要(和文)：脳型再構成デバイスの実現を目指し、(1)書き換え可能半導体であるField Programmable Gate Array (FPGA)を用いた動的再構成プラットフォームの構築、(2)自己組織化ニューラルネットワークを実現する仮想回路の整備、(3)これらの自律型ロボットやWEBアプリケーションへの応用を行った。提案したプラットフォームについて、FPGAボードを用いた実アプリケーションでの実機実証による性能評価を行った。

研究成果の概要(英文)：In order to realize a brain-like reconfigurable device, we have developed; (1) A reconfigurable platform based on a field programmable gate array (FPGA), (2) Virtual hardware circuits of self-organizing neural networks, (3) Applying them to an autonomous robots and web applications. We have evaluated the proposed platform through actual applications run on a real FPGA board based system.

研究分野：情報学

科研費の分科・細目：人間情報学・ソフトコンピューティング

キーワード：脳型計算機 仮想回路 FPGA 自律型ロボット ニューラルネットワーク 自己組織化マップ WEBアプリ TCP/IP

## 1. 研究開始当初の背景

**自律型ロボットの脳型知性**を実現する有力な手法として、自らの機能を学習で獲得することで多様な環境や課題へ適応可能な**脳型計算機**の研究が国内外で広く行われている。応募者らは Self-Organizing Map (SOM)<sup>[1]</sup>を有力な脳型計算機モデルと考え、理論、ハードウェア、応用の側面から研究を行ってきた。SOM は多次元ベクトル表現されたデータを低次元空間に写像するという特長を持ち、パターン分類などへ広く応用されている。近年では、距離尺度の一般化によりベクトル情報以外を分類可能とした SOM of SOMs (SOM<sup>2</sup>)<sup>[2]</sup>や、成長戦略と追加学習能力を併せ持つ Self-Organizing Incremental Neural Network (SOINN)<sup>[3]</sup>が提案され、自律移動ロボットのナビゲーション等へ応用されている。SOM の拡張理論は現在でも活発に研究、発表され続けている。一方、脳型計算機の高速度化、小型化、低消費電力化および自律型ロボット等への組み込みには、専用ハードウェア開発が必須である。SOM の専用ハードウェア例<sup>[4]</sup>では、SOM が持つ並列性を生かした超並列アーキテクチャを採用することで、CPU でのソフトウェア処理比で 100 倍以上の演算性能を達成可能である。しかしながら、**現状の専用ハードウェアは、簡単な改良を施す事や、他の学習アルゴリズムと組み合わせたシステム開発へ応用する事が非常に困難である。**

SOM<sup>2</sup> や SOINN は機能面で SOM には実現不可能な能力を有するが、演算要素レベルで分析すると、距離演算や勝者決定演算等は SOM と同じである。相違点は、ネットワーク構造や、いくつかの演算要素が付加されたことである。しかしながら上記の困難さから、SOM<sup>2</sup> や SOINN の専用ハードウェアを得るにはゼロから新たに開発を行う必要がある。また、専用ハードウェア実装に用いる Field Programmable Gate Array (FPGA) は、CPU に比べ演算性能 200 倍、電力効率 500 倍を達成可能だが 300 倍もの開発期間が必要との調査報告がある<sup>[5]</sup>。すなわち、**日進月歩の学習機械を即座にハードウェア化することは、現状の専用ハードウェア開発手法では到底不可能である。**

[1] T. Kohonen, Biol. Cybernetics, 1982.

[2] T. Furukawa, Neural Networks, 2009.

[3] F. Shen, T. Ogura, and O. Hasegawa, Neural Networks, 2007.

[4] M. Porrman, U. Witkowski, and U. Rückert, IEEE Trans. on Neural Networks, 2003.

[5] K. Benkrid, 24th Int. Conf. on Supercomputing, 2010.

## 2. 研究の目的

“脳型計算機(学習するハードウェア)”を超高速度処理する一般化デジタルアーキテクチャを実現し、日進月歩の学習機械を即座にハードウェア化できるプラットフォーム開発を目指す。まず、様々な学習機械で共通に用いられる演算要素を一般素子として構築する。次に、一般素子を任意の組合せで実装することで任意の学習機械を実現できる“脳型再構成デバイス”を提案する。また、このプラットフォーム実現に必要な、ソフトウェアやネットワークから簡便に FPGA 内の仮想回路を生成・実行・消去できる仕組みを実現する。最終的に、得られた成果を自律移動ロボットの脳型知性や超高速 WEB アプリケーション等へと応用し、その有効性を示す。

## 3. 研究の方法

### (1) 再構成可能半導体を用いた脳型再構成プラットフォームの整備

再構成可能半導体 Field Programmable Gate Array (FPGA) とソフトウェアと FPGA 間の密接続・制御を実現する hw/sw 複合体をベースに用いて脳型再構成プラットフォームを整備する。

### (2) ライブラリ化に適した一般素子の抽出

これまでの研究成果を基に、ライブラリ化に適した一般素子を抽出する。ここでは、SOM ベースの学習機械に集中し、(1) 演算要素単位(細粒度)、(2) 学習機械単位(粗粒度)でライブラリ化を行い、様々な学習機械を一般素子の組合せで簡便に構築することを目指す。

### (3) アプリケーション応用

自律型ロボットの脳型知性としての応用や、仮想回路の再構成性と高速度性を生かした WEB アプリケーション等へ応用する。これらに必要な仮想回路やソフトウェアライブラリを併せて整備する。

## 4. 研究成果

(1) hw/sw 複合体をネットワークへと拡張し、FPGA 内で動作する仮想回路の遠隔再構成・制御・実行が可能なネットワーク化された hw/sw 複合体を開発した。この実現のために、CardBus インタフェースを持つ FPGA ボードで“hwModule VC”の開発(図 1)、仮想回路の遠隔再構成・制御を実現する Special Protocol の開発、TCP/IP を論理回路で直接処理し、仮想回路と FPGA 内部で直結可能な Reconfigurable TCP/IP Offload Engine (RTOE) の開発を行った。hwModule VC での実証実験において、FPGA 内部の仮想回路の遠隔再構成に必要な時間は約 30ms であった。また、RTOE の性能評価では、物理層チップの理論性能 100Mbps に対し、95Mbps の実行性能を得た(図 2)。RTOE の成果については 2 件の受賞を得た(発表論文欄[7][22])。

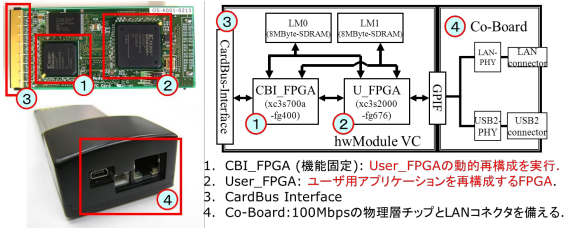


図 1: 再構成機能を備える hwModule VC .

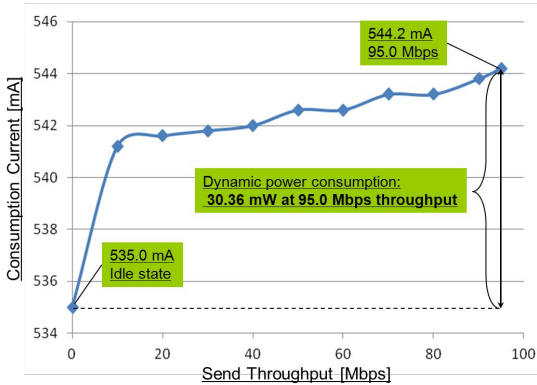


図 2: RTOE の性能評価 .

(2) 自己組織化マップを基本アルゴリズムとした自己組織化ニューラルネットワークについて、2 種類の距離演算回路と 2 種類の勝者決定回路を一般素子として整備し、これらを組み合わせることで 4 種類の自己組織化ニューラルネットワークを構築可能なことを示した(図 3)。ここでは基礎的な検討に留まっているが、一般素子ライブラリの充実により、様々なニューラルネットワークを簡単に実現できる可能性を示した。本成果については、日本神経回路学会の解説論文として発表している(発表論文欄[1])。

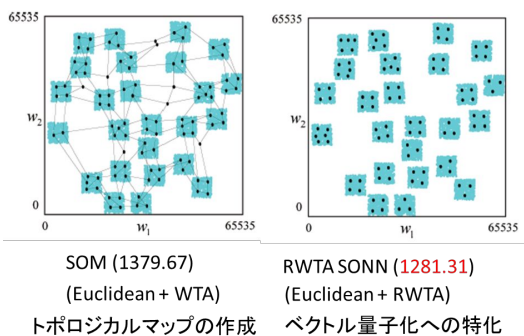


図 3: 一般素子の組合せによる自己組織化ニューラルネットワークの実行例(発表論文欄[1]より引用)。

(3) 上記二つの成果を組合せ、自律型ロボット向けの脳型知性としての応用及び、動画像通信を行う WEB アプリへと応用した。自律型ロボットへの応用可能性の検討において

は、画像・音声認識、音声合成、動画像通信、階層制御、学習といった、自律型ロボットの構成に必要な要素について仮想回路を融合していくというアプローチに関する基礎検討を行った(図 4)。WEB アプリにおいては、仮想回路のネットワーク転送について実機での実証を行い、動画像圧縮通信コーデックと RTOE を直結することで、CPU 上で動作するソフトウェア比約 30 倍の性能を得た。これらの成果については、電子情報通信学会誌にて解説を行った(発表論文欄[2])。

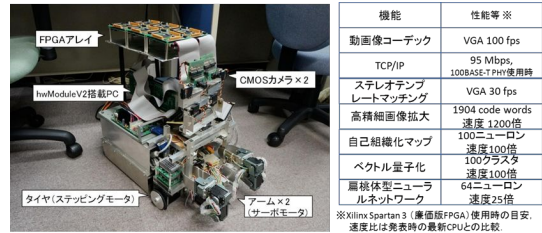


図 4: 脳型再構成デバイスと自律型ロボットへの応用例。左: 移動ロボットへ、ハードウェア/ソフトウェア/ネットワーク複合体を搭載した例。動画像通信(動画像コーデック + TCP/IP), ステレオテンプレートマッチング, 自己組織化マップによる画像認識, 移動制御機構を有する。右表: 開発した仮想回路の例。

また、これらの研究開発と並行して、階層型自己組織化マップと多重解像度解析を組み合わせることで、入力データ群を特徴づけると思われる特徴を表現する学習機械群を教師なしで得る手法に関して基礎検討を行った(発表論文欄[18]等)。

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 5 件)

[1] 田向 権, 関根 優年, "ニューラルネットワークのハードウェア実装とそのシステム化へのアプローチ," 日本神経回路学会誌, Vol. 20, No. 4, pp. 166-173, 2013.

[2] 関根 優年, 田向 権, "画像/音声認識・音声合成・並列演算・画像通信における論理回路による実装例," 電子情報通信学会誌, Vol. 92, No. 2, pp. 105-110, 2013.

[3] Masatoshi Sekine, Hakaru Tamukoh, and Jiang Li, "Hardware/Software Complex System Model for Brain Process by Configurable Circuits," International Journal on Computing, Vol. 3, No. 1, pp. 1-7, 2013.

[4] Masatoshi Sekine, Hakaru Tamukoh, J.

Li, K. Manabe, T. Suzuki, K. Okamoto, B. Ogasawara, R. Uegaki, K. Fujita, Y. Atsumari, "Brain Process: Hardware/Software Complex System Using Logic Circuits in FPGA Array Named Vocalise," Journal of Procedia Engineering, vol.50, pp.253-264, 2012.

[5] Hakaru Tamukoh, Keiichi Horio, Takeshi Yamakawa and Masatoshi Sekine, "Rough-winner-take-all for Hardware Oriented Vector Quantization Algorithm," IEICE Electronics Express, vol.8, no.11, pp.773-779, June, 2011.

〔学会発表〕(計 18 件)

[1] Hakaru Tamukoh and Masatoshi Sekine, "Design of Networked hw/sw Complex System using Hardware Object Model and Its Application," Proc. of 39th Annual Conference of the IEEE Industrial Electronics Society (IECON2013), pp. 2250-2255, Nov. 10-13, 2013, Vienna.

[2] Kotoko Fujita, Nadav Bergstein, Hakaru Tamukoh and Masatoshi Sekine, "A TCP/IP Hardware Stack Directly Connectable to WEB Application Circuit," Proc. of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XVI), in CD-ROM, Apr. 2013, Yokohama (**Best Feature Award**).

[3] Hakaru Tamukoh, "Hardware/Software Complex System and Its Application," Proc. of the 13th Kyutech-Postech Joint Workshop on Neuroinformatics, pp. 4-6, Pohang, Korea, Aug. 19-21(20), 2013.

[4] Jiang Li, Hakaru Tamukoh and Masatoshi Sekine, "Hardware Accelerated WEB Platform based on FPGA Array Server and Mobile FPGA Card," Proc. of 3rd International Conference on Internet Technology and Applications (iTAP2012), 4 pages in CD-ROM, Aug. 2012, Wuhan, China.

[5] Jiang Li, Kenichi Takahashi, Hakaru Tamukoh and Masatoshi Sekine, "2D/3D FPGA Array for Brain Process and Numerical Computation," Proc. of 8th International Conference on Natural Computation (ICNC'12), pp.16-19, May 2012, Chongqing, China.

[6] Hakaru Tamukoh, Nadav Bergstein, Kotoko Fujita and Masatoshi Sekine, "Live Demonstration: "Internet Booster" A Novel WEB Application Platform

Accelerated by Reconfigurable Virtual Hardware Circuits," Proc. of IEEE International Symposium on Circuit and Systems (ISCAS2012), p.76, May 2012, Korea, (Live demonstration session).

[7] Jiang Li, Kenichi Takahashi, Hakaru Tamukoh and Masatoshi Sekine, "Distributed Computing Circuits in Scalable 2D/3D FPGA Array for 2D/3D Poisson Equation Problem," Proc. of IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XV, 2 pages in CD-ROM, Apr. 2012, Yokohama (**Best Feature Award**).

[8] Hakaru Tamukoh, Masatoshi Sekine, "High-Performance WEB Application Accelerated by Networked hw/sw Complex System and Virtual Hardware Circuit," Keynote Speech of Int. Symposium on Semiconductor Manufacturing Intelligence, 6 pages in CD-ROM, Jan. 2012, Taiwan, (招待講演).

[9] 眞鍋慧太, 上垣利果, 田向 権, 関根優年, "シフトレジスタを用いた音声合成回路における発声過程のモデル化," 電子情報通信学会技術研究報告 ニューロコンピューティング研究会 (NC), vol. 111, no. 483, NC2011-157, pp.209-214, 2012年3月15日, 東京, 玉川大学.

[10] 高橋 健一, 黎 江, 集 祐介, 嶋崎 俊輔, 田向 権, 関根 優年, "3次元 FPGA アレイ HPC システムへの数値演算回路の実装評価," 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-115, pp.141-146, 2012年1月26日, 神奈川, 慶応大学日吉キャンパス.

[11] 鈴木 拓也, 山崎 優作, 田向 権, 関根 優年, "移動型ロボットに統合する知能処理回路," 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-105, pp.83-88, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[12] 山崎 優作, 鈴木 拓也, 田向 権, 関根 優年, "動的再構成可能な SU(3)スピン回路を用いたロボット制御中枢の設計," 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-104, pp.77-82, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[13] 有泉 政博, 小笠原 麦, 田向 権, 関根 優年, "階層型画像特徴の学習機能を有する画像認識システム," 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol.

111, no. 397, VLD2011-95, pp.25-30, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[14] 岡本 佳太, 田向 権, 関根 優年, “子音・母音認識システムにおける音声前処理回路,” 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-93, pp.13-18, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[15] 眞鍋慧太, 上垣利果, 田向 権, 関根優年, “シフトレジスタを用いた音声合成回路における声道形状の決定,” 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-92, pp.7-12, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[16] 藤田琴子, ベルグシュタイン ナダヴ, 田向 権, 関根 優年, “WEB アプリに用いる FPGA 用 IP: TCP/IP 回路,” 電子情報通信学会技術研究報告 VLSI 設計技術研究会 (VLD), vol. 111, no. 397, VLD2011-91, pp. 1-6, 2012年1月25日, 神奈川, 慶応大学日吉キャンパス.

[17] 田向 権, ベルグシュタイン ナダヴ, 関根 優年, “ネットワーク化された hw/sw 複合体のための Reconfigurable TCP/IP Offload Engine,” 電子情報通信学会技術研究報告 スマートインフォメディアシステム研究会 (SIS), SIS2011-48, vol.111, no.342, pp.47-50, 2011年12月15日, 山口, 山口大学. **SIS 研究会若手研究優秀賞 受賞.**

[18] 田向 権, 有泉 政博, 高橋 健一, 山崎 優作, 眞鍋 慧太, Bergstein Nadav, 鈴木 拓也, 岡本 佳太, 番場 大貴, 黎 江, 関根 優年, “Hardware Object モデルに基づく hw/sw 複合体システムの設計法と応用例,” LSI とシステムのワークショップ 2011, pp.290-292, 2011年5月17日, 福岡, 北九州国際会議場.

〔図書〕(計1件)

電気学会進化技術応用調査専門委員会編 (全体編集責任者: 玄 光男・辻村泰寛), “進化技術ハンドブック第II巻 応用編: 情報・通信システム,” (株)近代科学社, 2011. 全510ページ中 18.4節 P315-P319 担当.

〔産業財産権〕

出願状況 (計0件)

〔その他〕

ホームページ等

<http://www.brain.kyutech.ac.jp/~tamukoh>

## 6. 研究組織

### (1) 研究代表者

田向 権 (Hakaru TAMUKOH)

九州工業大学・大学院生命体工学研究科・准教授

研究者番号: 90432955