

## 科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成25年5月10日現在

機関番号：17102

研究種目：若手研究（B）

研究期間：2011～2012

課題番号：23760017

研究課題名（和文） Ge結晶への局所歪み技術の開発とトランジスタ応用

研究課題名（英文） Development of local-strain technology for crystalline Ge and its application to transistors

研究代表者

王冬（WANG DONG）

九州大学・総合理工学研究院・准教授

研究者番号：10419616

研究成果の概要（和文）：

Geチャネルへの歪み印加技術を確立するため、ストレッサを形成後、ラマン分光法で歪みのストレッサ幾何学形状及び熱処理パラメータ依存性を調査し、フォトルミネセンス法で欠陥の生成、転移及び分布を解明した。Ge-MOSFETを作製するため、大気暴露無しでGe表面を極薄のSiO<sub>2</sub>/GeO<sub>2</sub>の2層膜で保護する手法を確立し、SiO<sub>2</sub>/Si界面と同程度の低い界面準位密度( $D_{it}$ )を実現した。SiO<sub>2</sub>/GeO<sub>2</sub>構造中の欠陥（スロートラップ）の影響を削除するため、一定温度深準位過渡分光法を確立し、GeO<sub>2</sub>/Geの正確な $D_{it}$ を評価した。歪み評価から、500℃以下の低温で良質のGe-MOSFETを形成しなければならないことが分かったので、Ge-MOSFETの低温プロセス技術を開発し、トランジスタ動作を実証した。特に、p-MOSFETの場合、Siと比較して約4倍のチャネル移動度向上を達成した。

研究成果の概要（英文）：

To establish the technology of a strained Ge channel, after stressor formation, the dependences of strain on geometric and thermal treatment parameters were investigated by Raman spectroscopy. Defect generation, transformation, and distribution were also clarified by photoluminescence. To fabricate Ge-MOSFET, an ultra-thin SiO<sub>2</sub>/GeO<sub>2</sub> bilayer Ge-surface passivation method was developed without vacuum breaking, which showed a low interface states density ( $D_{it}$ ) in the same degree of that for SiO<sub>2</sub>/Si. To eliminate the influence of slow-traps in the SiO<sub>2</sub>/GeO<sub>2</sub> structure, a deep level transient spectroscopy method was developed with optimized bias condition at each fixed-temperature, by which an accurate  $D_{it}$  evaluation was performed for GeO<sub>2</sub>/Ge. According to the result of strain evaluation, a good-quality Ge-MOSFET should be fabricated at a temperature less than 500 °C. Therefore, a low-temperature process was developed for Ge-MOSFET fabrication, by which the operation of Ge transistors was approved. Particularly, the channel mobility of p-MOSFET was four times higher than that of a Si transistor.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	3,500,000	1,050,000	4,550,000

研究分野：工学

科研費の分科・細目：応用物理学・工学基礎・応用物性・結晶工学

キーワード：解析・評価、半導体物性、電子・電気材料、先端機能デバイス、ゲルマニウム (Ge)、歪み印加、MOSFET、高移動度チャネル

### 1. 研究開始当初の背景

CMOS トランジスタの微細化の急速な進展に伴い、ムーアの法則は、Si の物性に起因する大きな障壁に直面している。そのため、MOSFET のチャンネル材料として、Si より高いキャリア移動度を有する材料が望まれている。Si を置き換えるための良い候補として、IV 族元素の Ge は電子/正孔の移動度が Si に比べて約 2.5/4 倍高い。更に、バルク Ge に対して、Ge-On-Insulator (GOI) を用いて製造された MOSFET では、寄生容量やリーク電流を抑制できる。更に、キャリア移動度を向上させるため、ひずみ技術が Ge-MOSFET に適用することが望まれる。従って、GOI とひずみの組み合わせは、Ge 系 MOSFET の製造のための究極の目標である。

しかし、ひずみ GOI 上の高性能 MOSFET を製作するには、バルク型高性能歪み Ge-MOSFET を作製できることが必須となる。

### 2. 研究の目的

本研究では、高性能局所歪み Ge-MOSFET を作製できることを目的とした。具体的には、まず歪みのストレッサ形成パラメータ依存性を調査し、歪み誘起欠陥の生成、転移及び分布を解明した。そして、Ge-MOSFET を作製するため、Ge 表面を保護する手法を確立し、低い界面準位密度 ( $D_{it}$ ) が実現した。同時に、信頼できる  $D_{it}$  評価手法を確立することが必要なので、その研究にも注力した。その上で、欠陥密度が低い歪みチャンネルの作製条件に適合する良質の Ge-MOSFET の形成プロセス技術を開発した。最後に、歪み Ge-MOSFET を作製し、チャンネル移動度向上を実証した。

以下、本研究で得られた結果を述べる。

### 3. 研究の方法

#### (1) 局所歪み試料の作製

局所歪み試料のパターンの平面図および横断面を図 1 に示す。Si-on-insulator (SOI) ウェーハの SOI 層と埋め込み酸化膜の厚さはそれぞれ 150 と 100 nm である。Ge 又は SOI 薄膜に対して、引張ひずみを印加するストレッサである SiN 膜を ECR スパッタ堆積で成膜した。SiN 膜の成膜温度は室温である。そ

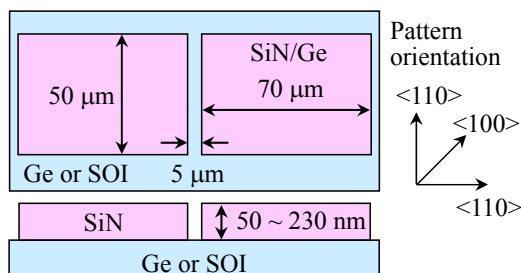


図 1 歪みチャンネルの構造。

の応力は 0.7 GPa 程度である。SiN 膜をリフトオフ技術 (リソグラフィ) によりパターンの形状に加工した。その後、熱酸化 (900 °C) 又は ECR スパッタ (130 °C) によりストレッサの開口部に SiO<sub>2</sub> 層を形成した。そして、フォーミングガスアニーリング (FGA) (400 °C) および熱アニーリング (500-900 °C) をした。

#### (2) 極薄 SiO<sub>2</sub>/GeO<sub>2</sub> の 2 層パッシベーション (BLP) 膜の作製

低い  $D_{it}$  が実現するため、物理膜厚が 2 nm である極薄 SiO<sub>2</sub>/GeO<sub>2</sub> の BLP 膜を作製した。その詳細な作成フローを図 2 に示す。界面特性を解明するため、BLP 膜の上に ECR スパッタ堆積により SiO<sub>2</sub> 膜を形成し、Al 蒸着して Al/SiO<sub>2</sub>/BLP/Ge 構造を作製し、電気特性を評価した。

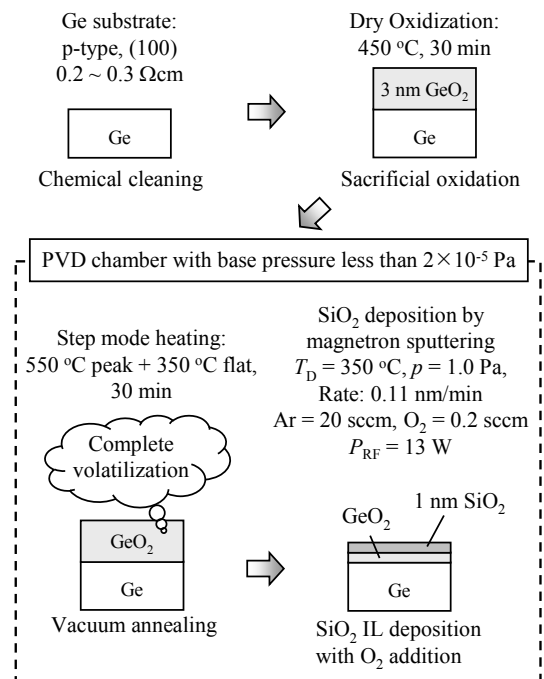


図 2 極薄 SiO<sub>2</sub>/GeO<sub>2</sub> の 2 層保護膜の作製。

#### (3) 一定温度深準位過渡分光法 (DLTS) の確立

通常の DLTS 測定では、キャリアが BLP 膜中の欠陥 (スロートラップ) に捕獲され、スロートラップから放出される際に  $D_{it}$  信号に大きな影響を与えることを明らかにした。この影響を削除するため、試料を一定温度に保ち、最適のゲート電圧と注入パルス電圧をセットし、DLTS 測定を行った。

#### (4) Ge-MOSFET の低温プロセス技術の開発

Ge 上に TiN と Hf をそれぞれ堆積させることで、ショットキーコンタクトのソース/ドレイン (S/D) を低温 (350 °C 以下) で形成するプロセスを確立した。更に、ECR プラ

ゾマ酸化とスパッタ堆積により、SiO<sub>2</sub>/GeO<sub>2</sub>の構造が有するゲート絶縁膜を低温（400 °C以下）で作製した。最後に、Ge-MOSFETを試作し、トランジスタ動作を実証した。

#### 4. 研究成果

##### (1) 歪みおよび歪み誘起欠陥の調査

SiN ストレッサ開口部付近の歪みをラマンで評価した結果を図3に示す。開口部に圧縮歪みが誘起されることを明らかにしている。500 °C以上の温度で熱処理すると歪み緩和が観測された。

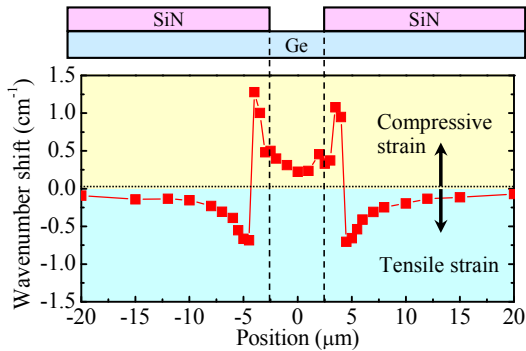


図3 SiN ストレッサ開口部付近の歪み分布。

SOI基板を用いて歪み誘起欠陥の生成、転移及び分布をフォトルミネセンス法で調査した。SiN ストレッサ開口部中心の欠陥生成の温度依存性を図4に示す。熱処理温度の上昇に伴い、欠陥密度が徐々に増加するが、500 °C以下では欠陥信号強度が低く、歪み緩和の温度依存性と一致した。

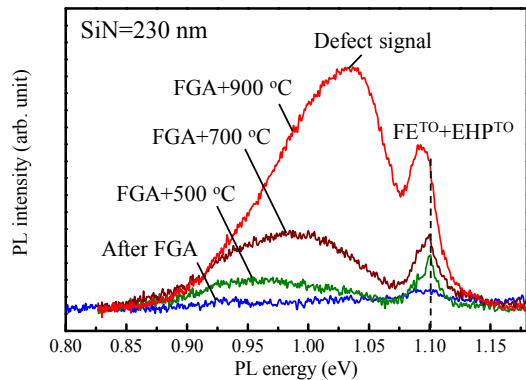


図4 SiN 開口部中心の欠陥生成の温度依存性。

##### (2) Al/SiO<sub>2</sub>/BLP/Ge 構造の電気特性

Al/SiO<sub>2</sub>/BLP/Ge 構造の容量-ゲート電圧 ( $C-V_G$ ) とリーク電流密度-電界強度 ( $J-E$ ) 特性をそれぞれ図5(a)と5(b)に示す。 $C-V_G$ 特性から得られた等価 SiO<sub>2</sub> 換算膜厚 (EOT)、フラットバンド電圧 ( $V_{FB}$ )、ヒステリシス (HT) も図5(a)に纏めた。 $C-V_G$ カーブの立ち上がりが急峻で、HTも小さく良好であった。 $J-E$ 特性により優れた絶縁性が確かめられた。

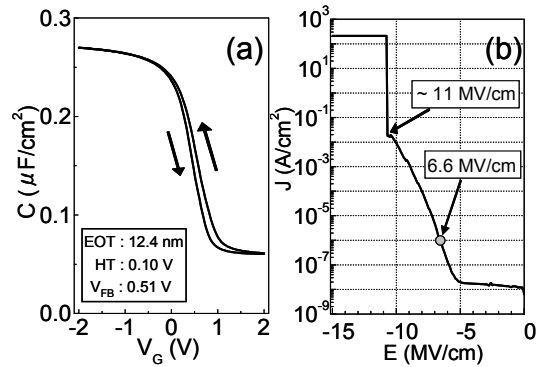


図5 Al/SiO<sub>2</sub>/BLP/Ge 構造の(a)  $C-V_G$  と (b)  $J-E$  特性。

通常の DLTS 法により  $D_{it}$  分布の評価結果を図6に示す。 $D_{it}$ はミッドギャップ付近では  $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  であって、良好な界面特性が得られた。更に、Alポストメタライゼーションアニーリング (Al-PMA) によりミッドギャップ付近の  $D_{it}$  を  $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  まで低減し、SiO<sub>2</sub>/Si 界面と同程度の低い  $D_{it}$  が実現できた。

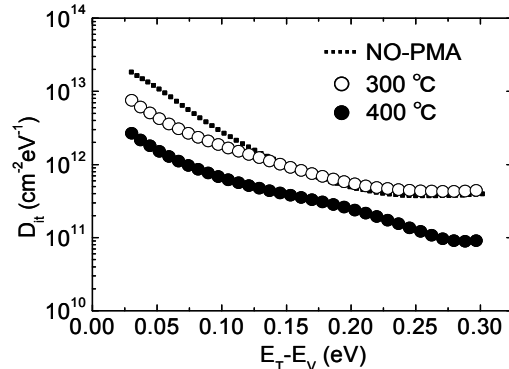


図6 Al/SiO<sub>2</sub>/BLP/Ge 構造の  $D_{it}$  分布。

##### (3) 一定温度 DLTS 法により GeO<sub>2</sub>/Ge の正確な $D_{it}$ 評価

SiO<sub>2</sub>/GeO<sub>2</sub> 構造中にはスロートラップという欠陥が存在する。通常の DLTS 測定ではスロートラップの影響を無視できない。その原因を図7に示す。キャリアがスロートラップに捕獲され (図7(a))、スロートラップから放

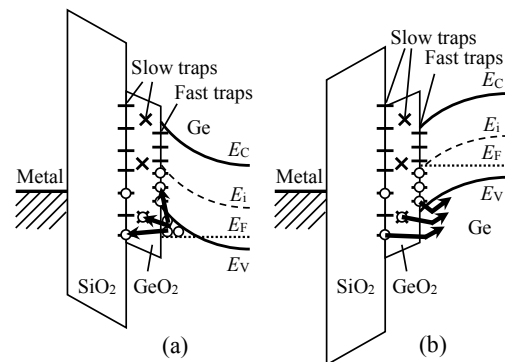


図7 DLTS 測定にスロートラップの影響。

出される際に (図 7(b))  $D_{it}$  信号に大きな影響を与えることを明らかにした。

この影響を除くため、試料を一定温度に保ち、 $C-V_G$  測定結果を基に 0 V の蓄積パルス電圧 ( $V_{AP}$ ) を満たす注入パルス電圧をセットし、DLTS 測定を行った。求めた  $D_{it}$  信号の温度依存性から正確な  $D_{it}$  のエネルギー分布を求めた。その結果を図 8 に示す。点線と実線の差はスロートラップの影響である。Al-PMA が  $D_{it}$  とスロートラップ両方の低減に有効であることはわかった。

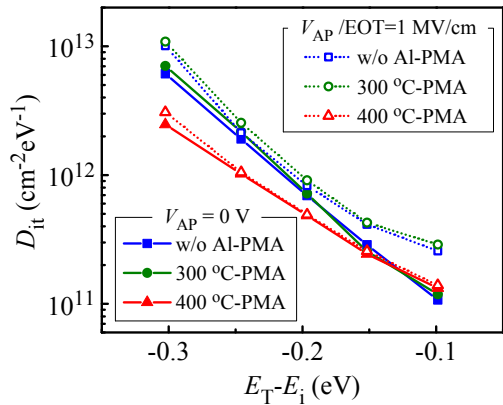


図 8 一定温度 DLTS 法により  $\text{GeO}_2/\text{Ge}$  の  $D_{it}$  分布。

(4) 低温プロセスにより作製した Ge-MOSFET の電気特性

歪み評価結果から、500 °C 以下の低温で良質の Ge-MOSFET を作製する必要があることが分かった。そのため、Ge-MOSFET の低温プロセス技術を開発した。Ge 上に TiN と Hf をそれぞれ堆積させることで、非常に低い電子障壁 (TiN/Ge: 0.09 eV) と正孔障壁 (HfGe/Ge: 0.06 eV) を有するコンタクト技術を確立し、S/D にこれらのショットキーコンタクトを用いた n-および p-MOSFET を試作した。ドレイン電流-ドレイン電圧 ( $I_D-V_D$ ) 特性を測定したところ、図 9 に示す様に典型的なトランジスタの動作曲線が得られた。特に、最適条件により作製した p-MOSFET の場合、Si と比較して約 4 倍のチャネル移動度向上を達成した。その結果を図 10 に示す。

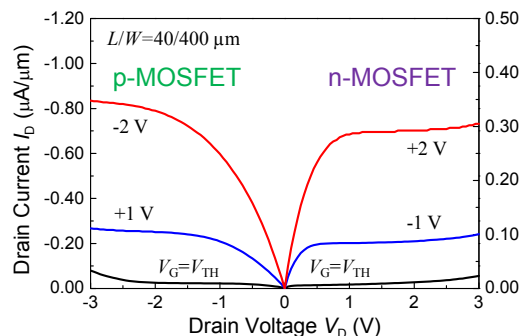


図 9 低温プロセスにより作製した Ge-MOSFET の  $I_D-V_D$  特性。

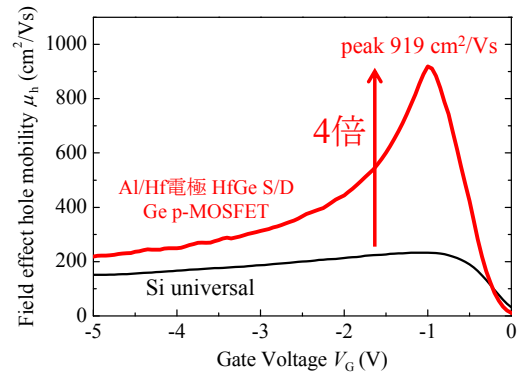


図 10 HfGe S/D Ge p-MOSFET の電界効果移動度。

本研究での最終目的は高性能局所歪み Ge-MOSFET の作製であるが、その実現には多くの解決すべき課題があり、当初計画より長い時間を要した。そのため、本報告書の作成時点では、局所歪みのプロセス統合は完成していない。それらの課題は、継続して研究を実施し、本年度中に完成させる予定である。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 13 件)

(1) T. Sada, K. Yamamoto, H. Yang, D. Wang, H. Nakashima, High Hole-Mobility Ge p-MOSFET with HfGe Schottky Source/Drain, Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, 査読有, 2012, 737-738.

e-mail for ordering: [ssdm\\_secretariat@intergroup.co.jp](mailto:ssdm_secretariat@intergroup.co.jp)

(2) K. Asakawa, K. Yamamoto, D. Wang, H. Nakashima, Fabrication of TiN/Si Contact with Low Electron Barrier Height and Electrical Characterization of Si-On-Insulator Using Back-Gate MOSFET, Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, 査読有, 2012, 64-65.

e-mail for ordering: [ssdm\\_secretariat@intergroup.co.jp](mailto:ssdm_secretariat@intergroup.co.jp)

(3) S. Kojima, K. Sakamoto, Y. Iwamura, K. Hirayama, K. Yamamoto, D. Wang, H. Nakashima, Fabrication of ZrSiO/Ge Gate Stacks with  $\text{GeO}_2$  and ZrGeO Interlayers, Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, 査読有, 2012, 12-13.

e-mail for ordering: [ssdm\\_secretariat@intergroup.co.jp](mailto:ssdm_secretariat@intergroup.co.jp)

(4) H. Nakashima, K. Yamamoto, H. Yang, D. Wang, Gate Stack and Source/Drain Junction Formations for High-Mobility Ge MOSFETs, Electrochem. Soc. Trans., 査読有, Vol. 50, 2012, 205-216.

DOI: 10.1149/05009.0205ecst

(5) Dong Wang, Shuta Kojima, Keita Sakamoto, Keisuke Yamamoto, Hiroshi Nakashima, An accurate characterization of interface-state by deep-level transient spectroscopy for Ge metal-insulator-semiconductor capacitors with SiO<sub>2</sub>/GeO<sub>2</sub> bilayer passivation, *J. Appl. Phys.*, 査読有, Vol. 112, 2012, 083707-1-5.

DOI: 10.1063/1.4759139

(6) Keisuke Yamamoto, Kenji Harada, Haigui Yang, Dong Wang, Hiroshi Nakashima, Fabrication of TiN/Ge Contact with Extremely Low Electron Barrier Height, *Jpn. J. Appl. Phys.*, 査読有, Vol. 51, 2012, 070208-1-3.

DOI: 10.1143/JJAP.51.070208

(7) Keisuke Yamamoto, Takeshi Yamanaka, Kenji Harada, Takahiro Sada, Keita Sakamoto, Syuta Kojima, Haigui Yang, Dong Wang, Hiroshi Nakashima, Schottky Source/Drain Ge Metal-Oxide-Semiconductor Field-Effect Transistors with Directly Contacted TiN/Ge and HfGe/Ge Structures, *Applied Physics Express*, 査読有, Vol. 5, 2012, 051301-1-3.

DOI: 10.1143/APEX.5.051301

(8) K. Yamamoto, T. Yamanaka, R. Ueno, K. Hirayama, H. Yang, D. Wang, H. Nakashima, Source/drain junction fabrication for Ge metal-oxide-semiconductor field-effect transistors, *Thin Solid Films*, 査読有, Vol. 520, 2012, 3382-3386.

DOI: 10.1016/j.tsf.2011.10.047

(9) D. Wang, K. Yamamoto, Hongye, H. Yang, H. Nakashima, Defect Evaluation by Photoluminescence for Uniaxially Strained Si-On-Insulator, *J. Electrochem. Soc.*, 査読有, Vol. 158, 2012, H1221-H1224.

DOI: 10.1149/2.037112jes

(10) T. Yamanaka, K. Yamamoto, K. Sakamoto, H. Yang, D. Wang, H. Nakashima, High-Electron-Mobility Ge n-MOSFET with TiN Metal Gate, *Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials*, 査読有, 2011, 889-890.

e-mail for ordering: [ssdm\\_secretariat@intergroup.co.jp](mailto:ssdm_secretariat@intergroup.co.jp)

(11) K. Sakamoto, Y. Iwamura, K. Yamamoto, H. Yang, D. Wang, H. Nakashima, Effective Passivation of Interface Dipole in TiN-Gate Ge-MOS Capacitor with Ultrathin SiO<sub>2</sub>/GeO<sub>2</sub> Bilayer by Nitrogen Incorporation, *Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials*, 査読有, 2011, 885-886.

e-mail for ordering: [ssdm\\_secretariat@intergroup.co.jp](mailto:ssdm_secretariat@intergroup.co.jp)

(12) H. Nakashima, Y. Iwamura, K. Sakamoto, D. Wang, K. Hirayama, K. Yamamoto, H. Yang, Postmetallization annealing effect of TiN-gate Ge metal-oxide-semiconductor capacitor with ultrathin SiO<sub>2</sub>/GeO<sub>2</sub> bilayer passivation, *Appl. Phys.*

*Let.*, 査読有, Vol. 98, 2011, 252102-1-3.

DOI: 10.1063/1.3601480

(13) K. Yamamoto, R. Ueno, T. Yamanaka, K. Hirayama, H. Yang, D. Wang, H. Nakashima, High-Performance Ge Metal-Oxide-Semiconductor Field-Effect Transistors with a Gate Stack Fabricated by Ultrathin SiO<sub>2</sub>/GeO<sub>2</sub> Bilayer Passivation, *Appl. Phys. Express*, 査読有, Vol. 4, 2011, 051301-1-3.

DOI: 10.1143/APEX.4.051301

[学会発表] (計 27 件)

(1) 畑山紘太、山本圭介、王冬、中島寛、Al/Ti/Snを用いたp形4H-SiCへのオーミックコンタクトの低温形成、2013年春季第60回応用物理学関係連合講演会、神奈川工科大学、2013.3.28.

(2) 佐田隆宏、山本圭介、王冬、中島寛、HfGeメタル・ソース/ドレインGe p-MOSFETの高移動度化、2013年春季第60回応用物理学関係連合講演会、神奈川工科大学、2013.3.28.

(3) 山本圭介、光原昌寿、西田稔、王冬、中島寛、TiN/Geコンタクトにおける低電子障壁発現機構の解明、2013年春季第60回応用物理学関係連合講演会、神奈川工科大学、2013.3.28.

(4) 永冨雄太、小島秀太、亀沢翔、山本圭介、王冬、中島寛、極薄GeO<sub>x</sub>界面層を有するY<sub>2</sub>O<sub>3</sub>/Geゲートスタックの低温形成、2013年春季第60回応用物理学関係連合講演会、神奈川工科大学、2013.3.28.

(5) 中島寛、王冬、山本圭介、Ge-MOSキャパシタの正確な界面準位密度評価：一定温度DLTS、2013年春季第60回応用物理学関係連合講演会、神奈川工科大学、2013.3.28.

(6) Hiroshi Nakashima, Keisuke Yamamoto, Dong Wang, Contact Formations for Schottky Source/Drain Ge-CMOS, 6th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, "Atomically Controlled Processing for Ultralarge Scale Integration" (招待講演), Sendai, Japan, 2013.2.23.

(7) 亀沢翔、山本圭介、王冬、中島寛、リセスチャンネルTiNメタル・ソース/ドレイン型Ge n-MOSFETの作製、2012年応用物理学九州支部学術講演会、佐賀大学、2012.12.1.

(8) 永冨雄太、小島秀太、山本圭介、王冬、中島寛、極薄GeO<sub>2</sub>-ILを有するAl<sub>2</sub>O<sub>3</sub>/Geゲートスタックの形成、2012年応用物理学九州支部学術講演会、佐賀大学、2012.12.1.

(9) 村山亮介、朝川幸二郎、山本圭介、王冬、中島寛、ウェットエッチングによるSi n-MOSFETのデバイス特性の変化、2012年応用物理学九州支部学術講演会、佐賀大学、2012.12.1.

(10) 畑山紘太、山本圭介、王冬、中島寛、p

形 4H-SiC への Al/Ti/Si オーミックコンタクトの低温形成、2012 年応用物理学会九州支部学術講演会、佐賀大学、2012.12.1.

(11) H. Nakashima, K. Yamamoto, H. Yang, and D. Wang, Gate Stack and Source/Drain Junction Formations for High-Mobility Ge MOSFETs, 222nd ECS Meeting (招待講演), Hawaii, USA, 2012.10.9.

(12) T. Sada, K. Yamamoto, H. Yang, D. Wang, and H. Nakashima, High Hole-Mobility Ge p-MOSFET with HfGe Schottky Source/Drain, 2012 International Conference on Solid State Devices and Materials, Kyoto, Japan, 2012.9.26.

(13) K. Asakawa, K. Yamamoto, D. Wang, and H. Nakashima, Fabrication of TiN/Si Contact with Low Electron Barrier Height and Electrical Characterization of Si-On-Insulator Using Back-Gate MOSFET, 2012 International Conference on Solid State Devices and Materials, Kyoto, Japan, 2012.9.26.

(14) S. Kojima, K. Sakamoto, Y. Iwamura, K. Hirayama, K. Yamamoto, D. Wang, and H. Nakashima, Fabrication of ZrSiO<sub>2</sub>/Ge Gate Stacks with GeO<sub>2</sub> and ZrGeO Interlayers, 2012 International Conference on Solid State Devices and Materials, Kyoto, Japan, 2012.9.26.

(15) 朝川幸二郎、山本圭介、王冬、中島寛、低電子障壁 TiN/Si コンタクトの形成と back-gate MOSFET への応用、2012 年秋季第 73 回応用物理学会学術講演会、愛媛大学・松山大学、2012.9.13.

(16) 山本圭介、王冬、中島寛、整流性 TiN/p-Ge コンタクトに於ける表面パッシベーションの重要性、2012 年秋季第 73 回応用物理学会学術講演会、愛媛大学・松山大学、2012.9.11.

(17) 山本圭介、井餘田昌俊、王冬、中島寛、TiN/Ge コンタクトに於けるフェルミレベルピンニング変調と MOS デバイス応用、応用物理学会分科会 シリコンテクノロジー：「ゲートスタック研究の進展－不純物分布および接合界面制御を中心に」、名古屋大学、2012.6.21.

(18) 山本圭介、原田健司、楊海貴、王冬、中島寛、低障壁 TiN/n-Ge コンタクトの形成とコンタクト抵抗評価、2012 年春季第 59 回応用物理学関係連合講演会、早稲田大学、2012.3.18.

(19) 高橋涼介、山中武、山本圭介、楊海貴、王冬、中島寛、極薄ゲート絶縁膜を有する Ge-MOSFET 作製のための表面保護プロセスの検討、2011 年応用物理学会九州支部学術講演会、鹿児島大学、2011.11.26.

(20) T. Yamanaka, K. Yamamoto, K. Sakamoto, H. Yang, D. Wang, H. Nakashima, High-Electron-Mobility Ge n-MOSFET with TiN Metal Gate, 2011 International Conference on Solid State Devices and Materials, Nagoya,

Japan, 2011.9.28.

(21) K. Sakamoto, Y. Iwamura, K. Yamamoto, H. Yang, D. Wang, H. Nakashima, Effective Passivation of Interface Dipole in TiN-Gate Ge-MOS Capacitor with Ultrathin SiO<sub>2</sub>/GeO<sub>2</sub> Bilayer by Nitrogen Incorporation, 2011 International Conference on Solid State Devices and Materials, Nagoya, Japan, 2011.9.28.

(22) 山中武、山本圭介、上野隆二、坂本敬太、楊海貴、王冬、中島寛、TiN/SiO<sub>2</sub>/GeO<sub>2</sub>/Ge ゲートスタックを有する Ge n-MOSFET の電気的特性、第 72 回応用物理学会学術講演会、山形大学、2011.9.1.

(23) 坂本敬太、岩村義明、山本圭介、楊海貴、王冬、中島寛、TiN ゲート Ge-MOS キャパシタの PMA による窒素導入効果、2011 年秋季第 72 回応用物理学会学術講演会、山形大学、2011.9.1.

(24) M. Iyota, K. Yamamoto, D. Wang, H. Yang, H. Nakashima, Alleviation of Fermi-level pinning at metal/Ge interface by direct deposition of TiN on Ge surface, 7th Int. Conf. on Si Epitaxy and Heterostructures, Leuven, Belgium, 2011.8.30.

(25) D. Wang, K. Yamamoto, H. Gao, H. Yang, H. Nakashima, Photoluminescence observation of defects for uniaxially strained Si-on-insulator, 7th Int. Conf. on Si Epitaxy and Heterostructures, Leuven, Belgium, 2011.8.30.

(26) K. Yamamoto, R. Ueno, T. Yamanaka, K. Hirayama, H. Yang, D. Wang, H. Nakashima, High Performance Ge MOSFETS with Bilayer-Passivated MOS interface, 7th Int. Conf. on Si Epitaxy and Heterostructures, Leuven, Belgium, 2011.8.30.

(27) H. Nakashima, K. Hirayama, K. Yamamoto, H. Yang, D. Wang, High-quality gate-stack formation on Ge and defect termination at the interface (招待講演), European Materials Research Society 2011 Spring Meeting, Nice, France, 2011.5.11.

[その他]

ホームページ等

[http://astec.kyushu-u.ac.jp/nakasima/naka\\_home.htm](http://astec.kyushu-u.ac.jp/nakasima/naka_home.htm)

## 6. 研究組織

### (1)研究代表者

王冬 (WANG DONG)

九州大学・総合理工学研究院・准教授

研究者番号：10419616

### (2)研究分担者

無し

### (3)連携研究者

無し