

## 科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 5 月 31 日現在

機関番号：14401
研究種目：若手研究(B)
研究期間：2011～2012
課題番号：23760315
研究課題名（和文） 超並列アナログ回路網とFPGAを組み合わせた両眼立体視システムの開発
研究課題名（英文） A binocular stereopsis system combined massively parallel analog networks with FPGA
研究代表者 亀田 成司 (Kameda Seiji) 大阪大学・臨床医工学融合研究教育センター・特任准教授（常勤） 研究者番号：80542282

研究成果の概要（和文）：生体視覚系を模倣した超並列アナログ回路網と書き換え可能な集積回路である FPGA を組み合わせた高速・高精度・低消費電力な両眼立体視システムの開発を行った。両眼立体視に必要な両眼画像の前処理および類似度計算を行うスイッチトキャパシタ回路網チップと類似度を考慮に入れた視差マップ作成を行う補間処理回路網チップを 0.18 $\mu$ m CMOS 集積回路により試作した。FPGA を組み合わせた視覚システムにより各チップの立体視システムとしての所望の機能および性能を確認した。

研究成果の概要（英文）：A high speed, high precision and low power binocular stereopsis system was developed by combination massively parallel analog networks mimicked the biological visual system and FPGA (Field Programmable Gate Array). A switched-capacitor network and an interpolation network were fabricated in 0.18 $\mu$ m CMOS technology. The former realizes preprocessing and similarity calculation for binocular stereopsis. The latter makes disparity map in accordance with the similarity result. These chips were confirmed desired function and specification as the stereopsis system by a vision system consisting of FPGA.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2011年度	1,200,000	360,000	1,560,000
2012年度	2,200,000	660,000	2,860,000
総計	3,400,000	1,020,000	4,420,000

## 研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：集積回路、画像処理、超並列回路構造、生体模倣、FPGA、両眼立体視

## 1. 研究開始当初の背景

自動車の運転支援や自律型ロボットの分野において両眼立体視による奥行き情報検出が注目されている。両眼立体視は空間的に膨大な量の画像情報を扱う必要があり計算コストが極めて高く、従来の逐次的デジタル画像処理では実時間処理には不向きである。近年の高速コンピュータや画像処理装置(GPU)で実時間処理に対応できても、消費電力が極めて高く据え置き以外の応用には不

向きである。

そこで、生体視覚系に見られる視覚機能や構造を模倣した脳型視覚デバイスに着目した。生物の脳のように実時間かつ柔軟な画像処理が可能な、全く新しい視覚デバイスとして工学的に極めて高い発展性を持つ。特に、アナログ処理要素で構成された超並列アナログ回路網は、時空間処理を回路のダイナミクスに従い実時間かつ低消費電力に実行できる。現在までに網膜や視覚野の情報処理機

構を模倣した集積回路システムがシリコン網膜、シリコン視覚野として様々に開発されている。脳型視覚デバイスは実時間処理、アナログ回路網によるロバスト性、低消費電力などの特徴から従来の逐次的デジタル画像処理を超える可能性を秘めているが、アナログ集積回路特有の素子特性ミスマッチに伴う演算精度の低下、各画素に処理回路を持つため処理機能と解像度の間にトレードオフが存在、特定の構造を集積回路化するので処理の汎用性が低い、といった問題が存在していた。

## 2. 研究の目的

超並列アナログ回路網と、集積されたゲートアレイを書き換えることで所望のデジタル処理回路を構成可能な FPGA (Field Programmable Gate Array) とを組み合わせることで、高速、高精度、低消費電力な両眼立体視システムを実現する。

両眼立体視に必要な、画像前処理や局所平均フィルタ処理(平滑化処理)などの空間処理を行う超並列アナログ回路網として、抵抗-容量(RC)回路網を使用する。RC回路網による電荷拡散を利用することで、理想的なガウシアンフィルタを非常に良く近似できることが数学的に明らかで、既に開発したチップで少なくとも 8bit 程度の精度があることを確認している。ガウシアンフィルタは両眼立体視を含め様々な画像処理の理論モデルに使用されているが、ソフトウェア上では理論的に $\infty$ のフィルタサイズを持つため計算コストが極めて高い。これを RC回路網は電荷拡散で解くので、画像処理には殆ど電力を消費せず、非常に高速である。また、差分回路を内蔵することで輪郭強調処理も実行できる。さらに、特定の方位のみ接続することで方位選択性の応答が得られる。そして、任意の接続を外部制御することでラインプロセスを導入した画像分割処理にも適用できる。

チップ間の画像入出力は逐次的に行うが、この入出力期間を利用して視差評価と視差選択を行う。視差評価には差の絶対値や二乗の演算が必要で、視差の選択には WTA (Winner Take All) のような判定回路が必要である。これらはデジタルを利用した方が精度の高い演算が期待できる。これをパイプライン処理により連続的に処理する。FPGA は書き換え可能なので視差や類似度の評価方法を自由に変更できる。また、システム全体を組み替えることで多様な情報処理にも汎用的に対応できる。各回路網チップの消費電力は精々数 10mW であり、低電力 FPGA (Xilinx Spartan) を使用すれば、4bit 程度の視差を並列計算しても、システム全体の消費電力を 1W 以下に設定できる。

本研究では、前処理 100×100 画素、視差

マップ 50×50 画素、処理速度 30fps、消費電力 1W 以下のシステム開発を目指す。

## 3. 研究の方法

両眼立体視では、左右画像において水平方向に一致する画素(対応点)を検出し、その水平方向の位置のずれ(視差)から奥行を計算する。提案する両眼立体視システムを図 1 に示す。まず撮像デバイスで取得した左右画像に対応点検出の精度を高めるために前処理を施し特徴抽出を行う。そして、任意の視差において左右画像間の局所領域での類似度を比較するために、各視差での対応画素間の相違値を差の絶対値や差の二乗により計算し、局所領域で平均化(平滑化)することで類似度マップを作成する。各画素位置において各視差の類似度を比較し、最大となる視差を選択して視差マップを作成する。視差マップでは平滑化処理を加えることで視差の連続性を保証する。

入力画像からの特徴抽出に、抵抗-容量(RC)回路網を使用する。RC回路網は図 2(A)のように、各画素に容量を配置し、画素間を抵抗とスイッチで結ぶ構造をとる。各容量に画像情報を電圧値として入力した後、画素間のスイッチを接続すると、抵抗と容量で決まる時定数に従い、画像情報(電荷)が空間的に拡散する。適当な時間後に画素間のスイッチを切断することで、各画素の容量に平滑化された画像情報が保持される。その空間フィルタ特性はガウシアンフィルタを非常に良く近似している。抵抗成分として、CMOS スイッチの ON 抵抗を利用するスイッチ抵抗回路網(図 2(B))では、スイッチの接続時の ON 抵抗と容量でフィルタ特性が決まる。但し、ON 抵抗値は非常に小さいため、時定数がナノ秒程度でありスイッチ開閉の制御が難しい。一

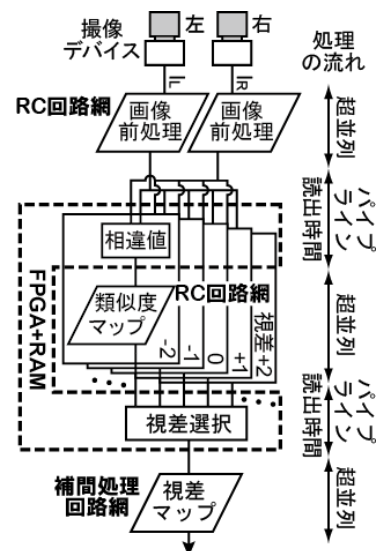


図 1 提案する両眼立体視システム

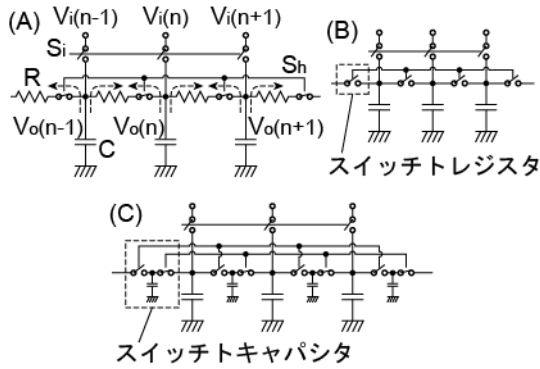


図 2 抵抗-容量(RC)回路網、(A)基本原理、(B)スイッチトレジスタ(抵抗)回路網、(C)スイッチトキャパシタ(容量)回路網

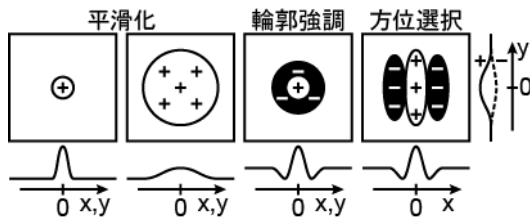


図 3 RC 回路網で実現可能な空間フィルタ

方、抵抗成分にスイッチトキャパシタを利用するスイッチト容量回路網(図 2(C))では、2つの CMOS スイッチを直列に接続し、交互にスイッチを開閉することで、スイッチ間の寄生容量を介して画素容量の電荷を拡散する。フィルタ特性は画素容量、スイッチの開閉数と画素間の寄生容量値で決まるので比較的制御しやすい。両者とも、従来のシリコン網膜などに使用されている MOS 抵抗回路網に比べ、抵抗成分の線形性が高く回路規模が小さい。RC 回路網で可能な画像前処理は、平滑化処理の他に、各画素に差分回路を加えることで輪郭強調や方位選択なども行える。

ここで、両眼立体視アルゴリズムで一般的に問題になるのが、対象の 3 次元的境界において左右画像の対応が取れないオクルージョンである。3 次元的境界では図 3(B)のように、類似度マップでの平滑化により類似度が劣化する現象が起きる。そこで、境界ベース結合マルコフ確率場(MRF)モデルに基づく領域分割処理を適用する。このモデルでは画素間にラインプロセスを導入し任意の画素間を切断可能にすることでノイズ除去等の画像表面再構成を行う。まず、図 3(A)のように RC 回路網の任意の画素間を切断できるようにする。立体的境界では画像特徴的にも影やズレが生じることが多いので、前処理で抽出した輪郭情報を用いて画素間接続を切断する。その後、平滑化を行うことで図 3(C)のように類似度の劣化を低減できる。

また、一様な画像領域などでは視差間で類似度の差が現れ難く、視差が間違っても選択される可能性が増える。そこで、類似度の分布

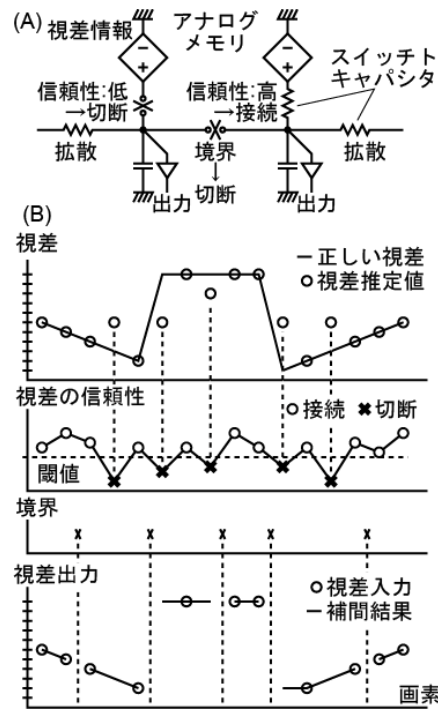


図 4 視差の信頼性を考慮した視差マップ作成方法、(A)視差マップに使用する補間処理回路網、(B)処理原理

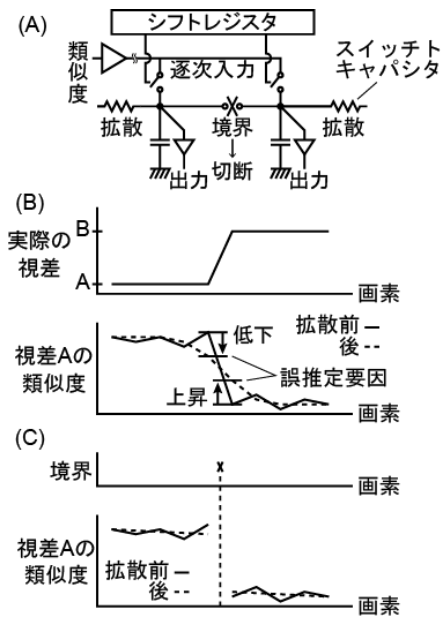


図 5 オクルージョンを考慮した類似度マップ作成方法、(A)類似度マップに使用する RC 回路網、(B)オクルージョンの影響、(C)境界位置での回路網切断

から視差の信頼性を求め、それを考慮した視差選択を行える補間処理回路網を考案した。補間処理回路網は、図 4(A)のように RC 回路網の入力部にアナログメモリを配置し、アナログメモリと RC 回路網との間を接続制御可能な抵抗成分で結ぶ。アナログメモリには視差の推定値を入力し、視差の信頼性が低い場



合はアナログメモリを RC 回路網に接続しない。さらに、前処理で抽出した輪郭情報により領域分割を行い、各領域での拡散処理を行うことで、信頼性の高い視差情報のみで視差マップが再構成できる。空間フィルタ特性はアナログメモリと RC 回路網間の抵抗値と画素間の抵抗値で決まる空間定数に従う。

そこで本研究では、両眼立体視システムを実現するための(1)ラインプロセスを導入したスイッチト容量回路網、(2)補間処理回路網の開発および評価を行った。

#### 4. 研究成果

##### (1) スwitchト容量回路網チップ

0.18 $\mu\text{m}$  CMOS プロセスを使用して、ラインプロセスを導入したスイッチト容量回路網チップを開発した。画素回路を図 5 に示す。各画素に差動回路を内蔵し入力画素情報(電圧)を保持すると共に、時間差で入力された画像情報の差分信号を出力する。また、アナログ集積回路で問題になる画素回路のオフセット電圧を除去する。隣接する画素回路間を水平(x)方向、垂直(y)方向にスイッチトキャパシタで結ぶことで、スイッチトキャパシタと差動回路の入力部の容量とで RC 回路網を構成する。スイッチトキャパシタの中央部にスイッチを追加し、画素に内蔵したメモリの情報でその接続を切り替えることで、RC 回路網の任意の画素間の接続を制御できラインプロセスに対応できる。

開発したチップのレイアウトの一部(A)と画素回路(B)を図 6 に示す。5mm 角のチップ上に 28 $\mu\text{m}$ ×28 $\mu\text{m}$  の画素回路を 150×150 画素配置しスイッチト容量回路網を構成した。申請

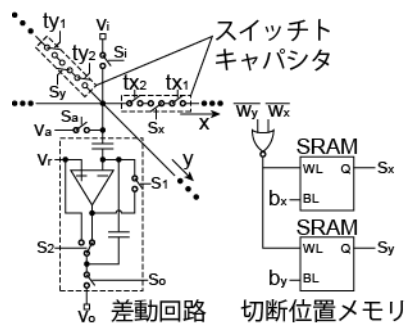


図 5 スwitchト容量回路網チップの画素回路

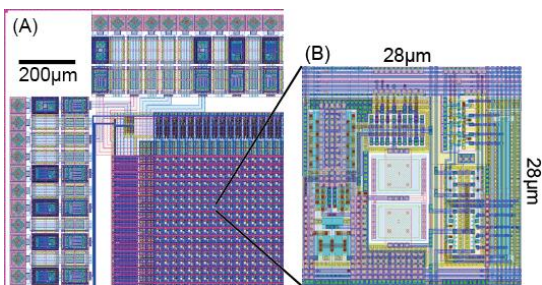


図 6 スwitchト容量回路網チップのレイアウト、(A)チップの一部、(B)画素回路

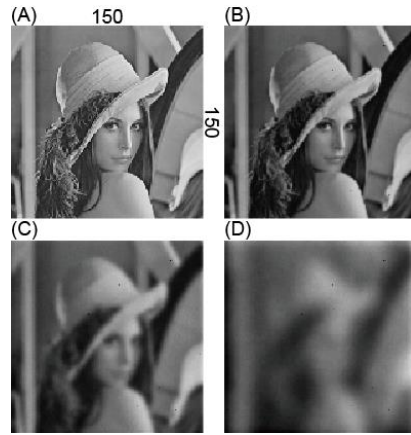


図 7 スwitchト容量回路網チップによる平滑化フィルタ処理結果、(A)入力画像、(B)スイッチ回数 5 回、(C)50 回、(D)500 回

時の計画に比べ 2 倍以上の解像度を達成した。

開発したスイッチト容量回路網チップと FPGA で構成した画像処理システムを試作し、チップの評価を行った。

##### ① 平滑化フィルタ処理

図 7(A) 画像を入力したときの平滑化フィルタ処理結果を図 7(B)～(D)に示す。スイッチトキャパシタのスイッチ回数を 5、50、500 回と増やすに従い、入力画像が強く平滑化されていることが分かる。また、アナログ集積回路で問題になる素子のオフセットに依存した固定パターンノイズの影響も十分に抑えられていることが分かる。一様画像を入力したときの出力分布から、固定パターンノイズは  $3\sigma$  で 4.9mV 程度に抑えられていた。画像処理可能な電圧範囲は約 900mV であったので、7.5bit 程度の十分な精度を持つことが確認できた。精度は動作範囲や RC 回路網の容量値を増やせば更に向上するが、画素サイズ(解像度)とトレードオフの関係にある。画素回路の入出力は最大 3MSPS (signal/sec) で行えたので、書き込み及び読み出しに必要な時間は最速 7.5ms である。このときの消費電力は 4.7mW/chip で、従来のデジタル画像処理システム(数 100W)に比べ格段に低く、当初の計画に比べても十分低い。

##### ② 輪郭強調処理

異なるサイズのガウシアンフィルタの差を計算する DOG (Differential of Gaussian) フィルタは、空間 2 次微分フィルタである LG (Laplacian-Gaussian) フィルタを良く近似しており、入力画像の輪郭を強調する。DOG フィルタは脊椎動物の視覚野応答のモデルとしてもよく使用されている。画素回路内の差分回路は時間差で入力された画像情報の差を出力できるので、異なるスイッチ回数で平滑化した画像を差分回路に順に入力することで、任意の DOG フィルタを構成できる。図 8 に DOG フィルタ処理による輪郭強調の結果を示す。図 8(A)は、図 7(A)を入力した後、

RC 回路網のスイッチ動作を 2 回、その後 10 回行ったときのチップ応答である。同様に (B)、(C)、(D) は、スイッチ動作を 2 回、10 回、10 回、その後 100 回、50 回、500 回それぞれ行った。いずれも入力画像の輪郭が強調されていることが分かる。初めのスイッチ回数が少ない方が、より細かな画像特徴を保持していることが分かる。また、2 回目のスイッチ回数が多い程、フィルタサイズが大きくなり応答が強く表れていることが分かる。これらは DOG フィルタの特性を良く再現できていると言える。

### ③方位選択性フィルタ処理

脊椎動物の 1 次視覚野では、輪郭強調フィルタを特定の方向に引き伸ばした形状をした空間フィルタの存在が知られている。数学的には Gabor フィルタで近似でき、回路モデル的には輪郭強調フィルタを特定の方向に接続することで実現できる。このフィルタは引き伸ばされた方位と同じ方位の線分や輪郭を強調するので、生体視覚系の方位選択性に寄与している。RS 回路網では、特定の方向 (x or y) のみに平滑化した後、一様(両方向)に平滑化して差をとることで、Gabor 様(偶関数)の方位選択性フィルタを形成することができる。図 9 に方位選択性フィルタ処理の結果を示す。図 9(A)、(B) は、図 7(A) を入力した後、スイッチ動作をそれぞれ y または x 方

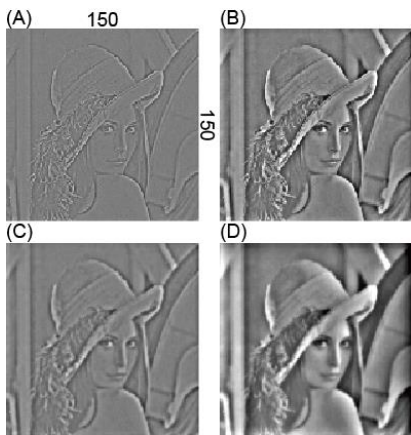


図 8 スイッチト容量回路網チップによる輪郭強調処理結果、(A)スイッチ回数 2 回-10 回、(B) 2 回-100 回、(C)10 回-50 回、(D)10 回-500 回

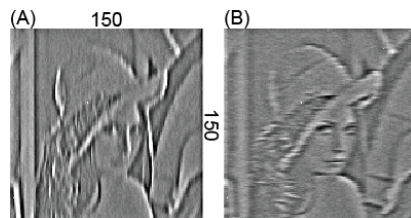


図 9 スイッチト容量回路網チップによる方位選択性フィルタ処理結果、(A)スイッチ回数 y 方向に 100 回-両方向に 50 回、(B)x 方向に 100 回-両方向に 50 回

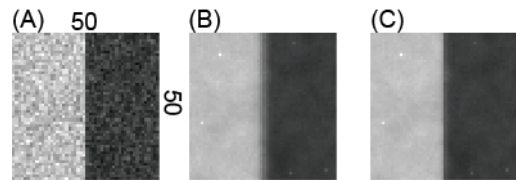


図 10 スイッチト容量回路網チップによるノイズ除去、(A)スイッチ回数 0 回、(B) 50 回、(C) 輪郭位置で画素間を切断後に平滑化

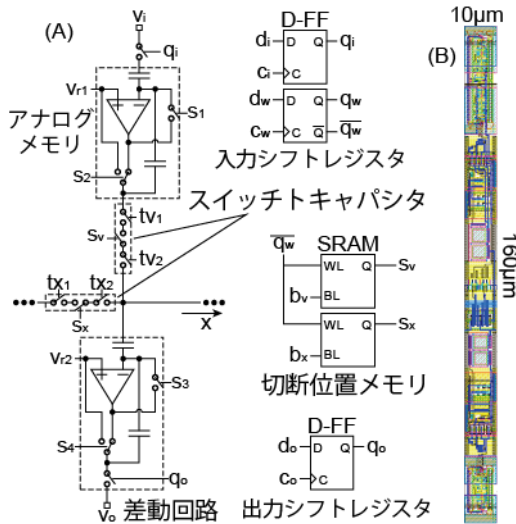


図 11 補間処理回路網チップ、(A)画素回路、(B) 画素回路のレイアウト

向にのみ 100 回、その後、両方向に 50 回行ったときのチップ応答である。それぞれ y または x 方向の輪郭成分が強調され、その直交方向には弱められていることが分かる。様々な特徴情報を精度良く抽出することで、対応点が正確に検出できる。

### ④ラインプロセスの導入

図 10 にラインプロセスを導入した RC 回路網によるノイズ除去の結果を示す。ノイズを含む白黒の輪郭画像を入力し、平滑化せずに出した結果が図 10(A)である。このノイズを除去するためにスイッチ動作を 50 回行い平滑化すると(B)のようにノイズと共に輪郭情報も抑制される。そこで、輪郭位置の画素間を切断し、同様の平滑化を実行すると、(C)のように輪郭情報を保持したままノイズ除去が出来る。この機構は、図 3 のオクルージョンを考慮した類似度マップの作成に、そのまま利用できる。

### (2)補間処理回路網チップ

0.18 $\mu$ m CMOS プロセスを使用して、補間処理回路網チップを開発した。画素回路を図 11(A)に示す。図 5 のスイッチト容量回路網の入力部にアナログメモリを追加し、これらの間をスイッチトキャパシタで結ぶ。両眼立体視の場合、水平(x)方向の視差を求めると、視差マップの作成には水平方向 1 次元の構成で良い。メモリ情報でスイッチトキャパ

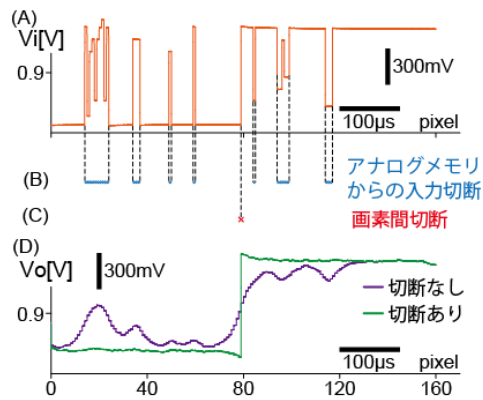


図 12 補間処理回路網チップによるノイズ成分の除去、(A)入力、(B)アナログメモリからの入力切断位置、(C)画素間切断位置、(D)切断の有無による出力の違い

シタの接続を制御することで図 4(A)の構成が実現できる。

開発した画素レイアウトを図 11(B)に示す。2.5mm 角チップ上に  $10\mu\text{m} \times 160\mu\text{m}$  の画素を 1 次元 160 画素配置し補間処理回路網を構成した。申請時は  $50 \times 50$  画素の補間処理回路網チップを計画していたが 1 次元 160 画素の補間処理回路網とメモリを組み合わせることで、 $160 \times 150$  画素の視差マップが構成できる。

開発した補間処理回路網チップと FPGA で構成した画像処理システムを試作し、チップの評価を行った。図 12 に実験結果を示す。図 12(A)のように、視差入力として 80 画素目を境界とした輪郭画像に、信頼性の低い視差推定値に相当するノイズを印加したデータを入力した。入力側のスイッチ動作を 1 回行う毎に RC 回路網のスイッチ動作を 20 回行い、それを 100 回繰り返して平滑化を行った。回路網の切断を行わない場合は、図 12(D)の紫線のようにノイズの影響により出力が大きく変動し境界も平滑化される。一方、ノイズを印加した画素のアナログメモリからの接続を切断し、境界位置の画素間を切断すると、図 12(D)の緑線のように輪郭成分を保ちつつノイズが除去できた。すなわち、図 4 の視差の信頼性を考慮した視差マップ作成を実現できる。画素回路の入出力は最大 20MSPS (signal/sec)で行えたので、 $160 \times 150$  画素の書き込み及び読み出しに必要な時間は最速 1.2ms である。このときの消費電力は 8.1mW/chip で十分低いと言える。

以上より、(1)ラインプロセスを導入したスイッチ容量回路網チップと(2)補間処理回路網チップの開発を行い、FPGA と各チップとを組み合わせた画像処理システムを使用した評価により所望の性能を確認できた。分解能、消費電力の点において、申請時の計画を大きく改善できた。本チップを使用すれば、従来のデジタル画像処理システムよりも大幅に低消費電力な両眼立体視システムが実

現できる。今後も本チップと FPGA を組み合わせた両眼立体視システムの開発を進める。

本研究にて開発したチップは、生体視覚系を模倣するという観点から、後天的に視力を失った対象者に適用する人工視覚との相性が非常に良い。失った視機能を前処理チップで補綴することで適切な刺激情報の作成を行う。人工視覚では携帯性、実時間性が特に要求されるので本チップシステムは非常に適している。現在、人工視覚の前処理システムへの適用も進めている。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

①K. Shimonomura, S. Kameda, A. Iwata and T. Yagi, Wide-Dynamic-Range APS-Based Silicon Retina With Brightness Constancy, IEEE Trans. Neural Networks, 査読有, Vol.22, No.9, 2011, pp.1482-1493

[学会発表] (計 9 件)

①H. Okuno, T. Fehervari, M. Matsuoka, S. Kameda and T. Yagi, Portable phosphene image generator simulating cortical visual prosthesis, Biomedical Circuits and Systems Conference, 2012.11.28-30, Sheraton Hsinchu Hotel (Taiwan)

②亀田成司, 林田祐樹, 田中宏喜, 岩田穆, 八木哲也, 人工視覚のためのマイクロユニバーサルバイオデバイスの開発, 平成 24 年電気学会 電子・情報・システム部門大会, 2012.9.5-7, 弘前大学(青森県)

③亀田成司, 朝永幸拓, シリコン網膜による輪郭抽出を利用した領域分割処理システムの開発, 第 6 回新画像システム・情報フォトリック研究討論会, 2012.6.22, 大阪大学(大阪府)

④S. Kameda, A Micro Universal Bio Device for Artificial Vision, Global-COE Workshop on Engineering/Information Science for Integrated Life Science and Predictive Medicine, 2012.2.28, Grand Park City Hall (Singapore)

⑤S. Kameda, Y. Moriyama, T. Sakamoto, K. Noda and A. Iwata, A High Sensitivity CMOS Photosensor for Bioluminescence Detection, The 26th Symposium on Biological and Physiological Engineering, 2011.9.20, 立命館大学(滋賀県)

## 6. 研究組織

(1)研究代表者

亀田 成司 (Kameda Seiji)

大阪大学・臨床医工学融合研究教育センター  
・特任准教授(常勤)

研究者番号：80542282