

科学研究費助成事業 研究成果報告書

平成 27 年 9 月 17 日現在

機関番号：32689
研究種目：基盤研究(A) (一般)
研究期間：2012～2014
課題番号：24246064
研究課題名(和文) スーパーハイビジョン用エンコーダLSIの研究

研究課題名(英文) Encoder LSI for Super Hi-Vision Video

研究代表者

後藤 敏 (Goto, Satoshi)

早稲田大学・理工学術院・教授

研究者番号：10367170

交付決定額(研究期間全体)：(直接経費) 34,600,000円

研究成果の概要(和文)：スーパーハイビジョン(7680x4320@60fps)は現行のハイビジョン(1920x1080@30fps)と比べ16倍の画素数と2倍のフレーム数を扱うこととなり、スループットでは32倍の速度向上を図る必要がある。エンコーダにおいては、演算量は100倍以上となり、現在の技術の延長では、1チップで実装することは極めて困難である。本研究では、画像符号化の新標準であるHEVC(H.265)方式を対象に、各コンポーネントのアルゴリズム、アーキテクチャ、論理回路設計までの研究を行い、チップとして300MHzで8kx4k画像を60fpsで動作させることが可能なことを確認し、当初の目標を達成することができた。

研究成果の概要(英文)：This research focuses on Encoder LSI chip design for Super Hi-Vision. The Super Hi-Vision(7680x4320@60fps) is 16 more time pixels/frame and 2 time more frames/second which requires 32 times through put, compares with current Hi-vision(1920x1080@30fps). Therefore, the number of operations in Super Hi-vision is more than 100 timee more than that of Hi-vision, and it is impossible to achieve the performnce by only using conventional technology. This research proposed new algorithms and architectures for a new video standard format, called HEVC(H.265) on Super Hi-Vision and also designed hardware circuits and achieved 60fps with 300MHz clock cycles for 8Kx4K video encoder.

研究分野：電子機器

キーワード：画像圧縮 エンコーダ スーパーハイビジョン LSI チップ HEVC アーキテクチャ設計

1. 研究開始当初の背景

デジタルハイビジョン：HDTV (1920x1080) は1980年代初めに方式検討が開始され、2000年初めに実験放送が行われた。研究開始から20年間を要して現在の普及に至っている。スーパーハイビジョン：SHTV(7860x4320)は2000年代始めに検討が開始され、2017年に試験放送が開始される予定であり、スーパーハイビジョンテレビは2020年には、世界での世帯普及率が5%になり、日本国内では20%になるという予測がされている。このとき、スーパーハイビジョンの世界市場規模は約20兆円となり、動画用半導体市場だけでも約2兆円規模になると予測されている。このような背景から判断して、**スーパーハイビジョン用エンコーダとデコーダの技術開発は2015年までに基本技術を確立することを目指して行う必要がある。**もともと日本は動画コーデックには強く、世界でトップの技術と製品を持っていた。しかし最近では韓国、台湾及び中国からの追い上げが激しくなっており、日本が必ずしもトップという状況ではない。スーパーハイビジョンにおいて**日本が世界をリードし、技術と市場で優位な地位を築くには、この3年間の研究開発が勝負の分かれ目**である。大学が先ず基礎的研究を先行的に行い、産業界がその成果を活用して迅速に実用化技術を確立し、製品を立ち上げるシナリオができたならば、日本企業が世界での競争に勝てると思われる。よって、本研究テーマとして「**超高精細(8kx4k:7680x4320)のリアルタイム・ビデオエンコーダ**」を1チップで実現できる技術の研究を行う。

2. 研究の目的

将来の放送として期待されているスーパーハイビジョンの画像圧縮(エンコーダ)の1チップLSI化技術を研究する。スーパーハイビジョンは2017年に試験放送が開始される予定であり、2015年までに基本的な技術を確立する必要がある。スーパーハイビジョン(8kx4k)は現状のハイビジョン(2kx1k)と比較し、**16倍規模の高精細な動画を扱う必要があり、100倍以上の演算量を必要と**

する。従来の延長の技術では1チップ化の実現は不可能であり、方式、アルゴリズム、アーキテクチャ、回路設計の観点から革新的技術を開発することが必要である。また2013年に次世代の画像符号化方式として、H.265/HEVCの標準化が行われたこともあり、新標準H.265/HEVCを対象にスーパーハイビジョン用圧縮アルゴリズムの開発と1チップ実現ための設計方式を確立する。

3. 研究の方法

新標準であるHEVC向けに8kx4kスーパーハイビジョン画像の圧縮(エンコーダ)の1チップLSI化のための技術を研究する。24年度にスーパーハイビジョン向けのアルゴリズムとアーキテクチャを開発し、25年度に性能達成の要となる**メモリバンド幅を削減する高性能動き予測エンジン(ME)**と**フレーム並列エンジン**の設計を行った。最終年度である26年度にエンコーダの各要素の設計を行い、エンコーダ全体の性能の確認を行った。提案の実行に当たっては、2名のポスドク研究員、5名の博士課程学生と8名の修士課程学生で取り組んだ。LSIチップ設計に当たっては、STARC/VDECの設計環境を用い、チップの一部試作を行った。チップの評価はシミュレーションで行った。

4. 研究成果

(1) イントラ予測処理

8k UHDTV向けのイントラ予測に対するアルゴリズムを開発し、とキーとなる機能(高速RDO処理、予測方向の絞り込み、予測処理)のハードウェア設計を行った。

・HEVCにおける高速なイントラ予測方法を開発した。HAD (Hadamard Transform Absolute Difference)ベースのコストを用いることで、ブロックサイズを5種類から2種類に絞り込み、予測方向を34から9に絞り込む方法を開発した。この結果、平均符号量の増加率は2.5%未満であり、シミュレーションによる時間でも50%以上の高速化を達成した。

・HEVDイントラ予測においては、最適なコードのモード選択を行う際にRDO処理

を行うが、この RDO 処理には大きな演算量を必要とするため、画質を保つもとの RDO 処理を単純化させ、精密な計算方法に比べて、46%~64%の演算時間を削減することが可能となった。

・開発した予測処理のアーキテクチャは 4x4 ブロックレベルのパイプラインに基づいており、すべてのモードとすべての予測ユニット (PU) を対象にしている。400MHz のクロックで 7680x4320@120fps を実行できることを確認した。90nm のデザインルールで設計したところ、ハードウェア量は、論理回路が 72.1K ゲートで、SRAM が 12.3Kb であった。

(2) インター予測処理

動き予測処理に対して、IME (整数動き予測) と FME (小数動き予測) のアルゴリズムとアーキテクチャを開発した。

・8K UHD TV (7680x4320@48fps) を実行できる整数動き予測 (IME) アルゴリズムとそのアーキテクチャを開発した。サーチ領域を縦 ± 211 、横 ± 106 の範囲に設定し、PSNR も JM とほぼ同じ値を保ち、1.59Gpixel/s で実行できることをチップ試作により確認した。チップは 40nm/1.1V で試作し、IME 回路規模はロジック 1639K ゲートとメモリ 552KB であった。

・8K UHD TV (7680x4320@30fps) を実行できる HEVC 向け小数動き予測 (FME) アルゴリズムとそのアーキテクチャを開発した。5T12S という探索アルゴリズムと並列化アーキテクチャに特徴がある。PSNR も HM10.0 とほぼ同じ値を持ち、955Mpixel/s を実行できることをチップ試作で確認した。チップは 65nm/1.2V で試作し、回路規模は 1183K ゲート (ロジック) と 19.2KB (SRAM) であり、消費電力は 198.6mW、0.2nJ/pixel であった。

(3) インループフィルター

・ILF 機能 (In-Loop Filter : インループフィルター) は、HEVC で追加された新しい機能で、従来の DBF (デブロッキングフィルター) に SAO (サンプルアダプティブ オフセット) という新しい機能を

を加えたものとなっている。提案した新しい ILF アーキテクチャを、8k 用動画を対象として、65nm プロセスで可能な最高のクロック数である 240MHz で回路実装した。回路規模は DBF は 31.0K ゲート、SAO は 36.7K ゲートとなり、1クロックサイクル当たり 16 画素の処理が行え、3.84G 画素/秒 が処理可能となった。

(4) CABAC

・8K UHD TV (7680x4320@60fps) を実行できる高性能な算術符号化アルゴリズムを考案し、パイプラインで並列処理を最適化することにより、1クロック当たり 4.37Bins を達成した。

90nm プロセスで設計したところ、最大クロック数は、420MHz であり、全体のスループットは 1836Mbin/s であった。

(5) 変換・逆変換と量子化・逆量子化 ($(T/T^{-1})(Q/Q^{-1})$)

7680x4320@48fps 向けに、変換・逆変換と量子化・逆量子化処理のハードウェア設計を行った。65nm のデザインルールで設計したところ、論理回路は 522.1K、SRAM は 5kB であり、384MHz で動作することができた。この回路は、すでに発表された最良の結果と比べて、論理回路で 32%、SRAM で 62% の削減を行うことができた。

(6) DRAM インターフェイス

RAM とエンコーダエンジン間のデータ通信量を削減のために、DPCM に基づく高効率なロスレスなデータ圧縮法を考案した。データ通信量は約 57% 削減でき、データ圧縮率は 2.49 であった。8kx4k@30fps のエンコーダを実現するために必要な論理回路は、54.2K ゲート (コンプレッサ) と 46.0K ゲート (デコンプレッサ) の回路であった。

各コンポーネントの開発に基づき、8Kx4K@60fps を 400MHz で実行するエンコーダチップの見積ったところ、ロジック回路で約 4500K ゲート、SRAM は約 750K ゲートであった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 15件)

1. Gang He, Dajiang Zhou, Yunsong Li, Zhixiang Chen, Tianruo Zhang, and Satoshi Goto, "High-throughput power-efficient VLSI architecture of fractional motion estimation for Ultra-HD HEVC video encoding," IEEE Transactions on VLSI Systems (TVLSI), 2015, vol.22, no 1, pp.76-89, DOI: 10.1109/TVLSI.2014.2386897
2. Jiayi Zhu, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "Fast SAO estimation algorithm and its implementation for 8Kx4K@120fps HEVC encoding", IEICE Transactions on Fundamentals, Vol. E97-A, No. 12, pp. 2488-2497, December, 2014., DOI: 10.1587/transfun.E97.A.2488
3. Li Guo, Dajiang Zhou, and Satoshi Goto, "A new reference frame recompression algorithm and its VLSI architecture for UHD TV video codec", IEEE Transactions on Multimedia (TMM), Vol. 16, No. 8, pp. 2323-2332, December, 2014. DOI: 10.1109/TMM.2014.2350256
4. Dajiang Zhou, Jinjia Zhou, Wei Fei, and Satoshi Goto, Ultra-high-throughput VLSI architecture of H.265/HEVC CABAC encoder for UHD TV applications, IEEE Transactions on Circuits and Systems for Video Technology (TCSVT), vol. 25 no. 3 pp. 497-507 DOI: 10.1109/TMM.2014.2350256
5. Jinjia Zhou, Dajiang Zhou, and Satoshi Goto, Alternating asymmetric search range assignment for bidirectional motion estimation in H.265/HEVC and H.264/AVC, Journal of Visual Communication and Image Representation (JVCI), Vol. 25, No. 5, pp. 1275-1286, July, 2014. DOI: 10.1016/j.jvcir.2014.01.002
6. Dajiang Zhou, Jinjia Zhou, Gang He, and Satoshi Goto, A 1.59Gpixel/s motion estimation processor with -211 to +211 search range for UHD TV video encoder, IEEE Journal of Solid-State Circuits (JSSC), Vol. 49, No. 4, pp. 827-837, April, 2014. DOI: 10.1109/JSSC.2013.2293136
7. Hemming Sun, Dajiang Zhou, Peilin Liu, Satoshi Goto, "Fast Prediction Unit Selection and Mode selection for HEVC Intra Prediction", IEICE Trans. on Fundamentals, Vol.E97-A, No.2, pp.510-519, Feb.2014. DOI:10.1587/transfun.E97.A510.
8. Jiayi Zhu, Dajiang Zhou, Satoshi Goto, "A 16 Pixels/Cycle De-blocking Filter and SAO Architecture for HEVC", IEICE Trans. on Fundamentals, Vol.E96-A, pp.2612-2622. Dec. 2013. DOI:10.1587/transfun.E97.A2612..
9. Muchen Li, Jinjia Zhou, Xiao Peng, Dajiang Zhou and Satoshi Goto, "A dual mode De-Blocking filter design for HEVC and H.264/AVC", IEICE Trans, vol.E96-A, no.6, pp.1366-1375, Jun.2013. DOI:10.1587/Transfun.E96.A1366.
10. Guifen Tian, Xin Jin, and Satoshi Goto, "Content Adaptive Hierarchical Decision of Variable Coding Block Sizes in High Efficiency Video Coding for High Resolution Videos," IEICE Transaction on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E96-A, No.4, pp.780-789, Apr. 2013. DOI:10.1587/transfun.E96.A780.
11. Guifen Tian, Xin Jin, and Satoshi Goto, "All-Zero Block-Based Optimization for Quadtree Structured Prediction and Residual Encoding in High Efficiency Video Coding," IEICE Transaction on Fundamentals of Electronics, Communications and Computer Sciences, vol.E96-A, no.4 pp.769-779, Apr.2013. DOI:10.1587/transfun.E96.A769.
12. Chen Liu, Xin Jin, Tianruo Zhang and Satoshi Goto, "Encoder Unconstrained User Interactive Partial Decoding Scheme," IEICE TRANS. Fundamentals, vol.E95-A, no.8,

pp.1288-1296, Aug. 2012.
DOI:10.1587/transfun.E95.A1288.

13. Minghui Wang, Xun He, Xin Jin and Satoshi Goto, "Framework of a Contour Based Depth Map Coding Method" IEICE TRANS. Fundamentals, vol.E95-A, no.8, pp. 1270-1279, Aug. 2012.
DOI:10.1587/transfun.E95.A1270.
14. Xin Jin and Satoshi Goto, "Hilbert Transform Based Workload Prediction and Dynamic Frequency Scaling for Power Efficient Video Encoding", IEEE Trans. on CAD of Integrated Circuits and Systems. (TCAD), 31(5), PP.649-661, May, 2012. DOI: 10.1109/TCAD.2011.2180383.
15. Xuena Bao, Dajiang Zhou, Peilin Liu, and Satoshi Goto, "An Advanced Hierarchical Motion Estimation Scheme with Lossless Frame Recompression and Early Level Termination for Beyond High Definition Video Coding," IEEE Transactions on Multimedia(TMM),14(2), pp.237-249, April 2012.
DOI:10.1109/TMM.2011.2171677

[学会発表](計 24 件)

1. Heming Sun, Dajiang Zhou, Shinji Kimura and Satoshi Goto," An Area-Efficient 4/8/16/32-Point IDCT Architecture for UHDTV HEVC Decoder", Visual Communication and Image Processing (VCIP), Malta, Dec. 7-10, 2014.
2. Langping He, and Satoshi Goto "A High Parallel Way for Processing IQ/IT part of HEVC Decoder Based on GPU",International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Kuching, Maraysia, Dec. 1-4, 2014.
3. Shihao Wang, Dajiang Zhou, Jianbin Zhou, Takeshi Yoshimura, and Satoshi Goto, "Unified VLSI Architecture of Motion Vector and Boundary Strength Parameter Decoder for 8K UHDTV HEVC Decoder", Pacific-Rim Conference on Multimedia (PCM), Dec. 1-4, Maraysia.
4. Haoming Zhang, Dajiang Zhou and Satoshi Goto," FPGA based 3840x2160 Video Decoding and

- Display System", Live Demonstration, APCCAS, Ishigaki, Nov. 18-20, 2014.
5. Yijin Zhao, Jinjia Zhou, Dajiang Zhou, and Satoshi Goto,"A 610 Mbin/s CABAC decoder for H.265/HEVC level 6.1 applications", IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014.
6. Fan Wang, Dajiang Zhou, and Satoshi Goto, "OpenCL based high-quality HEVC motion estimation on GPU",IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014
7. Dajiang Zhou, Li Guo, Jinjia Zhou, and Satoshi Goto, "Reducing power consumption of HEVC codec with lossless reference frame recompression", IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014, invited special session paper.
8. Jianbin Zhou, Dajiang Zhou, Heming Sun, and Satoshi Goto, "VLSI architecture of HEVC intra prediction for 8K UHDTV applications" ,IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014.
9. Jiayi Zhu, Dajiang Zhou, Shinji Kimura, and Satoshi Goto,"Fast SAO estimation algorithm and its VLSI architecture", IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014.
10. Shuping Zhang , Jinjia Zhou, Dajiang Zhou and Satoshi Goto, "A Low Power 720p Motion Estimation Processor with 3D Stacked Memory", IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Playa del Carmen, Mexico, October,2014.
11. Shihao Wang, Dajiang Zhou, and Satoshi Goto, "Motion compensation architecture for 8K UHDTV HEVC decoder", IEEE International Conference on Multimedia and Expo (ICME), Chengdu, China, July, 2014.
12. Heming Sun, and Satoshi Goto, "A Fast Mode Selection Algorithm for HEVC Intra Prediction" International Technical Conference on Circuits, Systems, Computers and Communications (ITC-CSCC), Phuket, Thailand, pp. 449-451, July. 1-4, 2014.
13. Zhe Sheng, Dajiang Zhou, Satoshi Goto,"A low-complexity Rate-Distortion Optimization

- Algorithm for HEVC Intra Prediction", MMM2014, pp.541-552, Dublin, Ireland, Jan.7, 2014
14. Gang He, Dajiang Zhou, Zhixiang Chen, Tianruo Zhang, and Satoshi Goto, "A 995Mpixels/s 0.2nJ/pixel fractional motion estimation architecture in HEVC for Ultra-HD", IEEE Asian Solid-State Circuits Conference (A-SSCC), Singapore, pp. 301-304, November, 2013.
 15. Yue Pan, Dajiang Zhou, and Satoshi Goto, "4K UHD TV H.264/AVC video decoding & Displaying based on FPGA," Demo session, MMSP, Pula, Italy, Oct.1.2013.
 16. Yiming Cao and Satoshi Goto, " A Mode Filtering Algorithm for Accelerating HEVC FME", MMSP, Sardinia, Italy, Oct.1, 2013 .
 17. Jinjia Zhou, Dajiang Zhou, Wei Fei and Satoshi Goto, " A high-Performance CABAC Encoder architecture for HEVC and H.264/AVC", ICIP2013, Melbourne, Australia, Sept. 15, 2013
 18. Jiayi Zhu, Dajiang Zhou, Gang He, and Satoshi Goto, "A combined SAO and De-blocking filter architecture for HEVC video decoder", International Conference on Image Processing (ICIP), Melbourne, Australia, pp. 1967-1971 Sept, 2013
 19. Guo Li, Dajiang Zhou, and Satoshi Goto , " A lossless Embedded Compression Schema using Multi-Mode DPCM & Averaging Prediction for HEVC-Like Video Code", EUSIPCO, Marrakech, Morocco, Sept. 9, 2013 .
 20. Muchen Li, Keiichi Chono, Satoshi Goto, "Low -Complexity Merge-Candidate Detection for Fast HEVC Encoding", ICME, San Jose, July 16. 2013.
 21. Jinjia Zhou, Dajiang Zhou, Gang He, and Satoshi Goto, "A 1.59Gpixel/s Motion Estimation Processor with -211-to-211 Search Range for UHD TV Video Encoder," Symposium on VLSI Circuits, pp.287-288, Kyoto, June, 2013.
 22. Jianbin Zhou, Dajiang Zhou and Satoshi Goto, "An Efficient Hardware Architecture For Intra Prediction Module in HEVC, 電子通信学会総合大会、新潟、2014年3月20日.
 23. 郷 一舟, 周 大江, 後藤 敏, " HEVC 小数動き予測のモードフィルタリングア

- リズム", 電子通信学会総合大会、新潟、2014年3月20日.
24. 後藤 敏, "画像コーデック LSI の技術動向と研究成果", 電子情報通信学会 VLD研究会、弘前、2013年10月7日(招待講演)

〔図書〕(計 0 件)

〔産業財産権〕
出願状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
取得年月日：
国内外の別：

〔その他〕
ホームページ等
<http://www.f.waseda.jp/goto/>

6 . 研究組織
研究代表者
後藤 敏 (Satoshi Goto)
早稲田大学 情報生産システム研究科
教授
研究者番号：10367170