

科学研究費助成事業 研究成果報告書

平成 27 年 4 月 27 日現在

機関番号：14301

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24300019

研究課題名(和文) データ表現の工夫による高性能・高信頼浮動小数点演算器アレイに関する研究

研究課題名(英文) Research on high-performance and highly-dependable floating-point arithmetic unit arrays by contriving data representation

研究代表者

高木 直史 (Takagi, Naofumi)

京都大学・情報学研究科・教授

研究者番号：10171422

交付決定額(研究期間全体)：(直接経費) 8,100,000円

研究成果の概要(和文)：浮動小数点演算器アレイを、アレイ内のデータ表現を工夫して高性能化、高信頼化する研究を行い、パリティ予測や部分二重化、剰余検査によるオンライン誤り検出可能な演算器の構成法、および、二つの倍精度浮動小数点積和演算器を用いて4倍精度相当の高精度演算を行う手法等を提案した。また、多重ループ構造および配列操作を含むプログラムから浮動小数点演算器とメモリ等からなるプロセッシングエレメントのアレイを自動合成する手法を提案した。さらに、浮動小数点演算器アレイのシミュレータを開発した。

研究成果の概要(英文)：We have studied methods for making a floating-point arithmetic unit (FPU) array high-performance and highly-dependable by contriving data representation in it. We have proposed methods for constructing concurrently error-detectable FPUs by parity prediction or partial duplication or residue checking, and a method for performing quasi-quadruple precision arithmetic by coupling two double precision floating-point fused multiply-adders. We also proposed a synthesis method of an array of processing elements consisting of an FPU and memory from a program comprising multiple loop structure and matrix operations. In addition, we have developed a simulator of an FPU array.

研究分野：計算機科学

キーワード：算術演算回路 演算器アレイ オンライン誤り検出

1. 研究開始当初の背景

浮動小数点演算器をアレイ状に配置し、これらを相互に結合した浮動小数点演算器アレイは、科学技術計算やグラフィクス、画像処理等、膨大な演算を伴う処理を電力効率よく高速に行える、汎用性をもつ計算機構として期待されていた。浮動小数点演算器アレイを演算アクセラレータとして用いることで、命令の読み出しや中間結果の書き込み、読み出し等のメモリアクセスを削減できるとともに、データ転送に要する消費電力を削減できる。また、アレイ内で複数の演算器が並列に動作することにより、高い演算性能を達成できる。

浮動小数点演算器アレイについてさまざまな研究が行われていたが、従来の研究においては、IEEE754 浮動小数点演算標準に準拠した演算器を用い、アレイ内で演算器間を転送されるデータは IEEE754 標準形式であることを前提としていた。このため、たとえば、アレイ内で IEEE754 浮動小数点演算標準で規定された Denormalized 数が現れると、大幅な性能低下を招く恐れがあった。

近年、回路の微細化により、放射線によるソフトエラーが問題となっているが、アレイ内でのエラーを即時に検出できなければ、膨大な計算が無駄になるばかりでなく、重大な障害につながる恐れがあり、エラーを即時に検出できる手法の開発が求められていた。

2. 研究の目的

浮動小数点演算器アレイ内でのデータの表現法を工夫することにより、高性能、高信頼の浮動小数点演算器アレイを構成する手法を開発することを目的とした。

具体的には、アレイ全体として、個々の演算を IEEE754 標準で行う場合と同等の精度の計算結果を得られ、かつ、個々の演算がより効率よく行えるデータ表現法およびそれに対応した演算器の構成法を開発するとともに、演算およびデータ転送における誤りをオンラインで検出できるデータ表現法および誤り検出法を開発することを目的とした。

3. 研究の方法

浮動小数点演算器アレイにおいて高性能かつ高信頼な計算を可能とするデータ表現法およびそれに対応した演算器の構成法、誤り検出法を開発を行う。開発は、手法を考案し、それを数学的解析やシミュレーションおよび回路の設計により検証、評価し、それに基づき手法を洗練する形で進めた。

まず、浮動小数点演算器アレイのシミュレータを開発し、これを用いて研究を進めた。また、演算器を東京大学大規模集積システム設計教育センター (VDEC) が提供する CAD ツールを用いて、スタンダードセル実現を前提に設計し、遅延や面積を評価した。

4. 研究成果

(1) パリティ予測に基づくオンライン誤り検出可能な高速加算器

最も基本的で重要な算術演算器である加算器について、面積オーバーヘッドの小さい、パリティ予測に基づくオンライン誤り検出可能な回路構成法を提案した。提案法は、Skliansky 型、Brent-Kung 型、Han-Carlson 型、Kogge-Stone 型等、種々の高速な並列プレフィクス加算器に適用できる。

加算器内部では、検査用に半数の桁上げビットを二重化し、それらの一致比較を行う。オペランドとそのパリティの組を入力とし、加算結果に加え、演算結果のパリティ予測値、桁上げビットの比較結果を出力する。桁上げビットの比較結果の観測と、パリティ予測値と加算結果のパリティの一致比較検査で、単一セル機能故障に起因するすべての誤りを検出できる。単一セル機能故障は、桁上げ生成回路等の基本セルの一つが誤った値を出力することを仮定するもので、セルがどのように実現されかを問わない。

すべての桁で桁上げビットを二重化し一致比較を行うのではなく、一桁おきに行うため、面積オーバーヘッドが約 15% 小さい。

(2) 部分二重化によるオンライン誤り検出可能な浮動小数点乗算器

浮動小数点乗算器の中で大きな面積を占める仮数部乗算器について、完全な二重化を行う代わりに、検査用に面積の小さな Truncated 乗算器を使用して、全体の面積オーバーヘッドを削減した、オンライン誤り検出可能な浮動小数点乗算器を提案した。

Truncated 乗算器を含めた検査用回路の構成を工夫することで、仮数部の 2 ulp (ulp: unit in the last place、最下位桁の大きさ) 以上の誤りを必ず検出できる。

完全な二重化では、面積オーバーヘッドが 100% を超えるのに対し、提案乗算器の面積オーバーヘッドは単精度で 70%、倍精度で 60% である。剰余検査に基づく誤り検出では、数値的に大きな誤りを見逃すことがあるのに対し、提案法では、仮数部の 1 ulp という非常に小さな誤り以外はすべて検出できる。このため、誤りを見逃しても、結果に与える影響が小さい。

(3) 剰余検査に基づく浮動小数点乗算器および加算器のオンライン誤り検出

浮動小数点乗算器および加算器の仮数部について、剰余検査を用いて丸め計算部まで含めた回路全体の誤り検出を行う二段階剰余検査手法を提案した。仮数部において丸めの計算を行う前に一段階目、最終の出力に対して二段階目の剰余検査を行う。これによりどちらか一方だけでは検出することのできない丸め等における誤りを検出できる。

単精度浮動小数点乗算器の仮数部計算回

路に適用した場合、面積オーバーヘッドは、入力に剰余符号が付加されている場合は、法 3、7、15 のそれぞれで約 21%、26%、32% となった。入力に剰余符号が付加されていない場合は、それぞれで約 31%、36%、43% となった。また、誤り検出率は、それぞれ、約 94%、96%、98% となった。比較的小さな面積オーバーヘッドで、高い誤り検出率を得られた。

単精度浮動小数点加算器の仮数部計算回路に適用した場合、面積オーバーヘッドは、入力に剰余符号が付加されている場合は、法 3、7、15 のそれぞれで約 58%、75%、102% となった。入力に剰余符号が付加されていない場合は、それぞれで約 72%、99%、123% となった。また、誤り検出率は、いずれの場合も約 90% となった。法を 3 あるいは 7 とし、浮動小数点演算器アレイ内で仮数部に剰余符号を付加した形式でデータ転送を行えば、浮動小数点加算器にも有効であることが示された。

(4) 二つの倍精度浮動小数点積和演算器を用いた仮数部 104 ビット拡張倍精度演算

近年、科学技術計算において高精度演算の必要性が高まっており、4 倍精度相当の高精度な浮動小数点演算がしばしば求められる。しかし、4 倍精度浮動小数点演算器は倍精度浮動小数点演算器に比べて数倍大きくなり、大規模なアレイを構成するのは困難である。また、多くの計算が倍精度で行われる場合は効率が悪い。そこで、アレイ内の二つの倍精度浮動小数点積和演算器を組み合わせ、若干のハードウェアを付加して用いることにより、4 倍精度相当の高精度な浮動小数点演算を実現するための手法を提案した。

4 倍精度に近い浮動小数点表現形式として、符号ビット、11 ビットの指数部、104 ビットの仮数部からなる拡張倍精度浮動小数点形式を提案し、これを二つの 64 ビットデータとして扱う。拡張倍精度浮動小数点加算は、倍精度浮動小数点積和演算器内の長ビット加算器を用いて行う。拡張倍精度浮動小数点数乗算は、二つの倍精度浮動小数点積和演算器を二度用いて行う。

提案手法により、既存の高精度計算のためのソフトウェア手法である double-double 演算と比較すると、少なくとも加算は 5.5 倍、乗算は 1.75 倍程度の性能向上が期待できる。

(5) 斜辺計算の VLSI アルゴリズム

浮動小数点演算ユニットの一つとして、斜辺計算回路の採用を想定し、VLSI 実現向きアルゴリズムを提案した。斜辺計算 (2 次元ユークリッドノルム計算) は、コンピュータグラフィックスや科学技術計算においてしばしば現れ、2008 年に改定された IEEE754 浮動小数点演算標準において正確に丸められた計算結果を求めるべき関数の一つに挙げられている。

二つのオペランドの大きい方を結果の初期値とし、これに補正桁をステップ毎に加算し、斜辺を計算する。もう一つの演算数の平方の部分積を順次部分残余に加える。 $n+2$ 回の反復により $n+1$ ビット目までの値と正確な残余が求まり、これにより正確に丸めることができる。内部での計算に冗長 2 進表現と呼ばれるデータ表現を用いることにより、計算を高速化している。

(6) 多重ループの自動並列化手法

大規模な科学技術計算プログラムは、しばしば、多重ループ構造および配列操作を含む。このようなプログラムから浮動小数点演算器とメモリ等からなるプロセッシングエレメント (PE) のアレイを自動合成する手法を提案した。配列要素間のデータ依存性を考慮して、各 PE への計算およびデータを割り当てる。

提案手法では、まず、多面体最適化コンパイラを実行して得られる OpenMP スレッド構成情報から、複数の PE を備えた回路を構成する。これらの PE は並列に動作する回路として合成される。しかし、主記憶には複数の PE が同時にアクセスすることはできないため、PE の構成を行ったのみでは並列化の効果を引き出すことができない。そこで、PE 毎にオンチップバッファを構成し高性能な回路を設計する手法を提案する。本手法を適用することにより、オフチップ RAM へのアクセスの衝突を軽減することができ、さらにバーストアクセスやデータ再利用が可能となる。

提案手法の有効性を実用的な演算を含む計算プログラムを用いて評価した。提案手法を適用して合成したアレイは、PE 数 8 の構成において元の逐次回路に対し最大で 26.5 倍の性能向上がみられた。

(7) 浮動小数点演算器アレイシミュレータ

浮動小数点演算器アレイ全体での計算精度等を解析するために、さまざまな構成 (相互結合の形態・方式) の演算器アレイに対応でき、さまざまなデータ表現および丸め処理方式を扱えるシミュレータを開発し、本研究の推進に用いた。

開発したシミュレータでは、アレイ内でのデータ表現を定義することができる。また、浮動小数点演算器で実行する演算の種類と丸め方式、入出力データのデータ表現をパラメータとして指定することで、様々な浮動小数点演算器を扱うことができる。さらに、それらの接続関係を柔軟に記述することができる。これにより、様々な構成の浮動小数点演算器アレイについて、アレイでの計算結果をシミュレーションによって確認するとともに、計算結果の演算精度を解析することができる。

5. 主な発表論文等

〔雑誌論文〕(計2件)

Akihiro Suda, Hideki Takase, Kazuyoshi Takagi, Naofumi Takagi: Nested Loop Parallelization Using Polyhedral Optimization in High-Level Synthesis, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, Vol. E97-A, No. 12, pp. 2498-2506, 2014年, DOI: 10.1587/transfun.E97.A.2498

Nobutaka Kito, Naofumi Takagi: Low-Overhead Fault-Secure Parallel Prefix Adder by Carry-Bit Duplication, IEICE Transactions on Information and Systems, 査読有, Vol. E96-D, No. 9, pp. 1962-1970, 2013年, DOI: 10.1587/transinf.E96.D.1962

〔学会発表〕(計18件)

鬼頭信貴、秋元一志、高木直史: 「部分二重化を用いたオンライン誤り検出可能な浮動小数点乗算器の設計と評価」、ETNET2015 (電子情報通信学会ディペンダブルコンピューティング研究会)、2015年3月7日、奄美社会福祉協議会(鹿児島県・奄美市)

矢高裕之、高木直史、高木一義: 「2つの浮動小数点倍精度加算器を用いた仮数部104ビット拡張倍精度加算器」、デザインガイア 2014 (電子情報通信学会コンピュータシステム研究会)、2014年11月26日、ビーコンプラザ(別府国際コンベンションセンター)(大分県・別府市)

高田雄平、高木直史、高木一義: 「2つの浮動小数点積和演算器を用いた複素数乗算器」、デザインガイア 2014 (電子情報通信学会コンピュータシステム研究会)、2014年11月26日、ビーコンプラザ(別府国際コンベンションセンター)(大分県・別府市)

松本耕太郎、高木直史、高木一義: 「行列多項式 $1+A+A^2+\dots+A^{N-1}$ の計算における乗算回数について」、電子情報通信学会コンピュータシステム研究会、2014年9月2日、豊橋技術科学大学(愛知県・豊橋市)

鬼頭信貴、秋元一志、高木直史: 「部分二重化を用いた微小誤りを許容するオンライン誤り検出可能な浮動小数点乗算器」、電子情報通信学会ディペンダブルコンピューティング研究会、2014年6月20日、機械振興会館(東京都・港区)

須田瑛大、高瀬英希、高木一義、高木直史: 「高位合成における非一様依存性を持つ入れ子ループ向けのバッファ構成法」、デザインガイア 2013 (情報処理学会システムLSI設計技術研究会)、2013年11月29日、鹿児島県文化センター(鹿児島県・鹿児島市)

矢高裕之、高木直史: 「IEEE754標準丸めに対応した斜辺計算のためのハードウェアアルゴリズム」、デザインガイア 2013

(電子情報通信学会VLSI設計技術研究会)、2013年11月27日、鹿児島県文化センター(鹿児島県・鹿児島市)

Akihiro Suda, Hideki Takase, Kazuyoshi Takagi, Naofumi Takagi: 'High-Level Synthesis for Nested Loop Kernels with Non-Uniform Dependencies', SASIMI2013, 2013年9月22日、ホテル札幌ガーデンパレス(北海道・札幌市)

山口大樹、鬼頭信貴、高木直史: 「剰余検査によるオンライン誤り検出可能な浮動小数点乗算器」、情報処理学会DAシンポジウム2013、2013年8月21日、ホテル水明館(岐阜県・下呂市)

伊藤勇也、高木一義、高木直史: 「浮動小数点演算器アレイの構成のための評価環境」、ETNET2013 (電子情報通信学会コンピュータシステム研究会)、2013年3月14日、対馬市交流センター(長崎県・対馬市)

三苫晃弘、鬼頭信貴、高木直史: 「桁上げビットの二重化によるセルフチェック桁上げ先見加算器」、ETNET2013 (電子情報通信学会ディペンダブルコンピューティング研究会)、2013年3月14日、対馬市交流センター(長崎県・対馬市)

秋元一志、鬼頭信貴、高木直史: 「部分二重化を用いたオンライン誤り検出可能な乗算器」、ETNET2013 (電子情報通信学会ディペンダブルコンピューティング研究会)、2013年3月14日、対馬市交流センター(長崎県・対馬市)

鬼頭信貴、高木直史: 「桁上げ生成二重化によるフォールトセキュアな並列プレフィクス加算器の構成法」、デザインガイア 2012 (電子情報通信学会ディペンダブルコンピューティング研究会)、2012年11月28日、九州大学医学部百周年講堂(福岡県・福岡市)

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

ホームページ等

<http://www.lab3.kuis.kyoto-u.ac.jp/research/fpuarray.html>

6. 研究組織

(1)研究代表者

高木 直史(TAKAGI, Naofumi)

京都大学・大学院情報学研究科・教授

研究者番号: 10171422

(2)研究分担者

高木 一義(TAKAGI, Kazuyoshi)

京都大学・大学院情報学研究科・准教授

研究者番号: 70273844