

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 2 日現在

機関番号：13302

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24360119

研究課題名(和文) 巨大電界効果を利用した可変面積電極の提案と可変容量キャパシタへの展開

研究課題名(英文) Proposal of variable-area electrode structure by field effect and its application to variable capacitors

研究代表者

徳光 永輔 (Tokumitsu, Eisuke)

北陸先端科学技術大学院大学・グリーンデバイス研究センター・教授

研究者番号：10197882

交付決定額(研究期間全体)：(直接経費) 14,000,000円

研究成果の概要(和文)：本研究の目的は、大きな電荷密度を誘起できる強誘電体または高誘電率材料を用いて、面積を可変できる酸化物伝導体の電極構造を提案し、これを利用して集積化可能な小型・高性能の可変容量キャパシタを実現することである。本研究では、まず提案する素子を実現するための強誘電体(Bi,La)4Ti3O12(BLT)膜形成条件の最適化と溶液プロセスによる高誘電率材料の探索を実施した。次にITOまたはIn2O3をチャンネルに用いた薄膜トランジスタ型の素子を試作して動作検証を行い、約1500%のゲート電圧による容量変化を実現した。さらに素子のスイッチング特性の改善およびナノインプリントを用いた素子の微細化を実施した。

研究成果の概要(英文)：Objective of this research is to develop a new variable capacitance element, using oxide conductors and ferroelectric or high-dielectric constant materials which can induce large charge density. Such a large charge density enables us to switch on and off the oxide conducting thin film by the gate voltage, which leads to variable-area electrode and variable capacitance. In this project, at first, fabrication conditions of ferroelectric (Bi,La)4Ti3O12 (BLT) film were optimized and new high-dielectric constant materials were searched by solution process. Next, thin film transistor structure was fabricated using ITO or In2O3 channel to realize variable capacitance elements. It is confirmed that the source-gate capacitance can be changed by the gate voltage with a capacitance ratio of 1500%. Switching properties were also characterized. In addition, scaling down the device size was achieved using nanoimprint technology.

研究分野：固体電子工学

キーワード：薄膜トランジスタ 可変容量キャパシタ 強誘電体 高誘電率材料 酸化物半導体

1. 研究開始当初の背景

可変容量キャパシタは様々な電子回路で利用されており、一例は無線通信に見ることが出来る。現在の携帯電話やワイヤレス LAN 等の近年の無線通信では、様々な周波数と通信方式が用いられ、従来は1つのシステムにその通信方式と周波数に対応した送信機と受信機が必要とされてきた。しかし最近では、1つの携帯電話等のシステムで複数の周波数の無線通信に対応できるように様々な試みがされている。これを実現するためには、集積回路化した VCO (電圧制御可変周波数発信器) や帯域を変えられるバンドパスフィルタ等の回路が必要である。さらに空いた周波数を有効に使用できるこれからのコグニティブ通信システムにおいては、特に広い周波数可変幅をもつチューナブルフィルタが要求されている。これらの無線システムに用いられる回路では、可変キャパシタの実現が必須であり、さらに集積回路化する必要があるため小型化が求められている。本研究では、強誘電体や高誘電率材料と導電性酸化物を利用した新たな可変キャパシタ素子を提案し、その原理検証を行った。

2. 研究の目的

本研究の目的は、巨大な電界効果を誘起できる強誘電体または高誘電率材料を用いて、面積を可変できる酸化物伝導体または酸化物半導体からなる新たな電極構造を提案し、これを利用して集積化可能な小型・高性能の可変容量キャパシタを実現することである。さらに、提案する素子を実現するための強誘電体および高誘電率材料の探索と形成条件の最適化、および薄膜トランジスタ型となるデバイス構造の検討を実施する。

3. 研究の方法

本研究では、強誘電体または高誘電率材料が従来の SiO_2 等のゲート絶縁膜よりも格段に大きな電荷量を誘起できる点に着目し、図1に示すように、キャリア濃度の高いインジウム・スズ酸化物: ITO 等の酸化物薄膜の導電性を制御 (オン・オフ) する。図1に示すようなボトムゲート型薄膜トランジスタ構造では、通常ソース/ドレインとゲートの間にオーバーラップ領域が存在する。ゲートに正電圧を印加して ITO チャネルをオンした場合には、ITO チャネルはこのオーバーラップ領域とチャネル領域全体にわたって導電性の大きな面積の電極として作用する。従って大きな容量が得られる。これに対し、ゲートに負電圧を印加した場合には、ITO のチャネルは空乏化してオフ状態となるため電極とはならない。この場合は観測される容量は、ソース/ドレイン電極とゲート電極とのオーバーラップ領域のみであり、さらにゲート絶縁膜容量に空乏化した ITO チャネルの容量が直列接続されるために非常に小さな容量

が観測されるはずである。このように、酸化物チャネルをゲートによってオン・オフさせ、これを利用して電極の面積を変化させて、可変容量キャパシタを実現するのが本研究のアイデアである。

本研究では、提案するデバイスの原理検証とともに、ゲート絶縁膜となる強誘電体膜または高誘電率材料の薄膜材料の研究と、デバイス構造やスイッチング速度などのデバイスに関する研究を並行して実施した。目的を達成するために、以下のような項目を実施した。

- (1) 素子を実現するための強誘電体および高誘電率材料の薄膜形成と形成条件の最適化。
- (2) 酸化物導電体をチャネル、強誘電体または高誘電率材料をゲート絶縁膜とする薄膜トランジスタ型のデバイス試作と原理検証。
- (3) 試作した素子のスイッチング特性の評価と高速化の検討。
- (4) 素特性改善のためのデバイスの微細化と新たな作製プロセスの検討。

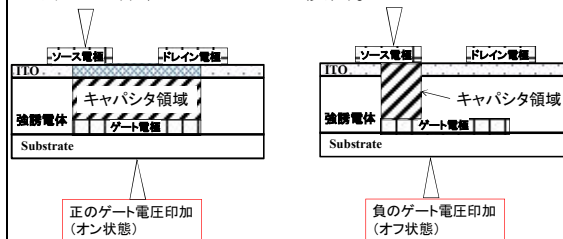


図1 ゲート電圧によるチャネルのオン・オフとキャパシタ有効面積の変化

4. 研究成果

(1) 強誘電体および高誘電率材料の薄膜形成と形成条件の最適化。

本研究では大きな電荷量を制御するために、誘電体または高誘電率材料をゲート絶縁膜として用いるため、これらの材料について検討した。以前の研究[1,2]から、強誘電体 $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT) をゲート絶縁膜として用いた場合、ITO との界面特性が比較的良好で、良好な電気的特性をもつ薄膜トランジスタが得られている。さらに、アニール温度を上げながら測定した in-situ ラマン散乱測定から、ゾルゲル法における BLT の結晶化は、 Bi_2O_3 層状構造が 500°C 程度で先に形成開始され、 550°C 以上で Bi_2O_3 層状構造に挟まれた擬ペロブスカイト構造が結晶化する。この知見に従い本研究では、BLT 膜の結晶化アニールを、 $500\text{-}550^\circ\text{C}$ で Bi_2O_3 層状構造を形成するプロセスと、 750°C 程度で擬ペロブスカイト構造を結晶化するプロセスの2段階に分けて実施した。その結果、従来のように 750°C 程度の1回の結晶化プロセスでは c 軸優先配向するのに対し、2段階の結晶化プロセスでは c 軸配向が抑制され、さらに結晶粒が小さくリーク電流が改善されることが明らかとなった。

強誘電体は自発分極のために、低電界でも大きな電荷量が誘起可能であるが、ヒステリ

シス特性があるため不揮発性メモリには適しているが、可変容量素子という点だけに着目すれば、ヒステリシスがなく大きな電荷量が誘起できる高誘電率材料の探索も重要である。本研究では Bi-Nb-O 系酸化物に着目した。以前の研究で Bi-Zn-Nb-O 膜をスパッタ法で形成し、ITO をチャンネルとした薄膜トランジスタの動作を確認している [3]。本研究では Bi-Nb-O 系酸化物薄膜のゾルゲル法による形成を行ったところ、特性のアニール条件 (550°C、20 分) で結晶化した場合、170 程度という高い比誘電率を得ることに成功した。透過型電子顕微鏡 (TEM) による解析から、このアニール条件でパイロクロア相の結晶粒が形成されていることが明らかとなった。従来のスパッタ法ではこの相は実現されておらず、従って高い比誘電率も得られていないため、これは溶液プロセス特有の現象である。絶縁破壊電界は 1MV/cm 程度であったので、最大誘起電荷量は $15\mu\text{C}/\text{cm}^2$ となる。この値は強誘電体の BLT に匹敵する値であり、本研究のデバイス応用に適した材料であることを示した。

(2) デバイス試作と原理検証。

作製したデバイスは、チャンネルに導電性の In_2O_3 または ITO、ゲート絶縁膜には BLT を用いたボトムゲート型薄膜トランジスタ構造である。ソース/ドレイン電極の構造は、従来までのトップコンタクト型に加えてボトムコンタクト型のデバイスも作製した。また容量の絶対値から容量として寄与している面積を見積もるために、単純なキャパシタ構造も形成した。最初に通常の n チャンネルのトランジスタ動作を確認し、次に容量の測定を行った。図 2 は、トップコンタクト型デバイスのソース-ゲート間、ドレイン-ソース間およびソースとドレインを両方プローブした場合の容量-電圧 (C-V) 特性である。正電圧を印加した場合 (蓄積状態) と負電圧を印加した場合 (空乏状態) で大きな容量変化が得られており、ゲート電圧により容量が可変となることが分かる。ソース-ゲート間容量でみるとその容量比は約 15 倍 (1500%) であった。また、正

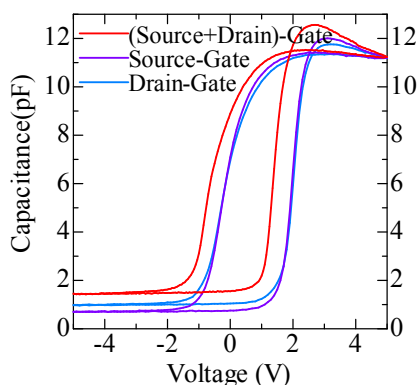


図2 試作したデバイスの容量-電圧特性

電圧を印加した場合 (蓄積状態) の容量値が一致していることから、ソース、ドレインのどちらか一方を接続すれば、ITOチャンネルが導通状態となるためにチャンネル領域とオーバーラップ領域の全ての領域がキャパシタとなっていることが分かる。さらに、蓄積状態、空乏状態の容量は、別途作製したキャパシタの C-V 特性とマスクパターンの面積から算出した値と一致することも確認した。

ボトムコンタクト型の素子についても同様の特性が得られている。トップコンタクト型の素子では、ゲートに負電圧を印加した場合に、空乏化した ITO チャンネルの容量がゲート絶縁膜容量に直列接続されるが、ボトムコンタクト型の素子ではゲート絶縁膜容量のみとなるため、空乏時の容量値はトップコンタクト型の素子と比較して大きくなり、蓄積時の容量はほぼ一致することを確認した。

(3) スイッチング特性の評価。

前節で素子の動作原理の検証ができたので、次にスイッチング特性の測定を行った。ソース・ドレイン電極をトップコンタクト型で形成すると、素子のオン状態からオフ状態へのスイッチング時間が、オフ状態からオン状態へのスイッチング時間よりも長くなるという問題が観測された。これは、強誘電体や高誘電率をゲート絶縁膜に用いたデバイスでは、比誘電率の小さい通常のゲート絶縁膜の場合とは異なり、その等価容量が非常に大きいため、オフ時に ITO チャンネルの空乏化による直列容量が無視できなくなるからである。従ってスイッチング特性を改善するためには、ボトムコンタクト型の素子構造が有効となる。図 3 はボトムコンタクト型素子のスイッチング特性を測定した結果である。オン状態からオフ状態へのスイッチングがオフ状態からオン状態へのスイッチングと同程度の時間で達成されていることが分かる。従ってボトムコンタクト構造を採用することにより、スイッチング時間の改善ができることが明らかとなった。

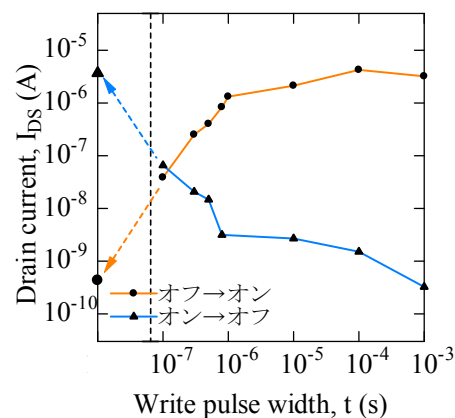


図3 ボトムコンタクト素子のスイッチング特性

(4) デバイスの微細化と新たな作製プロセス
最後に、素子特性の向上に向けてデバイスの微細化を検討した。素子の微細化には近年着目されているナノインプリントリソグラフィ（NIL）法を用いた。ソース・ドレインの電極パターンを NIL で形成し、120nm のチャンネル長の素子を作製してトランジスタ特性を確認した。さらに、本研究では特に溶液プロセスにより強誘電体とチャンネル層を形成しているので、その特徴を活かし、ナノインプリント法を活用した新しい素子作製プロセスによる素子作製も実施した。酸化物のゲル膜を直接インプリントするナノレオロジープリンティングという新手法によって、ITO を直接パターンニングし、ソース/ドレインとチャンネル領域を一括して、1 回のインプリントプロセスで作製する新たな手法を採用し、薄膜トランジスタの作製に成功している。

<文献>

- [1] E.Tokumitsu, M. Senoo and T. Miyasako, "Use of ferroelectric gate insulator for thin film transistors with ITO channel", *Journal of Microelectronic Engineering*, **80**, 305, 2005.
- [2] Takaaki Miyasako, Masaru Senoo and Eisuke Tokumitsu, "Ferroelectric-gate thin-film transistors using indium-tin-oxide channel with large charge controllability", *Applied Physics Letters*, **86**, 162902, 2005.
- [3] Eisuke TOKUMITSU and Yohei KONDO, "Fabrication and Characterization of ITO/BZN Thin Film Transistors", *Journal of the Korean Physical Society*, Vol.54, No.1, pp.539-543, 2009-1

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 10 件)

1. Ken-ichi Haga, Yuuki Nakada, Dan Ricinchi, and Eisuke Tokumitsu, "Relationship between Source/Drain-Contact Structures and Switching Characteristics in Oxide-Channel Ferroelectric-Gate Thin-Film Transistors", *Jpn. J. Appl. Phys.*, Vol.53, 09PA07, 2014 査読有り
2. Ken-ichi Haga and Eisuke Tokumitsu, "Fabrication and Characterization of Ferroelectric-Gate Thin-Film Transistors with an Amorphous Oxide Semiconductor, α -In-Ga-Zn-O", *Jpn. J. Appl. Phys.*, Vol.53, 111103, 2014 査読有り
3. Masatoshi Onoue, Takaaki Miyasako, Eisuke Tokumitsu and Tatsuya Shimoda, "Observation of high dielectric constant of Bi-Nb-O_x thin-film capacitors fabricated by chemical solution deposition process", *IEICE Electronics Express*,

Vol.11, No.16, pp.1-10, 2014 査読有り

4. Satoshi Inoue, Tomiki Ariga, Shin Matsumoto, Masatoshi Onoue, Takaaki Miyasako, Eisuke Tokumitsu, Norimichi Chinone, Yasuo Cho, Tatsuya Shimoda, "Investigation of solution-processed bismuth-niobium-oxide films", *J. Appl. Phys.*, 116, 154103 2014 査読有り
 5. Toshihiko Kaneda, Daisuke Hirose, Takaaki Miyasako, Phan Trong Tue, Yoshitaka Murakami, Shinji Kohara, Jinwang Li, Tadaaki Mitani, Eisuke Tokumitsu and Tatsuya Shimoda, "Rheology printing for metal-oxide patterns and devices", *Journal of Materials Chemistry C*, vol.2, No.1, pp.40-49, 2014 査読有り
 6. Koji Nagahara, Bui Nguyen Quoc Trinh, Eisuke Tokumitsu, Satoshi Inoue, Tatsuya Shimoda, "Fabrication of 120-nm-channel-length ferroelectric-gate thin-film transistor by nanoimprint lithography", *Jpn. J. Appl. Phys.*, Vol. 53, 02BC14, 2014 査読有り
 7. Yuichi Nagahisa, Yuichi Harada, and Eisuke Tokumitsu, "Unipolar behavior in graphene-channel field-effect-transistors with n-type doped SiC source/drain regions", *Appl. Phys. Lett.*, vol.103, pp.223503, 2013 査読有り
 8. Phan Trong Tue, Takaaki Miyasako, Jinwang Li, Huynh Thi Cam Tu, Satoshi Inoue, Eisuke Tokumitsu, and Tatsuya Shimoda, "High-performance solution-processed ZrInZnO thin-film transistors", *IEEE Transactions on Electron Devices*, Vol.60, No.1, pp.320-326, 2013 査読有り
 9. Eisuke Tokumitsu and Kazuya Kikuchi, "Evaluation of Channel Modulation in In₂O₃/(Bi,La)₄Ti₃O₁₂ Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements", *Ferroelectrics*, 429, pp.305-311, 2012 査読有り
 10. Yuichi Nagahisa and Eisuke Tokumitsu, "Suppression of Hole Current in Graphene Transistors with n-type Doped SiC Source/Drain Regions", *Materials Science Forum*, Vol.717-720, pp. 679-682, 2012 査読有り
- [学会発表] (計 14 件)
1. Eisuke Tokumitsu and Ken-ichi Haga, "Crystallization mechanism and crystallographic orientation control of (Bi,La)₄Ti₃O₁₂ films by sol-gel technique", 13th European Meeting on Ferroelectricity, June 28-July 3, 2015, Porto (Portugal) 発表確定

2. T. Kaneda, E. Tokumitsu, T. Miyasako, T. Shimoda, “Simultaneous formation of channel and source/drain regions by nano-rheology printing in ITO-based thin film transistors”, European Materials Research Society (EMRS) 2015 Spring Meeting, May 11-15, 2015, Lille (France)
3. K. Nagahara, J. Li, D. Hirose, E. Tokumitsu and T. Shimoda, “Amorphous LaRuO Nano-Patterning Using Rheology Printing Method”, International Conference on Nanoimprint and Nanoprint Technology (NNT 2014), Oct. 22-24, 2014, ANA Crown Plaza Hotel Kyoto, Japan
4. Eisuke Tokumitsu and Tatsuya Shimoda, “Fabrication of Metal Oxide Thin Films and Transistors by Solution Process”, (Plenary Talk) AWAD2014 (2014 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices), July 1-3, 2014, Kanazawa Bunka Hall, Kanazawa, Japan.
5. Jinwang Li, Phan Trong Tue, Yoshitaka Murakami, Tadaoki Mitani, Eisuke Tokumitsu & Tatsuya Shimoda, “Novel Materials and Processing for Printed Metal Oxide Devices”, 2014 Spring Meeting, European Materials Research Society (E-MRS), May 26-30, 2014, Lille (France)
6. Ken-Ichi Haga, Yuki Nakada, Dan Ricinchi and Eisuke Tokumitsu, “Characterization of In_2O_3 Channel Ferroelectric-Gate Thin Film Transistors”, International Thin Film Transistor Conference (ITC2014), Jan. 23-24, 2014, Delft (the Netherlands)
7. Eisuke Tokumitsu, “Ferroelectric-gate oxide channel thin film transistors fabricated by solution process”, (invited), International Electron Devices and Materials Symposium, Nov. 28-29, 2013, Nantou (Taiwan)
8. Eisuke Tokumitsu, Kei Sato, Ken-Ichi Haga, “Fundamental Study on Thermal Nanoimprint Process for Oxide-channel Thin Film Transistor Fabrication” 12th International Conference on Nanoimprint and Nanoprint Technology (NNT 2013), Oct. 21-23, 2013, Barcelona (Spain)
9. Eisuke Tokumitsu, “Use of low-temperature-deposited high-k gate insulators for SiC power MOSFETs”, Collaborative Conference on 3D & Materials Research (CC3DMR) 2013, (invited) June 24-28, 2013, Jeju (Korea)
10. Koji Nagahara, Bui Nguyen Quoc Trinh, Eisuke Tokumitsu, Satoshi Inoue, and Tatsuya Shimoda, “120 nm Channel Length Ferroelectric-Gate Thin Film Transistor by Nanoimprint Lithography”, The 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013), June 17-20 2013, Ishikawa Ongakudo, Kanazawa, Japan
11. Eisuke Tokumitsu, Etsu Shin, Hiroshi Shibata, “Asymmetry of switching time in oxide-channel ferroelectric-gate thin film transistors”, European Materials Research Society (EMRS) 2013 Spring Meeting, May 27-31 2013, Strasbourg (France)
12. Eisuke Tokumitsu, “Oxide-channel thin film transistors using ferroelectric and high-k gate insulators”, (invited), International Union of Materials Research Societies—International Conference on Electronic Materials 2012 (IUMRS-ICEM2012), Sept.23-28, 2012, PACIFICO Yokohama, Yokohama, Japan
13. Eisuke Tokumitsu, Isahaya Yamamura, Shiro Hino, Naruhisa Miura, Masayuki Imaizumi, Hiroaki Sumitani and Tatsuo Oomori, “Comparative Study of Metalorganic Chemical Vapour Deposition of HfO_2 and Al_2O_3 Gate Insulators on SiC for Power MOSFET Applications”, 17th Workshop on Dielectrics in Microelectronics (WoDiM 2012), June 25-27, 2012, Dresden (Germany)
14. Eisuke Tokumitsu, Gwang-Geun Lee, “Switching properties of ferroelectric P(VDF-TrFE) films fabricated on oxide electrodes”, European Materials Research Society 2012, Spring Meeting, May 14-18, 2012 Strasbourg (France)
6. 研究組織
 (1) 研究代表者
 徳光 永輔 (TOKUMITSU EISUKE)
 北陸先端科学技術大学院大学・グリーンデ
 バイス研究センター・教授
 研究者番号：10197882