

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 9 日現在

機関番号：10101

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24360128

研究課題名(和文)多値ReRAM搭載のナノドットアレイによる多入力多出力フレキシブルデバイスの研究

研究課題名(英文)Multi-input and multi-output flexible nanodot-array devices operating with multiple valued ReRAM

研究代表者

高橋 庸夫 (Takahashi, Yasuo)

北海道大学・情報科学研究科・教授

研究者番号：90374610

交付決定額(研究期間全体)：(直接経費) 14,300,000円

研究成果の概要(和文)：ナノドットアレイと抵抗変化メモリによる、高機能で冗長なシステム構築に向けて、大きな進展を得た。

ナノドットアレイの作成自由度を高めると同時に簡略化できる手法を考案し、実際にナノドットの作製を確認することに成功した。加えて、多入力ゲートに対する新たな応答を確認した。限られたドットとしか接続していないゲートを用いても、ドット内の電子数が数個と少ない場合には、離れたドットの情報が影響することを示し、古典的には予想できない機能の拡張性を示した。

抵抗変化メモリでは、TEMによる動作機構解析から始め、ハードウェアでニューラルネットによる冗長性実現の鍵であるアナログ記憶の特性が得られることを示した。

研究成果の概要(英文)：We achieved great advance in the development of a system with flexibility and high functionality that uses nanodot array and resistance random access memories.

New and novel fabrication method for nanodot arrays was developed and demonstrated experimentally. The method is quite easy and flexible to make the arrays. In addition, we demonstrated that the new idea in which input voltage applied to a gate coupled a few dots affects the dots far from the gate when the number of electrons in the nanodot array is a few number. The idea is not predicted by the classical mechanics.

We clarified the switching mechanism of resistance random access memory and achieved the analog memory characteristics which are the most important characteristics to realize the neural network system as a hardware.

研究分野：電子工学

キーワード：少数電子素子 抵抗変化素子 先端機能デバイス 省エネルギーデバイス 揺らぎ許容デバイス フレキシブルデバイス 量子情報処理デバイス

1. 研究開始当初の背景

シリコン(Si)を中心とした集積化半導体デバイスの進展は著しく、自由な情報流通できる環境が整いつつある。しかし、流通する情報量が膨大になり、従来のLSIでは情報量の増大に対し消費電力を抑えることが難しくなっている。同時に、膨大な情報の中から自分に必要な情報を効率的に取得する手法の確立が誰にでもできる形で実現されることが望まれる。このためには、従来のCMOLSIとは異なる原理で機能する低電力でフレキシブルな新デバイスが必須である。

2. 研究の目的

上記のような背景の下、高機能化を念頭に多入力・多出力のデバイス構成が可能なナノドットアレイを用い、単電子機能による省電力と高機能を併せ持ち、サイズ揺らぎに強いリコンフィギュラブル(再構築可能)な全く新しいシステムを実現することを目指した。

本研究の目的は、全く新しいシステムの実現ではあるが、これまでに確立されたCMOLSI技術はいまや全てのシステムに入っているといっても過言ではなく、これと協働して動作することは必須である。このため、Siテクノロジー(Siプロセスと言っても良い)を基盤として、上記のシステムの基礎構築を目的とした。

3. 研究の方法

上記の目的の下に以下の検討を行うこととした。(1)多端子ナノドットアレイの作製方の確立と、より効果的なナノドットアレイの作成法の開拓。(2)多入力・多出力ナノドットアレイデバイスの高機能化と自由度向上。(3)フレキシブルナノドットアレイを活かすためのアナログ値を記憶可能な多値メモリとしての抵抗変化メモリ(ReRAM)の開拓。(4)先端的研究としての新たな発見。

具体的には、(1)のナノドットアレイ作製手法としては、SOIウエハにSi細線を作成し、これを熱酸化することでナノドットとする手法(パターン依存酸化:PADOX)を改良して用いることを基本とした。加えて、新たなナノドットアレイの作製方の開拓を行った。

(2)の高機能化と自由度向上に向けては、論理機能導出のためのアレイパターンの最適化、論理機能導出の確認、論理機能の大規模化に向けての古典的には予測できない入出力関係の導出を行った。

(3)の多値メモリとしてReRAMの材料検討とTEM内で電気特性を評価するその場観察技術による動作メカニズムの解析から始め、MoOxを抵抗変化層として用いることで、アナログメモリとしての可能性を示した。

(4)の新たな発見として、単電子デバイスでは、トンネル現象を用いることから、高抵抗であるため、動作速度は遅いと言われてきたが、その整流作用(これ自身もあまり知られていない)に注目すると、テラヘルツ(THz)

領域でも動作する可能性が示唆された。

4. 研究成果

(1) 新たなナノドットアレイの作製法

PADOX法を用いて作製したナノドットアレイの特性に関しては、(2)項で述べることとし、新たに開拓した新しいナノドットアレイの作製法を示す。現状の量子コンピュータの研究では物理面のみが注目されており、多ビット化が考慮されていない。また、今回の基盤Bの研究においては、集積化されたナノドットアレイが必要であるが、(2)項で用いる作製手法では、最線幅の変調が必要であるため、無駄スペースが大きくなる。これらの問題を解決するため、新たな作製法を開発した。SOI基板上のSi細線を用いる点では同じであるが、この上に、細線に交差するようにゲート電極を配置し、ゲート間のギャップ越しに酸化することで、細線に括れを入れることでドットに分割する手法である。図1は、その断面構造図と細線に直交して微細ゲートを3本作製したデバイスの走査電子顕微鏡(SEM)像である。また、図2は測定した2ドットの場合の安定状態図とそのシミュレーション結果である。シミュレーションとほぼ同等なハニカムダイアグラムが測定できており、ドット間が強く連結した、設定通りの2連結ドットができていることが確認できる。複雑になるだけなので、結果を示さないが、3ドットの作製も確認できている。

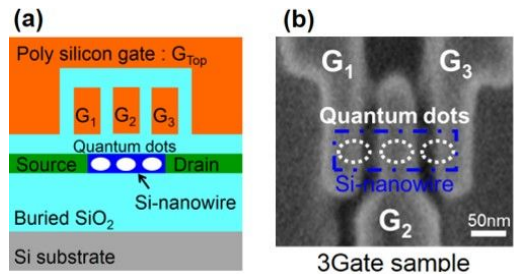


図1 新たに開発した連結ナノドット作成法の断面図と作製されたデバイス

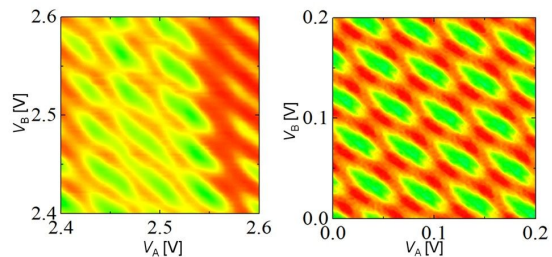


図2 作製された連結ナノドットの安定状態図(左)とシミュレーション結果(右)

(2) ナノドットアレイの高機能化

多入力・多出力のナノドットアレイを用い、フレキシブルな機能を目指した。ナノドットアレイは、2次現状にアレイが広がっているので、多端子化が容易である。加えて、単電子効果を用いるので、ナノドット上に容量接続するゲート電極を取り付けることで、ドット

トの電子状態を制御できる。この機能は MOSFET と同じであるが、大きな違いは、1 個のドットに多数のゲートをカップリングさせることができる点である。これらの特徴を活かすと、多入力・多出力の素子が容易に形成でき、また、動作は単電子メカニズムなので、省電力化が容易となる。最大の問題点は、このような CMOSFET 回路とは異なる多入力・多出力デバイスを使いこなすアーキテクチャが無いことである。これを本質的に解決するには膨大なリソースが必要であることから、本研究では、このシステムの優位性を示すべく、従来とは異なる高い機能性を目指す。すなわち、電子回路は設計通りに機能することを前提に作製されるが、本デバイスでは、機能は作製後に与える自由度を持たせるという方針である。用途に合わせて、機能を変えることができることを目指している。

多端子ナノドットアレイデバイスのイメージとその機能の説明を図3に示す。多数取り付けられたゲートの一部を入力に、他を機能制御用に用いる。ナノドットを介する電子のトンネルによる電流は、電流パスが多数あることから、ゲートとの容量接続がまちまちであることから、ゲート電圧に対して複雑になる。したがって、制御ゲートに印加する電圧で機能を選択することが可能となる。これを実験的に検証するために、図4に示す3種類のナノドットアレイを試作した。試作手法は、前述の PADOX 法であり、アレイ状の Si 細線を作成しこれを熱酸化することにより、細線中心部に Si ナノドットを形成するものである。

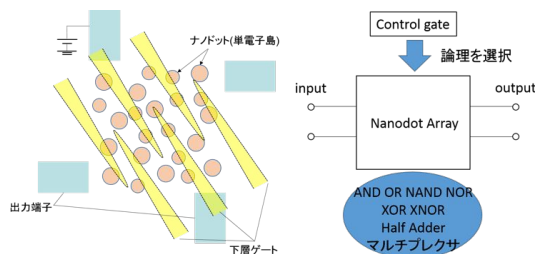


図3 多端子ナノドットアレイデバイスのイメージとその機能の説明

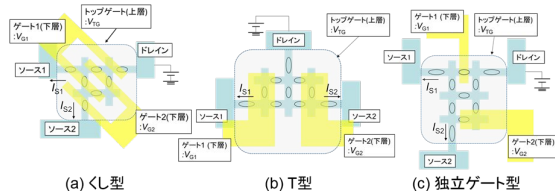


図4 実験的に評価検討した3ゲート2出力ナノドットアレイデバイスの上面図

図4のデバイス上には全体を覆う上層ゲートが取り付けられており、電流端子3本(2出力)ゲート3本の構成となる。上層ゲートを機能選択の制御ゲートとして使うので、2入力2出力デバイスとなる。これらのデバイスの特徴としては、図4(a)は全てのドットと各入力ゲート(下層ゲート)が容量接続するように配置しており、図4(b)、(c)になる

ほど各入力ゲートに容量接続するドット数が少なくなるように配置を設計してある。2入力論理関数を考えた場合、排他的論理関数(XOR)の機能を実現するのが最も難しい。MOSFET で実現しようとする、最低でも10個のFETが必要になる。(a)のデバイスでは、2つのゲートが全てのドットと接続しているため、制御ゲート電圧を選ぶことで、容易にソース1端子にXORを、ソース2端子にANDの出力を出すことができた。すなわち、「論理機能導出のためのアレイパターン最適化と論理機能導出の確認」として、1個のデバイスで半加算器の機能が実現できたことになる。その理由は、各ドットは単電子トランジスタと同様にゲート電圧の上昇に伴って、電荷の安定状態を保つために、ドット内の電子数は周期的に1個ずつ増える。したがって、各ドットのコンダクタンス(電流透過能力のようなもの)は各ゲート電圧の上昇に対して周期的に増減する。このとき、各ドットと各ゲートとの容量接続(ゲート容量)は、ドットサイズが小さいことから大きく揺らぐので一様ではない。重要なポイントの1点目は、1個のドットに複数のゲートが容量接続していることである。単電子特性はゲートとドット間の電荷のバランスで決まるので、ドットに対するゲート電圧の影響はゲート容量を重みとしたゲート電圧の積和演算の結果で決まる。したがって、入力の和を取る演算は容易に実現できると共に、積和演算を基本とするニューラルネットワークの構築に有利になる。加えて、第2のポイントは、並列と直列接続が入り乱れるので、複雑な特性が得られるが、特性の基本は、コンダクタンスの振動であるという点である。トランジスタのように、単純なスイッチではなく、単電子デバイスはゲート電圧の上昇に伴って、何度でもオンとオフを繰り返すことができる。第1のポイントでゲートレベルの加算ができて、第2のポイントの効果でオンとオフを繰り返すことができるので、XORを初め、他の全ての論理関数を実現することができることになる。

上述の結果は、本計画で得られるデバイスの高い機能性を示しているものであるが、さらに入力と出力を増やして高機能を目指す、ゲートを積層していく必要が出てくる。しかし全てのゲートが全てのドットに容量接続するのは、十数ゲート位が限界であることが予想される。そこで、ゲートと接続するドット数を少なくして行った場合に本当に機能が得られなくなるかを検証するため、図4(b)、(c)のようなデバイスを検討した。(b)のデバイスでは、中心線付近のドットが両方のゲートと接続しているため、この付近のドットの生み出す機能で、簡単な論理機能が得られることが確認された。しかし、これまでの静電的な結合で古典的に考える立場に立てば、(c)のデバイスは2入力ゲートがほとんど独立になっているため、ゲートレベ

ルでの積和演算は期待できず、直列・並列ドットとしての機能以外は期待できないはずであり、AND、ORも難しく、ましてXOR機能は絶対実現できないはずである。この予測のもとで、(c)デバイスを評価した結果、予想外の結果が得られた。結果の例を図5に示す。

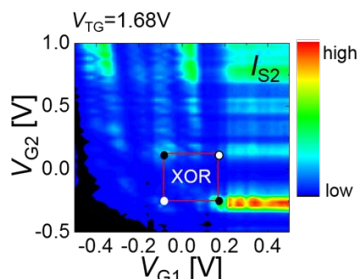


図5 図4(c)のデバイスの2入力ゲートに対するソース2の電流等高線マップ

図5は、2つのゲートの電圧に対する出力の一つであるソース2の電流を等高線プロットしたもので、青～黒に近いほど電流が小さく、緑、黄、赤となるほど電流が大きい。縦縞と横縞の特性が得られることはごく自然で、複数のドットが直列に接続されていることを示す。しかしこの結果には古典的には説明できない2つの不自然な点がある。直列接続なので、明るい横縞と縦縞が交差する点では電流が大きくなり明るくなり、暗めの縞が交差する点では暗めになるはずであるが、そうっていない。たとえば、横縞で最も明るい一番下の横縞 ($V_{G2} = -0.3V$ 近辺) と少し暗い縦縞 ($V_{G1} = -0.1V$ 近辺) の交差点ではほとんど電流ピークが見えない。一方、その上の少し明るい横縞 ($V_{G2} = 0.1V$ 近辺) との交差点では明るい大きなポイントとなっており大きな電流が流れている。このような電流変調が生じることは古典的には予測できないが、実験結果に間違いはないので、その原因を考察してみると、ゲート電圧の小さな領域、すなわちドット内の電子数が少ない(数個以下)領域であることがわかる。半導体量子ドットに特有の少数電子領域では、ドットの実効的な形状やゲート容量などがわずかな電界などで変化すると考えている(そもそも、電子が少数の領域なので、電子を閉じ込める量子ドットの形状や電気的な容量の意味が明確ではなく、十分な理解は得られていない)。この少数電子領域のため、ドットを介してゲートの電界が伝搬し、離れたドットにも影響し、少数電子系のため大きな変化が得られたと考えられる。結果として、図5上にプロットした4点(暗い電流の流れない点を、明るい電流の流れる点を示す)を用い、入力ゲート電圧の小さい方を0、高い方を1、電流の小さい大きいを0と1とすると、(0,0)で“0”、(0,1)と(1,0)で“1”、(1,1)で“0”となっており、図中の四角い領域でXORとして動作することが確認できる。以上のように、一見相互作用が無いゲート配置にも係らず、複雑なXORのような論理関数を実現できるこ

とを示した点で、全く新しい知見が得られた。

もう1点不可解な点は、 $V_{G1} = 0.1V$ 以下の縦縞の特性が、 V_{G1} が低くなるにしたがって、傾いている点である。良く見ると、縦縞の傾きが揺らいでいるようにも見える。上述のように、2つのゲートの組み合わせで論理関数を表現するので、オンになる電流が流れる縞模様が傾いていることは、論理関数を構成できることを意味している。この結果も、少数電子領域(ゲート電圧 V_G の小さい領域)で現れることから、上述の結果と同様に2次元に配列したドットを介して伝播したゲート電圧の効果で、縞模様が傾いていると考えられる。

すなわち、上述の特異的な結果は、相関の無いゲート間で相互の影響が現れるという結果は、必ずしも全てのドットと入力ゲートが容量接続している必要は無いということを示すものであり、「論理機能の大規模化に向けての古典的には予測できない入出力関係の導出」が実現できたことになる。

(3) 多値メモリとしての(ReRAM)の開拓

ReRAMが多値メモリとして動作する可能性は指摘されているが、その動作原理に関してはまだ不明のままであり、多値化が可能な理由も明確ではない。動作原理が不明なままでは、実用に破綻をきたす。まずは、動作メカニズムと多値化の可能性から検討した。

ReRAMの抵抗変化動作は、ナノスケールの小さな領域での金属フィラメントの形成と消滅と考えられており、その観察のためには、透過電子顕微鏡(TEM)の利用が適切である。本研究では、TEM内で電気特性を評価可能とした特殊な装置を開発し、評価を行った。

TEM評価用のReRAMデバイスは、抵抗変化層としてCu/MoOx層を用い、上から、Pt(上部電極)/Cu/MoOx/TiN/Ti(下部電極)の積層構造を、イオンシャドーエッチングにより針状に加工したものをを用いた。図6にその概要を示す。TEM内に評価用のサンプルを固定し、ナノメートルの位置精度で移動が可能なピエゾ駆動で可動Pt針を動かす、ReRAMサンプルの上部電極に接触させる(図がこれに対応)。次いで、ソースメジャーユニットを接続し、電流-電圧特性を評価しながら、TEM像を観察する。図7は、実際にTEM内でその場観察している様子を示しており、右上に電気的な特性が表示されるようになっている。

Cu/MoOxのようなReRAMでは、正電圧を印加すると初期の高抵抗から低抵抗に急激に変化する(Set動作)。CuフィラメントがMoOx層内にできていると予測されている。ここで、低抵抗化した際に過電流が流れて素子が破壊されることを防止するため、電流制限をかける。次いで、負電圧を印加すると、高抵抗に戻る(Reset動作)。負電流により還元反応が起こり、Cuのフィラメントが消滅すると予測されている。図8は、実際にTEMの中で測定した結果(400 μA で電流制限)であり、通常のリソグラフィーを用いて作製したReRAM

デバイスと同等の特性が得られている。TEM 内その場観察で、繰返し、Set と Reset を繰り返すことに成功した初めての例である。

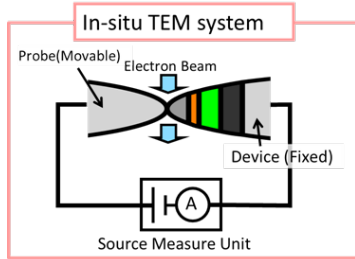


図 6 TEM その場観察システムの概要

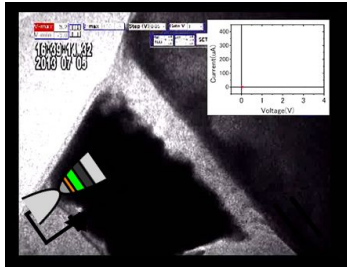


図 7 実際に作成された ReRAM サンプルを TEM その場観察システムで観察する様子

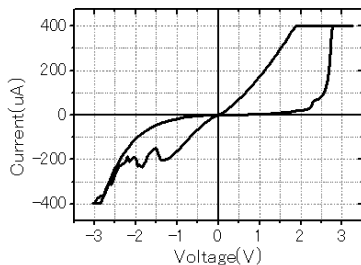


図 8 実際に作成された ReRAM サンプルを TEM その場観察システムで観察する様子

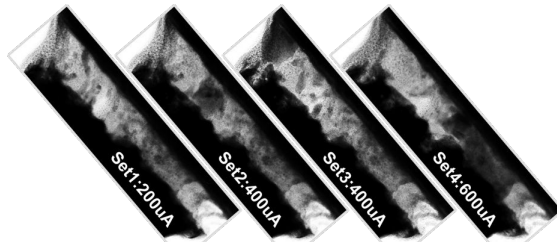


図 9 Set の電流制限値を変えながら繰返し Set したときのフィラメントの様子

図 9 は、制限電流を変えながら、Set/Reset を繰り返した際の、Set 後の TEM 像である。フィラメントの大きさが、制限電流と共に大きくなるのがわかる。加えて、フィラメントの場所が移動している。これまでの推測では、同じ場所でフィラメントが生成・消滅すると言われていたが、そうっていないことを示した。いずれにしても、フィラメントのサイズが制限電流で可変であることを示すことに成功した。

図 10 は、リソグラフィーで作製した ReRAM デバイスの SET 後の抵抗の制限電流依存性である。完全に連続的ではないが、抵抗がアナログ的(多値)に変化している結果が得られ、TEM その場観察の結果と符合する。

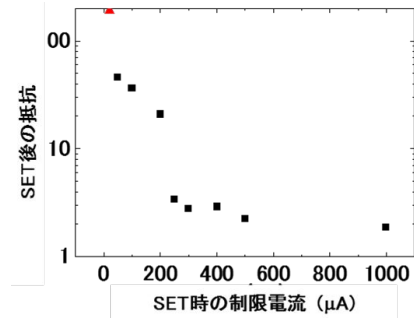


図 10 Set 後の抵抗の制限電流依存性

(4) 先端的研究としての新たな発見

本研究の機能素子としての特徴は単電子効果を用いることであるが、その最大の難点は、トンネルを用いた素子であるため、高インピーダンスで電流駆動能力が低いということといわれている。通常 LSI では FET の駆動力を利用して回路を設計するため、消費電力が大きくなる問題が発生しているのでナンセンスな評価であるが、動作が遅いというのは課題ではある。そこで、単電子トランジスタの応答は何で決まるかを評価した。

ゲートからの入力を考え、ゲート容量 (C_g) とトンネル抵抗 (R_t) の積で決まる時定数が速度を決めるとすると、本研究で作製した単電子トランジスタ (SET) の時定数は、40fs 程度まで小さくでき、決して遅くないことが判明した。これは、トンネル抵抗は大きいゲート容量が極めて小さいので、実現できた。

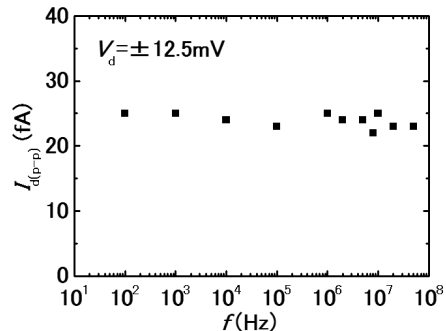


図 11 単電子トランジスタの整流作用の周波数依存性

それでは、ソース・ドレインから入った信号はどうなるのか? ほとんど知られていないが、SET のソースから高周波信号を入力すると、クーロンブロッケイドにより整流作用が生じる。整流の出力電流の周波数依存性を図 11 に示す。遮断周波数が精度良く観測しやすいように、あえてトンネル抵抗が 50G と高い SET を用いている。RC で予測されるカットオフ周波数は、5MHz である。しかし結果から明らかなように、100MHz 近くまで遮断周波数が見えておらず、予測されるカットオフ現象は観測されなかった。考察してみると、クーロンブロッケイド現象は電界が入れば遮断される理由は無い。したがって、当然の結果といえる。すなわち、重要な点は、THz を越える高周波でも整流して検出できると

いうことを示している。効率の良いセンサーが無いことで問題になっている、THz から遠赤外線領域の検出に用いることができる可能性を秘めていることが初めて判明した。

(5)まとめ

単電子ナノドットアレイの新しい効率の良い作製法の開拓や古典的には考えられない新たな機能の導出を示すことができ、新デバイスとしての可能性をいっそう高めることができた。加えて、抵抗変化メモリの機構を解明し信頼度の高いアナログメモリとなる可能性を示した。先端的研究としても、THz 領域への単電子デバイスの応用の可能性を示すことができた。

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 22件: 全て査読有)

- (1) S. J. Kim, J. J. Lee, H. J. Kang, J. B. Choi, Y.-S. Yu, Y. Takahashi, and D. G. Hasko: One electron-based smallest flexible logic cell, Applied Physics Letters, **101**, 183101-1-4 (2012). Doi: 10.1063/1.4761935 査読有
- (2) T. Fujii, M. Arita, K. Hamada, Y. Takahashi, and N. Sakaguchi: In-situ transmission electron microscopy of conductive filaments in NiO resistance random access memory and its analysis, Journal of Applied Physics, **113**, 083701-1-7 (2013). Doi: <http://dx.doi.org/10.1063/1.4792732> 査読有
- (3) Y. Takahashi, S. Ueno, and M. Arita: Multi-Functional Logic Gate by Means of Nanodot Array with Different Arrangements, J. Nanomaterials, **2013**, Article ID 702094, 7 pages (2013). <http://dx.doi.org/10.1155/2013/702094> 査読有
- (4) Y. Takahashi, H. Takenaka, T. Uchida, M. Arita, A. Fujiwara, and H. Inokawa: High-speed operation of Si single-electron transistor, "ULSI Process Integration 8", C. Claeys, et al., Eds, ECS Transactions Vol. **58**, No. 79 73-80 (ECS Inc., Pennington), (2013). doi:10.1149/05809.0073ecst 査読有
- (5) M. Kudo, M. Arita, Y. Ohno, and Y. Takahashi: Filament formation and erasure in molybdenum oxide during resistive switching cycles, Applied Physics Letters, **105**, 173504-1-4 (2014). <http://dx.doi.org/10.1063/1.4898773> 査読有
- (6) T. Uchida, M. Arita, A. Fujiwara, and Y. Takahashi: Coupling capacitance between double quantum dots tunable by number of electrons in Si quantum dots, Journal of Applied Physics, **117**, 084316-1-6 (2015). <http://dx.doi.org/10.1063/1.4913393> 査読有

[学会発表](計 99件)

- (1) Y. Takahashi, H. Takenaka, A. Fujiwara, and M. Arita (invited): High-frequency operation of Si single-electron transistor beyond cutoff by the use of rectifying effect, The 6th IEEE International Nanoelectronics Conference, (IEEE INEC 2014), (2014.7/28-31, Oral@ Hokkaido Univ., Japan).

[図書](計 0件)

[産業財産権]

出願状況(計 1件)
取得状況参照

取得状況(計 1件)

名称: 抵抗変化型メモリ

発明者: 高橋庸夫、有田正志、藤井孝史、梶宏道、近藤洋史、茂庭昌弘、藤原一郎、山口豪、吉丸正樹

権利者: ㈱半導体理工学研究センター

種類: 特許

番号: 5583738 (登録番号)

出願年月日: 平成 24 年 11 月 22 日

取得年月日: 平成 26 年 7 月 25 日

国内外の別: 国内

[その他]

ホームページ等

<http://www.nano.ist.hokudai.ac.jp/nano-mat/index.html>

6 . 研究組織

(1)研究代表者

高橋 庸夫 (TAKAHASHI YASUO)

北海道大学 大学院情報科学研究科・教授

研究者番号: 9 0 3 7 4 6 1 0

(2)研究分担者

有田 正志 (ARITA MASASHI)

北海道大学大学院情報科学研究科・准教授

研究者番号: 2 0 2 2 2 7 5 5

小野 行徳 (ONO YUKINORI)

富山大学 大学院理工学研究部・教授

研究者番号: 8 0 3 7 4 0 7 3

(3)連携研究者

西口 克彦 (NISHIGUCHI KATSUHIKO)

日本電信電話株式会社 N T T 物性科学基礎研究所 量子電子物性研究部 主任研究員

研究者番号: 0 0 3 9 3 7 6 0

藤原 聡 (FUJIWARA AKIRA)

日本電信電話株式会社 N T T 物性科学基礎研究所 量子電子物性研究部 主幹研究員

研究者番号: 7 0 3 9 3 7 5 9