

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 30 日現在

機関番号：14101

研究種目：基盤研究(C) (一般)

研究期間：2012～2016

課題番号：24500059

研究課題名(和文)動き検出用の高並列拡張命令セットの研究

研究課題名(英文)Highly parallel instruction set extensions for motion estimation

研究代表者

近藤 利夫 (Kondo, Toshio)

三重大学・工学研究科・教授

研究者番号：60324539

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：複雑化する動画像符号化の汎用プロセッサでの高速処理実現に向け、小範囲高効率動き探索に対応するSIMD混載のスーパースカラ型データパス構成と、そのメモリ間のボトルネックを軽減するタイル/ライン両アクセス対応キャッシュメモリ構成と、これらの構成に基づく拡張命令を示した。また、構成検討の過程で、小範囲の高効率探索機能を活かす新規の動き検出処理法に加え、分割候補に対する分散特徴を活用したインター予測コスト評価低減法を提案し符号化時間を半減できることを示した。さらに、タイル/ライン両アクセス対応のキャッシュメモリにより、大規模な行列計算における一次キャッシュのミス率が1桁～2桁低減されることを示した。

研究成果の概要(英文)：We showed a super scalar data path structure containing an SIMD processor corresponding to efficient small area motion estimation, a tile/line accessible cache memory structure reducing memory bottleneck in two dimensional data access and their instruction extensions for high speed processing of motion picture compression increasing computing complexity year by year. In the process of structure investigation based on acceleration of H.265 reference software, we proposed a new motion estimation algorithm utilizing efficient small area search capability and a decision method of inter prediction mode necessity utilizing intensity dispersion of pixels in each candidate prediction unit PU and reducing total coding time by half. In addition, we showed that the tile/line accessible cache for efficient motion estimation could reduce number of access misses by over one order of magnitude in the large scale matrix calculation.

研究分野：コンピュータアーキテクチャ

キーワード：動き検出 SIMD ブロッキング インター予測 H.265 キャッシュメモリ スーパースカラ 行列計算

1. 研究開始当初の背景

動き探索の研究は、動画像符号化の演算量の大半を占める動きベクトル検出の演算量低減(高効率化)と精度向上の両立を目指して、動き補償利用の動画像符号化方式が実用期に入る1980年代から精力的に行われてきた。その中で、探索パタン(菱型、正方形等)の範囲内の探索とその結果に基づく整合度の高い方向への移動とを繰り返す追跡型探索に探索点を疎らに取る手法を組み合わせる動き検出法が、高精度と高効率の両立性において他方式を凌いだことから、ソフトウェアエンコード向けの最善の手法として定着してきている。しかし、その優れた両立性を持ってしても、ソフトウェアエンコードでの実時間処理には、すでに標準的な符号化処理となっているH.264ハイビジョン符号化でさえ、遠く及ばない。これは、探索点を疎らに取る演算量低減法が災いし、現在最強のSIMD拡張命令であるx86プロセッサのMPSADBW命令(並列度32)を用いても、最大で10程度の実効並列度しか得られない上に、再利用性の低さにより頻発する参照画像の転送が高速化のネックとなっているからである。このため、現状では、H.264の高度な動き補償の利用を制限した上、大幅に動き探索を簡易化したり、動き探索の大半をGPGPUにまかせたりすることで、なんとか実用的な速度に近づけているに過ぎない。当然ながら一部の画像シーケンスで無視できない画質劣化を来すため、超高画質を目指すスーパーハイビジョンの符号化には適さない。現在に至っても、GPGPUの改良はディープラーニング向けが中心であり、8画素幅以下の小サブブロックの動きを個別に追跡する高効率探索の適用が困難な状況に変わりはなく、動き補償が高度化する中、益々強くなる高画質化と低消費電力化の要求に応えていくのが困難な状況は改善されていない。

2. 研究の目的

高精度と参照画像の高再利用率を両立する正方形パターン追跡探索に基づく動き検出法(提案法)を改良し、その効率的な実行に適し、スーパーハイビジョンの実用的なソフトウェアエンコードを可能とするプロセッサの拡張命令仕様を定める。また、その命令が高並列かつ高効率のデータパスとして汎用プロセッサに組込めることを明らかにする。具体的には以下の2点を目的とする。()必要に応じてサブサンプリング画像を用いる粗密切り替え型の探索法をベースとしたHEVC(H.265案)対応の動き検出法(提案法)の開発、()提案法を3倍以上高速化可能なメディア処理向け拡張命令セットの制定とそれに対応する低電力高並列データパスの開発。

3. 研究の方法

以下の(1)~(4)の追究と、その結果に基づいて(5)を行った。

(1) ソフトウェア処理向き整数画素精度動き検出の高効率化

探索範囲の探索点のサブサンプリング率とマッチングブロック構成画素のサブサンプリング率を、探索中心からの距離、マッチングブロックのサイズ、近傍ブロックの確定済み動きベクトルの分散値などに応じて切り替える効果的な手法を探った。また、探索パターンの拡大範囲を適応的に設定することで探索点数を最小限化する方法を探った。さらには、プロセッサのレジスタ内に収まる小範囲の探索パターンをベースとする効率の良い追跡型探索手法を探った。具体的には、HEVC参照ソフトウェア(HM)に組み込まれているTZSearchの探索処理ルーチンを必要に応じて加工することで各手法における演算量、符号発生量増、探索対象画像転送量などを比較し、探索手法の良し悪しを評価した。

(2) 動き補償関連の符号化処理量低減

動き探索の高効率化のみでは符号化処理に対する高速化率が不十分であることから、H.265の動き補償に関わる符号化で処理量の大半を占めている符号化単位のCU内の分割候補のインター予測コスト評価(整数画素精度動き探索の他に、小数画素精度探索、アダマール変換等の処理が加わる)の処理量低減をはかった。具体的には、インター予測のコスト評価の処理量を低減するために、CU内の輝度分散特徴を利用して、CUの分割候補に対するインター予測コスト評価処理の可否を正確に判定する手法を探った。その判定手法の良し悪しは、動き探索の場合と同様HMにその判定手法を組み込み符号発生量の増加を抑えながらどこまで全体の符号化時間が低減されるかで評価した。

(3) 汎用プロセッサ向き高並列処理構成の追究

汎用プロセッサのベースの構成を活かしながら、追跡型探索を効率良く実行可能とするデータパスの改良構成を探った。具体的には、SAD演算単位として、レジスタ内に収まる小範囲内の任意位置より8画素×4画素単位で並列にアクセスする仕組み、8画素×4画素サイズのブロック間のSAD演算を繰り返すことでH.265の動き探索に必要な64画素×64画素サイズまでの種々のブロック間のSAD演算をパイプライン処理により効率よく実行する仕組みを探索した。

(4) 2次元の局所性を利用する探索画像アクセスの効率化

動き探索処理におけるデータアクセスの2次元の局所性を活かせるタイル単位アクセスを効率的に行うことのできるキャッシュメモリ構成法を探った。具体的には、従来のライン単位アクセスと動き探索に適した8画素×4画素あるいは8画素×8画素単位(タイル単位)を両立する構成法、列方向の近傍アクセスにおいてもキャッシュラインコン

フリクトを抑えられるアドレスの走査順を探求した。

(5) 高並列処理命令セットの制定と対応データパスの設計評価

(3)で明らかにした高並列処理法に基づき、(1)で明らかにした小範囲の高効率動き探索に必要な高並列処理命令を洗い出した。また、並行してその高並列処理命令に対応するデータパスを設計し、チップ試作まで行って、汎用プロセッサへの組み込み容易性と、プロセッサとしての要求性能を満たす障害にならないかどうかを評価した。

4. 研究成果

(1) ソフトウェア処理向き整数画素精度動き検出の高効率化

予測位置近傍以外へのサブサンプリング画像の適用、探索パターンの拡大量の適応的設定、探索の早期打ち切りを組み合わせる動き検出法を提案した。HMによるシミュレーション評価により、H.265 符号化における符号量の増加率を 1%程度かそれ以下に抑えながら、TZSearch の整数画素精度の動き検出における SAD 演算量を 85%程度かそれ以上低減できることを明らかにした。

また、更新部分のみロードすることで必要な方向にずらされるレジスタ中の小範囲内で x 方向±4、y 方向±2 の変形クロス (SUC) パターンで追跡する探索法に、x,y 共の 2:1 のサブサンプリング、予測位置から一定値以上離れてしまった場合に行うラスタ探索と組み合わせる動き検出法を提案した。HMによるシミュレーション評価により、TZSearch に比べ符号量の増加率を 1%程度に抑えながら、SAD 演算量を 80%程度、転送オーバーヘッドとなるロード命令数を 70%程度かそれ以上低減できることを示した。

(2) 動き補償関連の符号化処理量低減

構成画素の輝度値に関する符号化単位の CU 自体の分散や、その CU を 4 分割したそれぞれのブロックの分散値の間の分散が閾値を超えたか否かの分散特徴判定により、CU 内の分割候補を除外するインター予測コスト評価の処理量低減法を提案した。また、HMによるシミュレーション評価により、符号発生量の増加を 2%程度に抑えながら、エンコード時間を 50%程度かそれ以上低減できることを示した。

(3) 汎用プロセッサ向き高並列処理構成

バイト単位のアドレス修飾にバレルシフトを組み合わせ、スキュードアレイ格納することで 8 画素×4 画素の非整列ブロックアクセスに対応させるようにしたレジスタに、レジスタリネームベースレジスタを組み合わせることにより、レジスタローテーションを実行可能とするベクトルレジスタを提案した。また、このベクトルレジスタに SIMD 演算器を組み合わせることで、従来の x86 プロセッサに比べ、動き探索の所要ステップ数を 1/4~1/5 にまで低減できることを示した。

(4) 2 次元の局所性を利用する探索画像アクセスの効率化

8 バイト単位のアドレス修飾に対応し、8 バイト×4 あるいは 8 バイト×8 構成のタイル単位でタグ付与するメモリアレイとタグアレイにラスタ走査順のアドレスを階層的な Z オータに変換して与える新構成のタイル/ライン両アクセス対応のキャッシュメモリを提案した。動き検出処理においては、1 次キャッシュの容量が 32KB 程度の場合でも、不要な画素データのロードを無くすことができることから、所要転送時間が 30%程度低減されることを明らかにした。さらに、Simple Scalar シミュレータに提案キャッシュを組み込み、科学技術計算の要である行列計算について性能評価を行い、タイル単位、ライン単位の並列アクセスの効果を検討しない場合でも、10~15%程度的高速化に寄与することを示した。

(5) 高並列処理命令セットの制定と対応データパスの設計評価

ブロック単位 SAD 命令、SAD 累算命令、最小値抽出命令などの動き探索用命令を制定すると共に、それらに対応するスカラー命令と 32 並列の SIMD 命令を同時発行可能な (3)の成果に基づく汎用プロセッサ指向の 64 ビットデータパス構成を明らかにした。また、VDEC の 0.18 μm CMOS 技術により論理設計からチップ試作まで行い、全体が 5×2.5mm² サイズに収まること、ベクトルレジスタ、SAD 演算器、SAD 累算器、最小値抽出器が各パイプラインステージに収められること、新構成キャッシュについて、レイテンシ増が最大 1 クロックサイクルで、ハードウェア規模増が 5%程度でそれぞれ済むことを示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

西村隆太郎、立野篤、近藤利夫、佐々木敬泰、深澤祐樹、中心部以外にサブサンプリング画像を用いる適応的拡大ダイヤモンド探索、電子情報通信学会論文誌 D、査読有、Vol. J99-D, No. 7, 2016, pp. 669-678

〔学会発表〕(計 5 件)

箕浦祐貴、近藤利夫、深澤祐樹、佐々木敬泰、小範囲高効率探索機能を備えた SIMD データパス向き動き検出アルゴリズム、電子情報通信学会画像工学研究会 IE2016-108、2017年2月21日、pp. 235-240、北海道大学(北海道、札幌市)
西村隆太郎、近藤利夫、佐々木敬泰、深澤祐樹、対象 CU 内の輝度値分散特徴を利用したインター予測 PU 高速決定法、電子情報通信学会画像工学研究会、IE2016-97、2016年12月9日、pp. 103-108、石川県地場産業振興センター(石川県、金

沢市)

Baokang Wang, Y. Fukazawa, T. Kondo,
and T. Sasaki, A Cache Memory with
Unit Tile and Line Accessibility, 2016
International Conference on High
Performance Computing & Simulation,
21 July 2016, Innsbruck(Austria)

DOI: 10.1109/HPCSim.2016.7568425

Y. Fukazawa, K. Watanabe, Y. Minoura,
T. Kondo and T. Sasaki, SIMD-based
Datapath with Efficient Operation
Structure for Motion Estimation,
Proceedings of International Conference
on Acoustics, Speech and Signal
Processing, DISPS-P2, 24 Mar. 2016,
Shanghai(China)

DOI: 10.1109/ICASSP.2016.7471832

Baokang Wang, Takumi Inomata,
Toshio Kondo and Takahiro Sasaki, A
Cache Memory with both Line and Tile
Unit Accessibility, 2013 International
Workshop on Smart Info-Media
Systems in Asia, RS3-4, 2 Oct. 2013,
Aichi Industry & Labor Center(Aichi,
Nagoya)

〔産業財産権〕

出願状況(計1件)

名称: キャッシュメモリ

発明者: 近藤 利夫

権利者: 国立大学法人三重大学

種類: 特願

番号: 2014-172621

出願年月日: 平成 26 年 8 月 27 日

国内外の別: 国内

6. 研究組織

(1) 研究代表者

近藤 利夫 (Kondo, Toshio)

三重大学・工学研究科・教授

研究者番号: 60324539

(2) 研究分担者

佐々木 敬泰 (Sasaki, Takahiro)

三重大学・工学研究科・助教

研究者番号: 20362361

深澤 祐樹 (Fukazawa, Yuki)

三重大学・工学研究科・研究員

研究者番号: 90753822

大野 和彦 (Ohno, Kazuhiko)

三重大学・工学研究科・講師

研究者番号: 20303703