

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 26 日現在

機関番号：82118

研究種目：基盤研究(C) (一般)

研究期間：2012～2014

課題番号：24540313

研究課題名(和文) 時間反転対称性の破れの測定実験のための高精度時間測定器の研究

研究課題名(英文) A study of the high resolution TDC for an experiment to search for violation of time reversal invariance

研究代表者

五十嵐 洋一 (IGARASHI, Youichi)

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・研究機関講師

研究者番号：50311121

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：時間反転対称性の破れの探索実験(J-PARC E06)においても粒子の飛行時間測定(TOF)は必須の手法である。J-PARC E06 実験において TOF を行うためには平均 1 kHz の事象発生率で 50 psec より高精度で時間測定を行う機器が必要である。そのための機器を開発する為の研究を行った。いくつかの方法を比較検討の結果、時間測定には FPGA の論理セルの遅延を利用する方法を用いた。この手法での測定を実現するために、時間反転対称性の破れの探索実験に対し十分な性能を持ったデータ収集システムに接続可能な電子基板の開発を行い、時間測定を行うファームウェアの試験を行った。

研究成果の概要(英文)：Time of Flight (TOF) method for the particle identify is an essential method of an experiment to search for violation of time reversal invariance (J-PARC E06). J-PARC E06 experiment requires TOF method under 50 psec resolution measurements. And also, the measurement device should work with 1 kHz trigger rate and it should be easy to connect the standard network. We studied to develop the precise time measurement device. At first, we studied and evaluated the several methods to measure high resolution time measurement. And then, we adopt a method which use the delay time of the logic cell of the FPGA. We developed an electrical circuit board which uses this method. This board fit the J-PARC E06 experiment requirements and it can be connected the data taking system of the experiment. And we test the time measurement firmware implementation using this developed circuit board.

研究分野：高エネルギー物理学実験

キーワード：素粒子実験 データ収集 時間測定

1. 研究開始当初の背景

(1) 時間反転対称性の破れの探索

時間反転対称性(T 対称性)の破れの探索を行うことは CPT 対称性の元に CP の破れの探索を意味している。この時間反転対称性の測定を行うことで CP の破れに対して知見を得ることが出来るのだが、標準理論の枠内では時間反転の破れは非常に小さく今までの測定では観測できていない。

しかし一方では宇宙の物質/反物質の存在比の起源、いくつかの理論などから標準理論を超えた CP の破れが示唆されており時間反転対称性の精密測定を行うことは標準理論を超えた新たな物理の探索に感度をもつ良いプローブとなっている。

(2) KEK-PS E246 実験 そして J-PARC E06 実験

時間反転対称性の破れを測定するために KEK-PS において K 中間子の 3 体崩壊 $K^+ \rightarrow \pi^0 \mu^+ \nu$ ($K_{\mu 3}$ 崩壊)を利用した実験が行われた。 $K_{\mu 3}$ 崩壊における崩壊平面に対するミュオンの偏極の垂直成分(P_T)は時間反転に対して反転する物理量(T-odd)でありこの P_T を測定することが、直接時間反転対称性を測定することになる。(図 1)また、 $K_{\mu 3}$ 崩壊は偏極をゆがめる終状態相互作用が非常に小さいため精密測定が可能となる。

KEK-PS において企画された E246 実験ではこの P_T の上限を 10^{-3} まで追い込むことが出来た。[1]

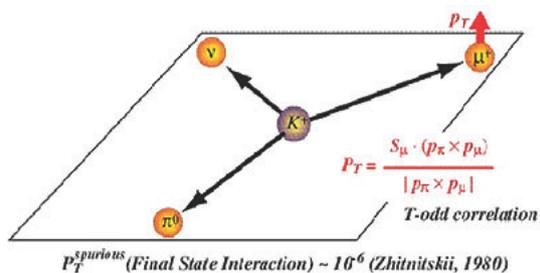


図 1: $K_{\mu 3}$ 崩壊における崩壊平面と垂直偏極成分 P_T

この結果をふまえ J-PARC で企画されている E06 TREK 実験では P_T の上限を 10^{-4} まで測定することを目的としている。

この目的を達成するポイントは系統誤差の削減と高統計である。系統誤差を削減するために偏極測定器の改良と μ SR を利用した系統誤差の削減法の研究が行われ、高統計を得るため J-PARC メインリングの大強度ビームとその高頻度粒子係数率に耐えるための検出器の研究、そして本研究が一部を占める高速なフロンエンド及びデータ収集の研究が進んでいる。

この E06 TREK 実験においても崩壊した粒子が何であるかを識別する為には粒子飛行時間測定法(TOF)が非常に重要となる。

2. 研究の目的

時間反転対称性の破れの探索実験においても粒子の飛行時間測定(TOF)は必須の手法である。J-PARC E06 実験において TOF を行うためには 50 psec より高精度で時間測定を行う必要がある。また十分な統計を集めるためには 10 kHz/event 程度の読み出し速度が必要とされる。しかしながら、現在十分な測定速度と時間測定精度を持ちデータ収集システムの一部として機能出来るものが一般に流通していない。そのため、高速に且つ高精度な時間測定を行うための手法の研究を行い、時間反転対称性の破れの探索実験に使用することを目的とした高精度時間測定用機器の開発を行う。

3. 研究の方法

研究は技術評価、試験機の開発及びその評価、実用機の開発の 3 段階を踏んで行ない、並行して FPGA ファームウェアの研究を行った。

(1) 技術評価

まず、開発に当たり時間測定の方法についての技術評価を行った。高精度時間測定を行うための手法として、既存の時間測定用 ASIC を用いて時間測定を行う方法、アナログ回路を用いてキャパシタから定電流により電荷を流出させ残った電荷を測定する方法、FPGA を利用しロジックセルの遅延時間を利用して時間測定を行う方法などがある。これら 3 通りの方法について詳細な検討を行った。候補である ASIC、ACAM 社の TDC-GP2 および TDC-GPX を詳細に検討したところ、我々が使用したいコモンストップによる時間測定は困難であることが分かり、対象とする実験には望ましくないことが分かった。アナログ回路による方法と FPGA を用いた方法を比較のうえ、技術トレンドや量産コストを考え、FPGA を用いた方法を試みることにした。

(2) 試験機の開発

一般的な光電子倍增管では負の極性の信号をインピーダンス 50 オームの同軸ケーブルで出力する。E06 TREK 実験ではこの信号をある閾値で受け、一般的な NIM レベル信号に変換する。この信号を FPGA に入力するためには負の極性の信号を受けて FPGA に入力可能な低電圧 TTL あるいは LVDS レベルのデジタル信号に変換しなければならない。この処理を低ジッタで行いたいのであるが現在の技術トレンドとは合っていないため適切な部品が入手できない。そのため、この部分の実現のために高速な差動アンプを使用した回路、PECL 出力コンパレータを使用した回路、LVDS 出力コンパレータを使用した回路、低電圧 TTL 出力コンパレータを使用した回路の 4 通りの回路を考えそれらを試験基板の設計に取り込んだ。FPGA への入力には電圧変動の少ない差動信号である LVDS が望ましいと考えられるが、

低電圧 TTL でも必要な時間精度が出せるのであれば回路の信号線の取り回しや安定度からそちらのほうが望ましいため、低電圧 TTL も考慮に入れた。回路設計は SPICE シミュレータを使用して評価を行いながら設計した。時間測定を行う FPGA には回路の安定性や機能性の他に入手製やコストも含めた考えの上 Xilinx 社の Kintex を採用した。

また、本研究を適用する E06 TREK 実験では事象を判別するためのトリガー信号や事象タグが中央唯一のトリガー機器から配布される。試験基板はこれらの要請を満たすようにネットワークによるデータの読み出しと、トリガー、タグのためのインターフェースを持つように設計された。

(3) 実用機の開発

試験機に搭載した、高速な差動アンプを使用した回路、PECL 出力コンパレータを使用した回路、LVDS 出力コンパレータを使用した回路、低電圧 TTL 出力コンパレータを使用した回路の 4 通りの回路の試験を行い、安定性、低ジッタ、消費電力、入力レベルによる FPGA 内遅延の評価を行った。

差動アンプの回路は遅延は少なく低ジッタであったが、閾値電位の調整に手間がかかるデメリットが目立った。PECL 出力コンパレータは消費電流が多い割にはジッタの向上は見られなかった。LVDS 出力コンパレータは途中 AC で切る必要があるため立下りの時間情報の誤差が増えるが、飛行時間測定を行うときは立ち上がりのみで良いため大きなデメリットはなく、低ジッタであった。低電圧 TTL 出力コンパレータは最も一般的で扱いやすいものであり低ジッタであったが TTL レベルの入力を行うと FPGA 内部の遅延に誤差が大きくなることから今回の目的にはそぐわなかった。この結果に基づき、入力回路に LVDS コンパレータを採用することとした。

これらを踏まえ入力回路を LVDS コンパレータで構成し、試験機で見つかった不具合を修正し、配線経路等に最適化を施した実用基板の開発を行った。

(4) FPGA ファームウェアの試験

測定機器のハードウェアの開発に平行して研究協力者と共に FPGA 内の遅延を利用したファームウェアの試験及び研究を進めた。試験を行った遅延回路を用いた時間測定回路の概念図を図 2 に示す。

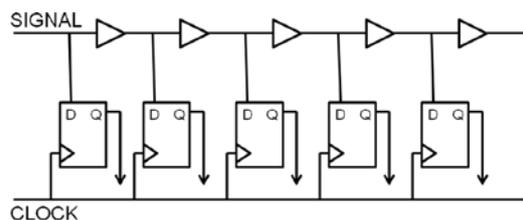


図 2: 遅延を利用した時間測定回路

遅延回路を用いて時間測定をする場合、遅延素子として用いる FPGA のセルを直線状に並べたほうが精度の向上が望める。ところが直線状に並べても、測定される時間に周期的なギャップが現れてくる。これは FPGA のセルの構造に起因すると考えられる。これらを補正するためにルックアップテーブルを用いて補正を行う方法の試験を行った。また遅延回路に立ち上がり、立下りの両方のエッジを利用することで、遅延素子上の異なる位置で同じ時間を測定し、構造的な誤差を削減する方法の試験を行った。

4. 研究成果

本研究により、J-PARC E06 TREK 実験に使用するための高精度時間測定用のモジュールの開発を行った。このモジュールは VME 標準規格に準拠し大容量と電源と事象判別のための拡張コネクタを持っている。データ収集を行うためのインターフェースとして RJ-45 のコネクタを持ちネットワークでデータを送ることが出来る。これらのインターフェースにより E06 TREK 実験で使用されるにおけるデータ収集システム[2]の一部として稼動することが出来る。開発された高精度時間測定モジュールの写真を図 3 に示す。またこの機器上で動作する、時間計測ファームウェアの研究を行い E06 TREK 実験で要求される時間測定精度の 50 psec を実現する見込みをつけることが出来た。



図 3: 開発された時間測定モジュール

<引用文献>

- [1] E246 Collaboration, "Search for T-violating transverse muon polarization in the $K^+ \rightarrow \pi^0 \mu^+ \nu$ decay", Physical Review D73 (2006).
- [2] Y. Igarashi et. al., "A Common Data Acquisition System for High-Intensity Beam Experiments" IEEE TNS 52 (2005).

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- ① Y. Miyazaki et.al, Performance test of a lead-glass counter for the J-PARC E36 experiment, Nuclear Instruments and Methods in Physics Research Section A, 査読有、779、2015、13-17、DOI: 10.1016/j.nima.2015.01.04
- ② A. Kobayashi et.al., Development of a Muon Polarimeter for the T-violation Search Experiment at J-PARC, PROCEEDINGS OF SCIENCE TIPP2014, 査読無、1、2014、110、<https://indico.cern.ch/event/192695/session/7/contribution/163>
- ③ M. Tabata et. al, Progress in developing a spiral fiber tracker for the J-PARC E36 experiment, PROCEEDINGS OF SCIENCE TIPP2014, 査読無、1、2014、328、<https://indico.cern.ch/event/192695/contribution/383>
- ④ J-PARC E10 Collaboration, Search for ${}^6_{\Lambda}H$ hypernucleus by the ${}^6Li(\pi^-, K^+)$ research at $p_{\pi^-}=1.2GeV/c$, Physics Letter, 査読有、B729、2014、39-44、DOI:10.1016/j.physletb.2013.12.062
- ⑤ Y. Igarashi, Waveform Sampler Module for J-PARC TREK Experiment, Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2012 IEEE, 査読無、1、2012、1376-1379、DOI: 10.1109/NSSMIC.2012.6551335

[学会発表] (計 4 件)

- ① A. Kobayashi, Development of a Muon Polarimeter for the T-violation Search Experiment at J-PARC, TIPP2014、2014年7月4日、アムステルダム(オランダ)
- ② M. Tabata, Progress in developing a spiral fiber tracker for the J-PARC E36 experiment, TIPP2014、2014年7月4日、アムステルダム(オランダ)
- ③ 五十嵐 洋一, J-PARC ハドロンホール K1.1BR ビームラインにおける K 中間子 ビーム調整、日本物理学会第 68 回年次大会、2013年03月27日、広島大学 東広島キャンパス(広島県・東広島市)
- ④ Y. Igarashi, Waveform Sampler Module for J-PARC TREK Experiment, 2012 IEEE Nuclear Science Symposium and Medical Imaging Conference、2012年10月30日、アナハイム(米国)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ等

J-PARC TREK collaboration:

<http://trek.kek.jp/>

J-PARC E06 TREK:

<http://trek.kek.jp/trek.html>

J-PARC E36:

<http://trek.kek.jp/e36/index.html>

6. 研究組織

(1) 研究代表者

五十嵐 洋一 (IGARASHI, Youichi)

高エネルギー加速器研究機構・素粒子原子

核研究所・研究機関講師

研究者番号: 50311121

(2) 研究分担者

齊藤 正俊 (SAITO, Masatoshi)

高エネルギー加速器研究機構・加速器支援

センター・シニアフェロー

研究者番号: 30391783

(3) 連携研究者

()

研究者番号:

(研究協力者)

高橋 智則 (TAHAHASHI, Tomonori)

大阪大学・核物理研究センター・技術補佐員

研究者番号: 80612134