

科学研究費助成事業 研究成果報告書

平成 28 年 5 月 18 日現在

機関番号：14101

研究種目：若手研究(B)

研究期間：2012～2015

課題番号：24700047

研究課題名(和文) 細粒度可変パイプライン段数構造を用いた高性能低消費電力プロセッサに関する研究開発

研究課題名(英文) Development of fine grain variable stages pipeline processor for high performance and low power consumption

研究代表者

佐々木 敬泰 (Sasaki, Takahiro)

三重大学・工学(系)研究科(研究院)・助教

研究者番号：20362361

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：近年、コンピュータの性能向上に伴う消費電力の増大が大きな問題となっている。一般にプログラムの計算量、すなわち負荷は実行するプログラムやデータにより刻々と変化するが、既存のコンピュータはそのような負荷の変動に対し最適化されていない。そこで、本研究では負荷が高い場合には高性能型の内部構成に変更することで高速に処理し、負荷が低い場合には低消費電力型に内部構成を変更することで高性能と低消費電力を勝率する手法を開発した。

研究成果の概要(英文)：Today, high-performance and low-power processor is required. Generally, a processor load changes frequently on program execution. However, many processors do not take advantage of this feature. This research proposes a fine grain variable structure to achieve both high performance and low power. When a load is low, pipeline stages are unified for low power. On the other hand, a load is high, pipeline stages are divided to construct deep pipeline for high performance. The proposed methods changes these two modes in short time.

研究分野：コンピュータアーキテクチャ

キーワード：プロセッサ 高性能低消費電力 パイプラインプロセッサ 可変パイプライン段数

1. 研究開始当初の背景

近年、プロセッサの性能向上に伴う消費電力の増大が大きな問題となっている。例えば大規模データセンターにおいては、運営コストの大部分を計算機や計算機冷却用の空調設備による電気料金が占めている。また、近年では地球温暖化への対策やエネルギー資源問題への対応の観点からも、計算機の低消費電力化に強い関心が集まっている。一方、バッテリーにより駆動するノートパソコンやネットブック、スマートフォン等の携帯端末においても高性能プロセッサが搭載されつつあり、これらの分野においても低消費電力化への要望は強くなっている。

プロセッサの低消費電力化に関する研究は広く行われているが、本研究ではプロセッサの負荷の偏りと動的変動に着目している。一般にプロセッサの負荷は、プログラムの種類やデータ、あるいは同じプログラムでも現在実行している処理内容により偏りがある。実行する処理内容が事前に分かっており、処理内容の時間的変動も少ないのであれば、図1(A)に示すように、最適なプロセッサ構成で実行すればよい。しかし、一般に汎用プロセッサではそのような仮定が成り立たないため、図1(B)に示すように典型的な処理に合わせてプロセッサの構成を最適化する。現在、広く用いられている手法では、図1(B)のようにプロセッサ構成を固定した上で、DVFS(Dynamic Voltage and Frequency Scaling)やクロックゲーティング、パワーゲーティングを適用することで消費電力を低減しているが、各プログラムの最適構成ではなく、原理的に高性能と低消費電力の両立をすることは困難である。

一方、本研究を含む可変パイプライン段数構造を採用した手法では、図1(C)のように実行する処理内容に適したプロセッサ構成に動的に変更することで上記問題を解決している。具体的には、負荷が高い場合には、高クロック動作に適したハードウェア構成に、負荷が低い場合には、低クロック動作に適したハードウェア構成に変更した上でクロックを変動させることで高性能と低消費電力を両立している。以下にその原理を簡単に説明する。一般に、図2(A)のような多段のパイプライン構造は高クロックで駆動できるため

ン構造は低消費電力であるが性能は低い。そこで、本研究では可変パイプライン段数技術を要として、負荷に応じてパイプライン段数を動的に切換えることで、効率的にプログラムを実行し、高性能と低消費電力を両立を目

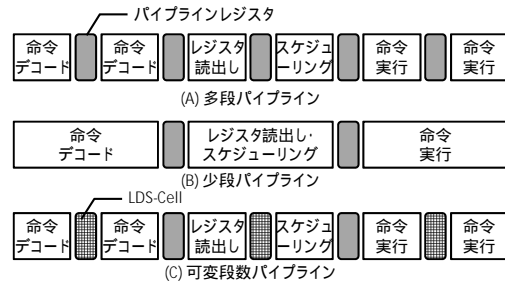


図2：可変段数パイプライン構造

指している。

2. 研究の目的

本研究の目的は、高性能かつ低消費電力を実現するプロセッサの開発である。一般に、プロセッサの負荷は実行するプログラムやデータに依存する。更に、一つのプログラムの実行においても、負荷は刻々と変動する。しかし、従来型プロセッサは典型的な処理や平均的なデータの特性に合わせて最適化されており、様々なプログラムやデータに対して常に最適な構成であるとは言い難い。そこで、本研究ではプロセッサの構造を、現在実行しているプログラムの処理内容やデータの特性に適した構成に動的に変化させることで高性能と低消費電力の両立を実現する。

3. 研究の方法

研究代表者らは、これまでに高性能低消費電力プロセッサの基礎研究として、プロセッサの構成を動的に切り替え、高負荷時には高性能を、低負荷時には電力効率の高い構成を取るプロセッサを考案し、その詳細設計、性能評価、電力評価を行ってきた。本研究では、その研究成果を発展させ、細かい負荷変動に対して細粒度に内部構成を変化させることでより高い電力効率を得る手法を開発する。また、これまでの評価結果より、プロセッサコア単体での電力削減よりもキャッシュシステムを含むプロセッサ全体での電力削減手法を行う方が効率的であることが明らかになってきた。そこで、並行して行ってきた高性能低消費電力キャッシュの研究成果の一部を適用し、更なる性能向上を目指す。

具体的には、以下の4つを行う。1) 研究基盤となるベースプロセッサの改良。2) 可変パイプライン段数プロセッサのコントローラの改良、詳細評価。3) キャッシュシステムの低消費電力化手法を開発し、設計の詳細化、性能評価。及び、本研究で想定している低消費電力プロセッサへの組込み可能性を調査。4) 近年のマルチコア化、ヘテロジニアス化へ対応すべく、ベースラインプロセッサの改良を行う。

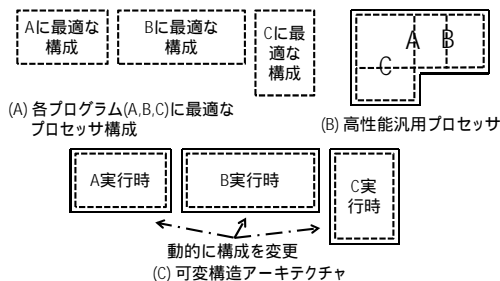


図1：プロセッサ構成

高い性能が得られる半面、消費電力が高くなる。一方、図2(B)のような少段のパイプライン

4. 研究成果

(1) ベースラインプロセッサの改良

研究代表者らは、これまでに独自のシンプルなパイラインプロセッサをベースに研究を行ってきた。しかし、より実用的な研究を行うためには、商用プロセッサで用いられているような複雑な高性能プロセッサで評価を行うことが望ましい。そこで、ノースカロライナ州立大学で開発していた FabScalar プロジェクトに参加し、コアプロセッサの命令セットを Alpha 21264 に対応させた。これにより、FabScalar の 64 ビット化に成功し、より現実的なベースラインプロセッサを利用できるようにした。

(2) 可変パイライン段数コントローラの改良

可変パイライン段数構造プロセッサを効率的に利用するためには、負荷を適切に予測し、最適なパイライン段数に切り替える必要がある。そこで、これまでに研究代表者らが提案していた粗粒度なモードコントローラを改良し、図 3 に示すような細粒度モードコントローラを開発した。このモードコントローラは高々十数命令程度の命令サンプリングで負荷を予測し、プロセッサの構成を変更できる機能を有している。本研究では、コントローラの詳細設計を行い、既存のプロセッサ上に実装した。また、実際に VLSI チップを試作し、性能評価、及び電力評価を行った。

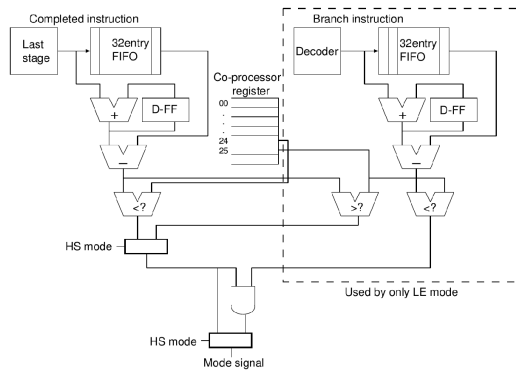


図 3 : 細粒度コントローラ

その結果、図 4 に示すようにアプリケーションにより負荷変動の傾向が異なり、細粒度なモード制御を行うことで性能を維持しつつ消費電力低下できる可能性があることを明らかにした。また、図 5 に従来の DVFS と併用した場合の評価結果を示す。本研究で対象としているような細粒度な制御は、電圧レギュレータの制約により従来の DVFS 単体では追従が困難である。しかし、本研究で提案している手法と併用することで、負荷変動の激しいプログラムにおいても、高い実行効率を得られることが明らかになった。

(3) 高性能低消費電力プロセッサ向けキャッシュシステムの開発

これまでの研究成果で、高性能と低消費電力

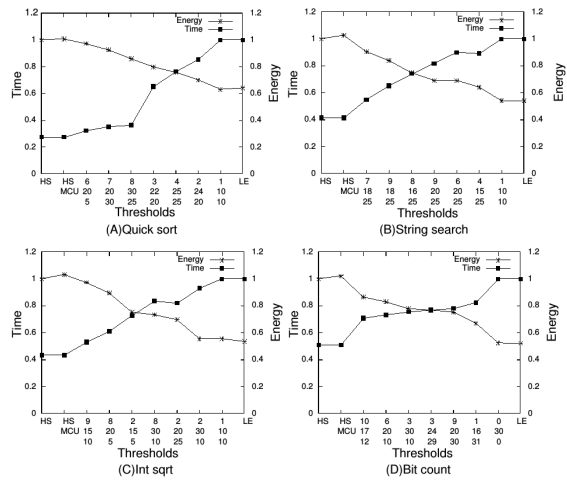


図 4 : 細粒度コントローラの特徴

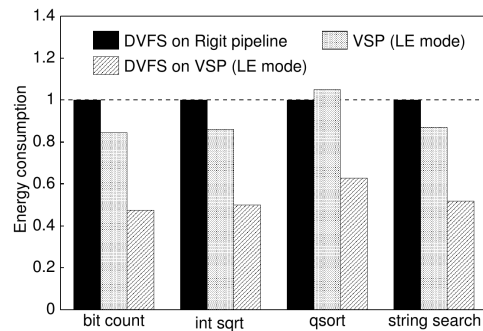


図 5 : 細粒度コントローラの有効性

の両立にはプロセッサコア単体ではなく、キャッシュシステムも同時に制御することが有効であることがわかってきた。そこで、提案手法に組込むことを想定して、負荷の動的変動に応じてキャッシュシステムの内部構造を変更することで高性能と低消費電力を両立するキャッシュシステムの開発を行った。

図 6 に提案手法のブロック図を示す。従来のキャッシュはプログラムの特性に関わらず、同じ構成、かつ同じ容量のキャッシュメモリを提供していた。しかし、プログラムが必要とするメモリ量（ワーキングセット）はプロ

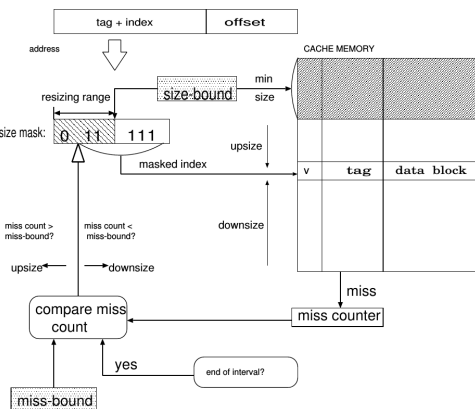
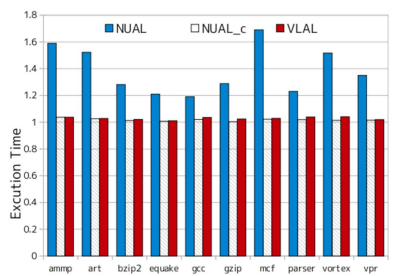


図 6 : 可変レベルキャッシュ

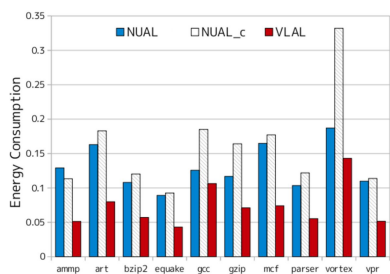
グラム毎に変わり、また実行時にも動的に変化する。そこで、提案手法では、プログラム

の特性を動的に解析し、メモリ使用量の少ないプログラムに対しては、キャッシュメモリを削減することで、性能を落とさず電力削減を目指している。

図7は提案キャッシュメモリの評価結果である。図7(A)は従来のキャッシュの実行時間を1として正規化したもの、図7(B)は従来のキャッシュの消費電力を1として正規化したもので、NUAL, NUAL_cは関連研究で提案されている手法、VLALは本研究で提案している手法である。図7より、提案手法は通常のキャッシュと同程度の処理速度を維持しつつ、消費エネルギーを約89%削減できることを明らかにした。



(A) 実行時間



(B) 消費電力

図7: キャッシュの性能評価

(4) プロセッサコアのマルチコア化、ヘテロジニアス化

本研究課題では、当初、FabScalar に Alpha 21264 命令セットを移植し、64 ビット環境で評価を行う予定であった。しかし、近年は組み込み機器や携帯端末でもマルチコア化が進み、更に異種のプロセッサコアを複数搭載するヘテロジニアス型のマルチコアプロセッサも注目されている。ヘテロジニアスマルチコアプロセッサは、性能や特徴の異なるプロ

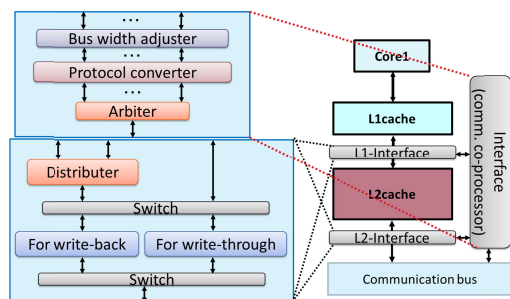


図8: フレームワークの拡張

セッサコアを複数用意しておき、プログラムの特性に応じて最適なコア上で実行することで性能と電力を最適化する手法である。本研究で提案している手法はタスクの細かい負荷変動には適しているが、負荷変動が少ないタスクに対してはヘテロジニアスマルチコアプロセッサの方が電力効率が高くなる。

そこで、本研究で提案している手法とヘテロジニアスマルチコアプロセッサのハイブリッド型を目指して、その基礎研究を行った。従来のヘテロジニアスマルチコアプロセッサの自動設計ツールでは、設計できるアーキテクチャの制約が強く、様々な性能や特徴の異なるプロセッサを複数用意することが困難であった。そこで、設計フレームワークを拡張し、設計の柔軟性を向上させた。図8に拡張したフレームワークの一例を示す。従来の固定的なアーキテクチャを再構成し、固定機能のモジュールと、プロトコル変換器やバス変換器等の可搬的なモジュールに分離することで、幅広いアーキテクチャへの適用可能性を向上させるとともに、機能の追加や仕様変更に対応できる柔軟な設計フレームワークを開発した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4 件)

Ko WATANABE, Takahiro SASAKI, Kazuhiko OHNO, Toshio KONDO: Reducing Dynamic Energy of Variable Level Cache, International Journal of Computer and Electrical Engineering, 査読有, vol.5, no.6, pp.581-586, (2013/12).

DOI: 10.7763/IJCEE.2013.V5.777

Tomoyuki NAKABAYASHI, Takahiro SASAKI, Hitoshi NAKAMURA, Kazuhiko OHNO, Toshio KONDO: Energy Optimization using Fine-Grain Variable Stages Pipeline Processor Chip, International Journal of Networking and Computing, 査読有, Vol.3, No.2, pp.192-204, (2013/7).

Takahiro SASAKI, Tomoyuki NAKABAYASHI, Kazumasa NOMURA, Kazuhiko OHNO, Toshio KONDO: Design and Evaluation of Fine-grain Mode Transition Method based on Dynamic Memory Access Analyzing for Variable Stages Pipeline Processor, IET Journal of Computers and Digital Techniques, 査読有, pp.41-47, Vol.7, No.1, (2013/1). DOI: 10.1049/iet-cdt.2012.0067

渡部 功, 佐々木 敬泰, 松原 伸幸, 大野 和彦, 近藤 利夫: モード切替オーバヘッドを低減した可変レベルキャッシュの提案と評価, 情報処理学会論文

誌コンピューティングシステム(ACS),
査読有, Vol.5, No.4, pp.48-60,
(2012/8).

[学会発表](計 26件)

武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫: MIPS ベースプロセッサの TLB 機構の改良による高性能化, 信学技報, Vol.115, No.374, CPSY2015-78, pp.13-18, (2015/12/17-2015/12/18), 京都市, 京都府.

Hiroaki Kawashima, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo: "Register port prediction for a banked register file", Proc. of the Third International Symposium on Computing and Networking, pp.551-555, (2015/12/8-2015/12/11), Sapporo Business Innovation Center (Hokkaido, Sapporo).

Seiji Miyoshi, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo: "An architectural framework of snoop interconnection for heterogeneous cache systems", Proc. of the Third International Symposium on Computing and Networking, pp.561-565, (2015/12/8-2015/12/11) Sapporo Business Innovation Center (Hokkaido, Sapporo).

武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫: スタンダードセルベース設計用の CAM 型 TLB の実装手法の提案, 情報処理学会研究報告, Vol.ARC-216, No.40, pp.1-6, (2015/8/4-2015/6), 別府国際コンベンションセンター(大分県別府市).

刀根舞歌, 佐々木敬泰, 深澤祐樹, 近藤利夫: 可変レベルキャッシュのモード切り換えアルゴリズムの改良, 情報処理学会研究報告, Vol.ARC-216, No.39, pp.1-6, (2015/8/4-2015/8/6), 別府国際コンベンションセンター(大分県別府市).

川島弘晃, 佐々木敬泰, 深澤祐樹, 近藤利夫: マルチバンク化と書込予測を用いた小面積レジスタファイルの提案, 情報処理学会研究報告, Vol.ARCH-216, No.3, pp.1-6, (2015/8/4-2015/8/6), 別府国際コンベンションセンター(大分県別府市).

杉山 智之, 佐々木 敬泰, 近藤 利夫: 機器への組込み容易なソフトマクロプロセッサの開発, 電子情報通信学会技術報告(ETNET 2014) CPSY2014-168, Vol.114, No.506, pp.37-42, (2015/3/6-2015/3/7), 奄美市社会福祉協議会(鹿児島県奄美市).

Takaki Okamoto, Tomoyuki Nakabayashi, Takahiro Sasaki and Toshio Kondo:

Detail Design and Evaluation of FabCache, Proceedings of the International Symposium on Computing and Networking(CANDAR2014), pp.591-595, (2014/12/10-2014/12/12), Shizuoka Convention & Arts Center (Shizuoka, Shizuoka city).

Tomoyuki Nakabayashi, Tomoyuki Sugiyama, Takahiro Sasaki, Eric Rotenberg, Toshio Kondo: Co-simulation Framework for Streamlining Microprocessor Development on Standard ASIC Design Flow, 電子情報通信学会技術報告, (2014/3/3-2014/3-5), 沖縄県青年会館(沖縄県那覇市).

Tomoyuki Nakabayashi, Tomoyuki Sugiyama, Takahiro Sasaki, Eric Rotenberg, Toshio Kondo: Co-simulation framework for streamlining microprocessor development on standard ASIC design flow, Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC2013), pp. 400-405, (2014/1/20-2014/1/23), Sun Tec (Singapore).

Tomoyuki Nakabayashi, Takahiro Sasaki, Toshio Kondo: Dynamic BTB Resizing for Variable Stages Superscalar Architecture, Proceedings of the International Symposium on Computing and Networking(CANDAR2013), pp. 352-358, (2013/12/4-2013/12/6), Himegin Hall (Ehime, Matsuyama city). Takaki Okamoto, Tomoyuki Nakabayashi, Takahiro Sasaki, Toshio Kondo: FabCache: Cache Design Automation for Heterogeneous Multi-core Processors, Proceedings of the International Symposium on Computing and Networking(CANDAR2013), pp.602-606, (2013/12/4-2013/12/6), Himegin Hall (Ehime, Matsuyama city).

瀬戸 勇介, 中林 智之, 佐々木 敬泰, 近藤 利夫: ハードウェアスケジューラを用いたリアルタイムマルチコアプロセッサの省電力化, 第15回組込みシステム技術に関するサマワーキョップ予行集, pp.1-6, (2013/8/22-2013/8/23), 水明館(岐阜県下呂市).

Ko WATANABE, Takahiro SASAKI, Tomoyuki NAKABAYASHI, Kazuhiko OHNO, Toshio KONDO: Reducing Dynamic Energy of Variable Level Cache, International Conference on Computer Technology and Science (ICCTS-2013), (2013/8/3-2013/8/4), United Arab Emirates(Dubai).

- 三好 聖二, 中林 智之, 佐々木 敬泰, 近藤 利夫: FabScalar を用いた可変段数パイプライン構造を有するスーパースカラコアの詳細設計, 電子情報通信学会技術報告 CPSY, Vol.113, No.169, pp.103-108, (2013/7/31-2013/8/2), 北九州国際会議場(福岡県北九州市). Tomoyuki SUGIYAMA, Takahiro SASAKI, Toshio KONDO: Development of C++/RTL co-simulation environment for accelerating VLSI design of an embedded processor, Proceedings of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2013), pp.281-284 (2013/6/30-2013/7/3), Yeosu(South Korea).
- Yusuke SETO, Takahiro SASAKI, Toshio KONDO: FabBus: A Bus Framework for Heterogeneous Multi-core processor, Proceedings of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2013), pp.254-257 (2013/6/30-2013/7/3), Yeosu(South Korea).
- Hitoshi NAKAMURA, Takahiro SASAKI, Toshio KONDO: Fabrication and Evaluation of Variable Stages Pipeline Processor Chip with Fine-grain Mode Transition Controller, Proceedings of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2013), pp.258-261 (2013/6/30-2013/7/3), Yeosu(South Korea).
- 瀬戸 勇介, 佐々木 敬泰, 大野 和彦, 近藤 利夫: ヘテロジニアスマルチプロセッサ環境を対象とした AMBA バスフレームワークの設計と評価, Vol.2012-ARC-201, No.27, pp.1-7 (2012/8/1-2012/8/3), とりぎん文化会館(鳥取県鳥取市).
- 渡部 功, 佐々木 敬泰, 大野 和彦, 近藤 利夫: 三段階対応の可変レベルキャッシュのマルチスレッドアプリケーションを用いた評価, 研究報告計算機アーキテクチャ(ARC), Vol.2012-ARC-201, No.12, pp.1-8 (2012/8/1-2012/8/3), とりぎん文化会館(鳥取県鳥取市).
- 21 Ko WATANABE, Takahiro SASAKI, Kazuhiko OHNO, Toshio KONDO, Improvement of Writeback Mechanism of Variable Level Cache, Proceedings of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2012), pp.C-T2-03 (2012/7/15-2012/7/18), Sapporo Business Innovation Center (Hokkaido, Sapporo).
- 22 Tomoyuki NAKABAYASHI, Takahiro SASAKI, Kazuhiko OHNO, Toshio KONDO: VLSI implementation of Variable Stages Pipeline Processor using Fine-Grain Pipeline Depth Controller, Proceedings of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2012), pp.C-T1-03 (2012/7/15-2012/7/18), Sapporo Business Innovation Center (Hokkaido, Sapporo).
- 23 Tomoyuki NAKABAYASHI, Takahiro SASAKI, Hiroshi NAKAMURA, Kazuhiko OHNO, Toshio KONDO: Measurement of Low-Energy Processor Chip using Fine-Grain Variable Stages Pipeline Architecture, Proceedings of International Conference on Networking and Computing (ICNC), 293-297, (2012/12/5-2012/12/7), Okinawa Gender Equality Center (Okinawa, Naha city).
- 24 中村 仁, 中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫: 細粒度モード切換コントローラを用いた可変パイプライン段数プロセッサのチップ試作と評価, 先進的計算基盤システムシンポジウム SACSIS 2012, pp.6-7 (2012/5/16-2012/5/18), 神戸国際会議場(兵庫県神戸市).
- 25 渡部 功, 佐々木 敬泰, 大野 和彦, 近藤 利夫: NUAL キャッシュの改良と可変レベルキャッシュへの適用, 先進的計算基盤システムシンポジウム SACSIS 2012, pp.2-3, (2012/5/16-2012/5/18), 神戸国際会議場(兵庫県神戸市).
- 26 中林 智之, 佐々木 敬泰, Eric Rotenberg, 大野 和彦, 近藤 利夫: FabScalar の Alpha 21264 命令セット対応とマルチプロセッサ環境フレームワークの構築, 先進的計算基盤システムシンポジウム SACSIS 2012, pp.374-381 (2012/5/16-2012/5/18), 神戸国際会議場(兵庫県神戸市).
6. 研究組織
 (1) 研究代表者
 佐々木 敬泰 (SASAKI, Takahiro)
 三重大学・工学研究科・助教
 研究者番号: 20362361