

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 24 日現在

機関番号：55401

研究種目：若手研究(B)

研究期間：2012～2014

課題番号：24700056

研究課題名(和文)パス遅延テスト容易性を考慮した高位合成システムの開発

研究課題名(英文)Development of a High-level Synthesis System for Path Delay Testability

研究代表者

吉川 祐樹 (Yoshikawa, Yuki)

呉工業高等専門学校・機械工学分野・准教授

研究者番号：50453212

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：近年の高速に動作するLSIは遅延故障による不良チップが増加している。製造チップの市場不良率の抑制や製造コスト削減の観点から、遅延故障に対する高品質かつ低コストなテスト技術の開発は産業界で重要な課題となっている。本研究課題では、回路設計における上位段階からテスト容易性を考慮した設計手法(高位合成法)の提案を行った。

研究成果の概要(英文)：The increase in speed and performance of LSIs result in the increase in defective chips. To reduce the yield loss of produced chips and the cost of them, development of high quality and low cost test techniques is important. This research project has proposed a method of design (or high level synthesis) for testability at behavioral level.

研究分野：LSI-CAD, 高信頼設計

キーワード：遅延テスト容易性 高位合成

1. 研究開始当初の背景

半導体技術の進歩によりLSIはますます高性能化し、携帯電話、家電、車載制御などデジタルシステムは我々の日常生活に深く浸透した。しかし一方で、複雑化するLSIに対して正常かつ所望の性能を満たしていることを確認するためのテストはますます困難を極め、チップの総製造コストに対するテストコストの占める割合は増加している。

特に近年の高速に動作するLSIでは、製造時のばらつきや物理的欠陥が原因となる信号伝搬の遅れ(以降これを遅延故障と呼ぶ)による不良チップが多く、市場不良率の抑制や製造コスト削減の観点から、遅延故障に対する高品質かつ低コストなテスト技術は産業界で強く求められている。遅延故障の中でもパス遅延故障は、パス(記憶素子から組合せ論理を通して別の記憶素子までの配線経路)上の信号の伝搬が遅れる故障モデルで、パス遅延故障のテストを行うことで同期クロックに間に合わない配線経路を見つけることができる。

図1は提案する設計工程を示している。これまでパス遅延故障のテストを高品質にかつ容易にするためのテスト容易化設計の研究はされているが、一般には設計の下位段階であるゲートレベル回路に対して提案されているものが多い。そこで研究代表者は設計の上位段階である高位合成に着目し、スケジューリングやバインディング時にテスト容易性を考慮した設計法を提案することに着手した。

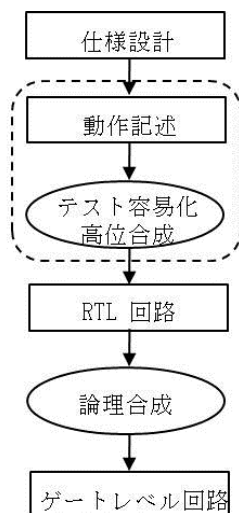


図1 提案する設計工程

2. 研究の目的

近年の設計行程はC言語などのプログラムで動作を記述するなどより上位から設計されている。そこで本研究ではテスト容易性も上位から同時に考えることで、テストのために付加する回路面積をより小さくし、かつ高品質なテストを実現することを目的

としている。

これまでのテスト容易化設計は、産業界で広く使われているスキャン設計のようにゲートレベルで行われることが主流であったが、近年では、設計の上位段階からテストを考慮した設計が注目され始めている。図1に示すようにゲートレベルは設計工程の下位段階にあたり、実際の物理的欠陥を故障モデルで表現しやすい。しかしその一方、ゲートレベルまで合成された回路では各要素の機能や動作を知ることは難しく、テスト時の動作は回路の通常動作と独立させざるを得ない。そのため、テスト動作のために追加するハードウェア面積や動作速度の遅延オーバーヘッドが大きという問題がある。

これに対し設計の上位段階では、回路の通常動作だけでなくテスト時の動作も併せて設計することができ、動作速度や回路面積の制約を満たし、かつテスト容易な回路の合成が期待できる。

設計の上位からテストを考慮した設計手法として、パス遅延故障に対するテスト容易性をレジスタ転送レベル(RTL)で保証する設計技術が提案されている。この手法はRTLの回路構造情報を利用し、通常動作で使用するデータ転送経路をテスト時にも使用することで、テスト用の付加回路を削減している。しかし、依然として通常動作とテスト動作は独立して制御されている。

本研究ではRTLよりさらに上位の高位合成の段階でテスト容易性を考慮するテスト容易化高位合成を提案する。このテスト容易化高位合成では、通常動作と遅延故障のテスト動作がオーバーラップするように回路を合成する。つまり通常動作の中でテストを行うことができるため、設計の後段過程においてテスト動作のためのハードウェアの追加を削減できる利点がある。

ただしテスト動作を考えない通常動作のみの合成結果に比べて、テスト動作もオーバーラップするように合成するので合成後の回路面積が大きくなる、もしくは動作速度が下がることが考えられる。この研究で考えるべきポイントは、通常動作とテスト動作をオーバーラップさせながら最適な合成を行うアルゴリズムを提案することである。

3. 研究の方法

高位合成は、各演算をどの時刻で実行するのかを決めるスケジューリングと、その後段過程として各演算をどの演算器で実行するのか各変数の値をどのレジスタで記憶するのかを決めるバインディングの2つの処理からなる。本研究では、パス遅延テスト容易性を考慮したバインディング法とスケジューリング法に分けて研究を進めた。パス遅延テスト容易性を考慮したバインディング法では、さらにパス遅延テスト可能パスのためのバインディング条件の整理と面

積最適化のためのバインディングアルゴリズムの提案の2つに分けてアプローチする。また、パス遅延テスト容易性を考慮したスケジューリングでは、効果的なスケジュール済みデータフローグラフの解析と面積最適化のためのスケジューリングアルゴリズムの提案の2つに分けて研究を進めた。それぞれのサブテーマに関しては研究代表者の研究室の学生の卒研テーマとして研究指導も行った。

パス遅延テスト可能パスのためのバインディング条件の整理では、スケジュール済みデータフローグラフ上の3項組(変数, 演算, 変数)に対応する合成後のRTL回路のパス(レジスタ, 演算器, レジスタ)がパス遅延テスト可能になるためのバインディング条件を整理するところから取り組み, 合成後のRTLのパスがテスト可能となるための定義を行った。

面積最適化のためのバインディングアルゴリズムの提案は, まずこれまでに提案されている高位合成のアルゴリズムに着目した。このテーマでは, これまでに提案されている面積最小のためのヒューリスティックにパス遅延テスト可能となるための制約を付加するアプローチで研究を進めた。

パス遅延テスト容易性を考慮したスケジューリングも同様に, 既存のスケジューリングアルゴリズムに着目するところから始めた。演算器やレジスタなどのリソース制約を満たす中で最適な実行時間のスケジューリングを行うアルゴリズムに着目し, さらにテスト可能な演算器数が多くなるよう研究を進めた。

以上の方法で平成24年度から平成26年度までの3年間本研究課題に取り組んだ。

4. 研究成果

現在, スキャン設計などゲートレベルでのテスト容易化設計は付加面積が大きいことや動作速度への影響が問題となる中, 設計の上流段階から通常動作とパス遅延テストの動作を同時に考えることにより, 提案手法は従来のゲートレベルでのテスト容易化設計に比べて回路面積を削減できることが分かった。また, 研究を進める中でパス遅延故障だけでなく, 遷移故障モデルに対してもテスト容易な高位合成手法の提案を行った。面積の削減はシステムの小型化だけでなく, 消費電力の削減や故障率の観点から信頼性を上げることにもつながる。

遅延故障のテスト容易性を考慮したバインディング法では, 通常動作で始点に遷移が起こるパスについて遅延故障のテストを行うことができる手法を提案した。また, 実験結果では回路面積を最小にすることを目的としたバインディング法と比較し, 提案手法の有効性を示した。この比較実験では, 提案手法がテスト容易性を保証する回路を生成するのに対して, 回路面積最小を

目的とするバインディングは, 面積の小さい回路を生成できるものの, テスト容易性はほとんど得られないことが分かった。また, 回路面積最小を目的として生成した回路に対して, テスト容易性を保証するために設計の下位段階(ゲートレベル)でスキャン設計を行った場合, 結果的に提案手法よりも回路面積が大きくなるケースが多いことが分かった。

テスト容易性を考慮したスケジューリング法では, スケジューリングの後段処理となるバインディングでテスト容易性を保証しやすいスケジュール済みデータフローグラフを生成する手法を提案した。実験では既存の手法(リソース制約の中で実行時間ができるだけ短くなることを目的とする)と提案手法を比較し, その有効性を示すことができた。例えばあるデータフローグラフに対して提案手法と既存の手法を適用した場合, 通常動作の中で遅延テストを行うことができる演算器数が多くなることが分かった。これは, 遅延故障のテストができない演算器に対して, テストのための動作を行う制御回路を削減することができ, 結果的に回路面積が小さくなることを意味する。

本節の冒頭で述べたとおり, 提案する回路合成法を用いることで, 遅延故障のテストと行うことができ, かつ回路面積も小さい回路を生成することができるといえる。

5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

[雑誌論文](計 1件)

古本圭, 吉川祐樹, "パス遅延故障の過剰テストを削減するためのテストパターン生成法," 情報科学技術フォーラム講演論文集, 査読有, RC-004, pp. 85-88, 2013年9月。

[学会発表](計 4件)

中谷夏主政, 吉川祐樹, "遅延故障のテスト容易性を指向した高位合成におけるスケジューリングに関する研究," 総合大会情報・システムソサイエティ特別企画, pp. 173, 2015年3月12日, 立命館大学(滋賀県・草津)。

Kei Furumoto and Yuki Yoshikawa, "A Binding Method to Synthesize Path Delay Testable RTL Circuits," Proc. 4rd International Symposium on Technology for Sustainability (ISTS), CD-ROM, 20 Nov. 2014, 台北(台湾)。

Kei Furumoto and Yuki Yoshikawa, "A Scheme of Test Pattern Generation to Reduce Over-testing of Path Delay

Faults," Proc. 3rd International Symposium on Technology for Sustainability (ISTS), CD-ROM, 21 Nov. 2013, 香港(中国).

Yuki Yoshikawa, "A Binding Algorithm in High-Level Synthesis for Path Delay Testability," Proc. the 18th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 546-551, 24 Jan. 2013, パシフィコ横浜(神奈川県・横浜).

6. 研究組織

(1) 研究代表者

吉川 祐樹 (YOSHIKAWA Yuki)

呉工業高等専門学校・機械工学分野・准教授

研究者番号 : 50453212