

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 16 日現在

機関番号：13901

研究種目：若手研究(B)

研究期間：2012～2015

課題番号：24760266

研究課題名(和文)誘導結合通信を用いた無線接続型ジッタ情報試験システムの開発

研究課題名(英文)Development of Wireless Jitter Testing System Using Inductive-Coupling Interface

研究代表者

新津 葵一(Niitsu, Kiichi)

名古屋大学・工学(系)研究科(研究院)・講師

研究者番号：40584785

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：半導体集積回路(相補型金属酸化膜半導体集積回路、CMOS集積回路)の高速動作化に伴い、半導体集積回路の時間ドメインの基準信号であるクロック信号における理想タイミングからの時間揺らぎ(ジッタ)による動作不良の問題が顕在化している。本研究においては、誘導結合通信(インダクタ間の誘導結合を利用した通信技術)の低消費電力・低コストという特長に着目して、誘導結合通信を用いた無線接続型ジッタ情報試験システムの開発を行い、その実証に成功した。

研究成果の概要(英文)：As an operational frequency of semiconductor integrated circuits (CMOS LSIs) is increasing rapidly, operational errors due to clock jitters become serious. In this research, wireless jitter testing system using low-power and low-cost inductive-coupling communication for reducing test cost was developed.

研究分野：集積回路工学

キーワード：半導体集積回路 ジッタ テスト容易化技術 低消費電力 低コスト 高速化 集積回路設計 アナログ集積回路

1. 研究開始当初の背景

近年の半導体集積回路の動作周波数(半導体集積回路内で使用されるクロック信号の周波数)は上昇の一途をたどっており、最新のプロセッサ集積回路においては3 GHz以上のクロック信号が用いられている。クロック周波数が向上するにつれて、クロック信号の理想タイミングからの時間揺らぎ(ジッタ)による動作不良の問題が顕在化している。製品出荷後のジッタによる動作不良を未然に防ぐために、製品出荷前の試験において十分にジッタ情報を試験する必要があるが、従来より広く用いられているプロービングを利用した手法では、針(プローブ)を用いて物理的に測定を行うため微細化が困難であり、低信頼性・低精度という問題が生じる。また、プローブ駆動の際には大電流を要し、高速化が困難であるため高コスト化にもつながる。特に、トランジスタが微細化により小型化しているのに対して入出力パッド(I/Oパッド)は小型化が困難であるため、相対的なコストは上昇の一途をたどっており、I/Oパッドを用いないテスト手法の開発が必須となっている。

2. 研究の目的

製品出荷前の試験において物理的接触を避けるためには非接触にて通信を行う必要性があるが、近距離の非接触通信として注目を集めているのが誘導結合通信である。誘導結合通信はチップ上の配線層を用いてインダクタを形成し、インダクタ間の電磁的結合を用いてパルスベース通信を行う手法であり、低電力・低コスト・高速動作が報告されている。さらに誘導結合通信を用いた世界の先駆けとなるマルチコア・プロセッサと大容量メモリの三次元集積が実現されており、大きな注目を集めている。さらに、誘導結合通信はクロック信号に同期したパルスベース通信であるために、クロック信号のジッタ情報をパルスに乗せて伝送することができる。

そこで、誘導結合通信技術をウエハレベルテストにおけるジッタ測定に活用できないかという着想に至った。チップ上で取得したジッタ情報を通信に用いるパルスに乗せて伝送することで無線接続型ジッタ情報試験システムを実現する。本研究課題においては、プロービングによる手法を誘導結合通信に置き換えて、低コスト・微細化に有利・高速・低電力・高精度なジッタ情報試験手法の確立を目指す。

3. 研究の方法

半導体チップ上で取得したジッタ情報を通信に用いるパルスに乗せて伝送することで無線接続型ジッタ情報試験システムをシミュレーションベースで解析を行い有効性を確認する。その後、マスクレイアウトを行って、物理パラメータを考慮したポストレイアウトシミュレーションを行い、より精度の

高い検証を行う。シミュレーションベースで有効性が確認できた回路技術を実際の半導体集積回路に実装して、評価を行う。

4. 研究成果

(1) 新規ジッタ情報取得手法の提案・実証：自己参照クロック計測技術

ジッタを半導体チップ上で正確に計測するために、「自己参照クロック技術」を用いた超高分解能オンチップジッタ試験技術の開発を行った。従来のオンチップジッタ試験技術では、外部から入力される基準となる参照クロックが必要とされたため、「参照クロック自身のジッタ」が試験分解能を律則してしまい、高分解能化が望めなかった。そこで、参照クロックの代わりに被試験クロックを複数サイクル遅らせた信号を使い、「被試験クロック」と「複数サイクル遅れた被試験クロック」とでタイミングを比較する「自己参照クロック技術」を提案し、世界初の参照クロックが不要なジッタ試験回路の開発に成功した。参照クロック自身のジッタに分解能が制限されなくなったために、28fsという従来の400fsを大幅に更新する超高分解能ジッタ測定を実現した。

従来技術においては、外部からの参照クロック(ジッタの小さい基準信号)を用いており、参照クロックの正確さに依存して試験を行っていた。外部から入力される参照クロックは高価な計測器を用いても1ps程度のジッタを有しており、100fsオーダのジッタを計測することは事実上不可能であった。提案する方式においては、参照クロックが不要なため、参照クロック自身のジッタに分解能が制約されず、理論上計測限界が存在しない点において革新性を有する。また、外部からチップ上の測定地点へのクロック供給回路が不要なため、圧倒的に低コストでオンチップ試験を実現可能である。

- 外部からの参照クロックを必要としない
- 高速ピン・高価な計測器が不要となり劇的な低コスト化を実現
- 計測精度が参照クロック自身のジッタによって制限されず、高精度



図1 提案する自己参照クロック技術を用いたジッタ計測の特長

図1に提案する自己参照クロック技術を用いたジッタ計測の特長を示す。従来技術においては、基準信号となる参照クロック(被計測クロックと同周波数)を外から入力していたが故に高速の入力ピンならびに高速かつ低ジッタの信号発生が可能で高価な計測器が必須となり、高コストであった。一方、提案する自己参照クロック技術においては高速の入力ピンが不要なために高速入力ピンや高価な計測器、ならびに参照クロックをテスト回路へと分配するための回路実装面積が不要となり、劇的な低コ

スト化が可能となる。さらに前述のように計測精度が参照クロック自身のジッタ(通常 1ps 程度)によって制限されず、高精度となる。

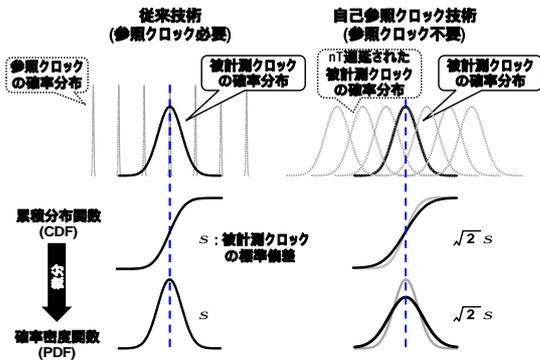


図2 提案する自己参照クロック技術の技術概要

図2に提案する自己参照クロック技術の技術概要を示す。従来は参照クロックというジッタが小さく、基準となるクロック信号を外部から入力することで計測精度を確保していた。一方、提案する自己参照クロック技術においては、クロックサイクルの複数倍だけ遅延させた被計測クロックを参照クロックの代替として使用する。このため、得られる累積分布関数ならびに確率密度関数はルート2倍されたものとなる。

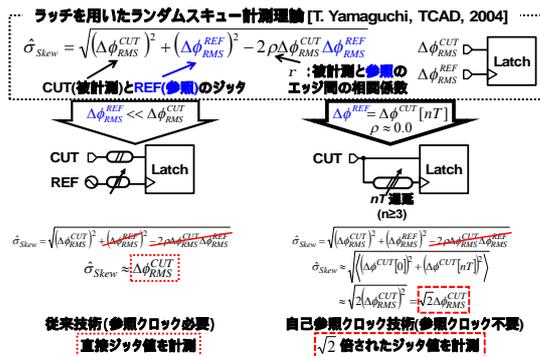


図3 提案する自己参照クロック技術の理論背景

図3に提案する自己参照クロック技術の理論背景を示す。ラッチを用いたランダムスキュー計測理論(T. Yamaguchi, IEEE TCAD, 2004)を用いて、図中の数式のように説明される。従来技術においては、参照クロックのジッタを小さく抑える必要があり、これによって精度が制限されることが分かる。自己参照クロック技術において図中の理論が保証されるためには、被計測クロックと複数クロックサイクル遅延された被計測クロックの相関係数を出来る限り低く抑える必要がある。故に、被計測クロック信号のジッタの特性によって最適な遅延サイクル数を定める必要性がある。

最適なサイクル数は半導体集積回路内のクロック発生源である PLL(位相同期ループ)の特性に大きく依存する。よって、実用化の際には最初のサンプルチップにおいて PLL のジッタ特性を見積もっておき、そのジッタ特性を踏まえたうえで最適なサイクル数を定める必要性がある。

図4に提案する自己参照クロック技術の実証結果を示す。実際の半導体集積回路上に提案回路技術を実装して、実デバイス上での評価を行った。

計測された累積分布関数と高分解能化を実現するために搭載された時間増幅回路のゲイン測定値から、確率密度関数を得た。時間増幅回路は、2つのエッジ間の時間を増幅できる回路技術である。確率密度関数は累積分布関数を微分することで得られる。

得られた確率密度関数はガウス分布となっており、得られた分布からガウシアンフィッティングによって得られた RMS 値は 2.36 ps となった。自己参照クロック技術によってルート2倍になっていることを加味すると被計測クロック信号のジッタは 1.67 ps 程度であることが想定される。高精度ジッタ測定が可能な計測器であるサンプリングオシロでの計測値は 1.61 ps であり、十分な高精度計測が実証された。若干大きな計測値が得られてしまったのは、被計測クロックと複数サイクル遅延された被計測クロックの間の相関係数が完全に0でないためと想定される。

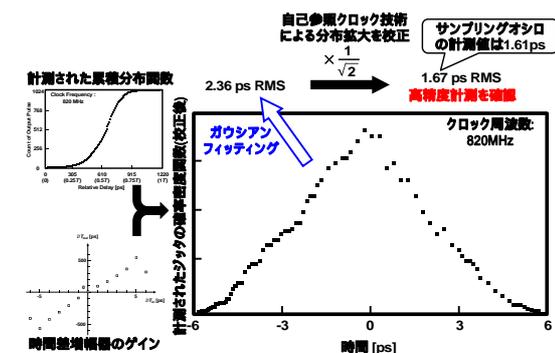


図4 提案する自己参照クロック技術の実証結果

一連の研究成果は、IEEE Solid-State Circuits Society が発行する国際学術論文誌、IEEE Journal of Solid-State Circuits に掲載された。

(2) 新規ジッタ情報伝達手法の提案・実証：誘導結合型ジッタ情報送受信技術

また、前述の技術で取得したジッタ情報を誘導結合通信で送受信する技術を確認した。誘導結合通信においては送受信チャネルにおいてノイズが印加されてしまうため、ノイズ耐性を高めることが必須である。本研究においては、時間増幅回路と組み合わせることでノイズ耐性の高いジッタ情報試験システ

ムを確立することに成功した。半導体集積回路において提案技術を実装して、実デバイス上で評価を行い、その有効性を実証することに成功した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 24件)すべて査読あり

1. Kiichi Niitsu, Tsuyoshi Kuno, Masayuki Takihi, and Kazuo Nakazato, "Well-Shaped Microelectrode Array Structure for High-Density CMOS Amperometric Electrochemical Sensor Array," accepted to IEICE Transactions on Electronics, Jun. 2016.
2. Kiichi Niitsu, Kohei Yoshida, and Kazuo Nakazato, "Design and experimental demonstration of low-power CMOS magnetic cell manipulation platform using charge recycling technique," JJAP, vol. 55, no. 3S2, 03DF13 (4 pages), Feb. 2016. DOI: 10.7567/JJAP.55.03DF13
3. Suiki Tanaka, Kiichi Niitsu, and Kazuo Nakazato, "A Low-Power Inverter-Based CMOS Level-Crossing A/D Converter for Low-frequency Biosignal Sensing," JJAP, vol. 55, no. 3S2, 03DF10 (7 pages), Feb. 2016. DOI:10.7567/JJAP.55.03DF10
4. Yuuki Yamaji, Kiichi Niitsu, and Kazuo Nakazato, "Design and Experimental Verification of Low-Voltage Two-Dimensional CMOS Electrophoresis Platform with 32×32 Sample/Hold Cell Array," JJAP, vol. 55, no. 3S2, 03DF07 (5 pages), Feb. 2016. DOI: 10.7567/JJAP.55.03DF07
5. Kiichi Niitsu, Shoko Ota, Kohei Gamo, Hiroki Kondo, Masaru Hori, and Kazuo Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems (TBioCAS), vol. 9, no. 5, pp. 607-619, Nov. 2015. DOI: 10.1109/TBCAS.2015.2479656
6. Kiichi Niitsu, Yusuke Osawa, Daiki Hirabayashi, Osamu Kobayashi, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A CMOS PWM Transceiver Using Self-Referenced Edge Detection," IEEE Transactions on Very Large Scale Integration (VLSI) Systems (TVLSI), vol. 23, no. 6, pp. 1145-1149. Jun. 2015. DOI: 10.1109/TVLSI.2014.2321393
7. Hiroki Ishihara, Kiichi Niitsu, and Kazuo Nakazato, "Analysis and Experimental Verification of DNA Single Base Polymerization Detection Using CMOS FET-Based Redox Potential Sensor Array," Jpn. J. Appl. Phys., vol. 54, no. 4S, 04DL05 (6 pages), Mar. 2015. DOI:10.7567/JJAP.54.04DL05
8. Kiichi Niitsu, Naohiro Harigai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A Low-Offset Cascaded Time Amplifier with Reconfigurable Inter-Stage Connection," IEICE Electronics Express, vol. 11, no. 10, pp. 20140203, May 2014. DOI: 10.1587/elex.11.20140203
9. Tsuyoshi Kuno, Kiichi Niitsu, and Kazuo Nakazato, "Amperometric Electrochemical Sensor Array for On-Chip Simultaneous Imaging," JJAP, vol. 53, 04EL01 (7 pages), Feb. 2014. DOI: 10.7567/JJAP.53.04EL01
10. Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Daiki Hirabayashi, Yuta Arakawa, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Yuji Yano, Tatsuhiro Gake, Takahiro J. Yamaguchi, and Nobukazu Takai, "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," Journal of Electronic Testing: Theory and Applications, vol. 29, no. 6, pp. 879-892, Dec. 2013. DOI: 10.1007/s10836-013-5408-6
11. Kiichi Niitsu, Naohiro Harigai, and Haruo Kobayashi, "Design Methodology for Determining the Number of Stages in a Cascaded Time Amplifier to Minimize Area Consumption," IEICE Electronics Express, vol. 10, no. 11, pp. 20130289, Jun. 2013. DOI: 10.1587/elex.10.20130289

12. Kiichi Niitsu, Naohiro Harigai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A Feed-Forward Time Amplifier Using Phase Detector and Variable Delay Line," *IEICE Transactions on Electronics*, vol.E96-C, no.6, pp. 920-922, Jun. 2013. DOI: 10.1587/transele.E96.C.920
13. Keisuke Kato, Fumitaka Abe, Kazuyuki Wakabayashi, Chuan Gao, Takafumi Yamada, Haruo Kobayashi, Osamu Kobayashi, and Kiichi Niitsu, "Two-Tone Signal Generation for ADC Testing," *IEICE Transactions on Electronics*, vol.E96-C, no.6, pp. 850-858, Jun. 2013. DOI: 10.1587/transele.E96.C.850
14. Zachary Nosker, Yasunori Kobori, Haruo Kobayashi, Kiichi Niitsu, Nobukazu Takai, Takeshi Oomori, Takahiro Odaguchi, Isao Nakanishi, Kenji Nemoto, Jun-ichi Matsuda, "A Small, Low Power Boost Regulator Optimized for Energy Harvesting Applications," *Analog Integrated Circuits and Signal Processing*, vol. 75, no. 2, pp. 207-216, Apr. 2013. DOI: 10.1007/s10470-012-0017-3
15. Kiichi Niitsu, Masato Sakurai, Naohiro Harigai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 47, no. 11, pp. 2701-2710, Nov. 2012. DOI: 10.1109/JSSC.2012.2211655
16. Kazuyuki Wakabayashi, Keisuke Kato, Takafumi Yamada, Osamu Kobayashi, Haruo Kobayashi, Fumitaka Abe, and Kiichi Niitsu, "Low-Distortion Sinewave Generation Method Using Arbitrary Waveform Generator," *Journal of Electronic Testing: Theory and Applications*, vol.28, no.5, pp. 641-651, Oct. 2012. DOI: 10.1007/s10836-012-5293-4
17. Kiichi Niitsu, Shusuke Kawai, Noriyuki Miura, Hiroki Ishikuro, and Tadahiro Kuroda, "A 65fJ/b Inter-Chip

Inductive-Coupling Data Transceivers Using Charge-Recycling Technique for Low-Power Inter-Chip Communication in 3-D System Integration," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems (TVLSI)*, vol. 20, no. 7, pp. 1285-1294, Jul. 2012. DOI: 10.1109/TVLSI.2011.2150252

【学会発表】(計 75 件)すべて査読あり

1. Kiichi Niitsu, Atsuki Kobayashi, Yudai Ogawa, Matsuhiko Nishizawa, and Kazuo Nakazato, "An Energy-Autonomous, Disposable, Big-Data-Based Supply-Sensing Biosensor Using Bio Fuel Cell and 0.23-V 0.25- μm Zero-Vth All-Digital CMOS Supply-Controlled Ring Oscillator with Inductive Transmitter" in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2015), 24th, Oct. 2015, pp. 595-598. アトランタ (米国)
2. Kohei Gamo, Kiichi Niitsu, and Kazuo Nakazato, "Noise-Immune Current-Integration-Based CMOS Amperometric Sensor Platform with 1.2 μm \times 2.05 μm Electroless-Plated Microelectrode Array for Robust Bacteria Counting," in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2015), 24th, Oct. 2015, pp. 539-542. アトランタ (米国)
3. Hayato Komori, Kiichi Niitsu, Junko Tanaka, Yu Ishige, Masao Kamahori, and Kazuo Nakazato, "An Extended-Gate CMOS Sensor Array with Enzyme-Immobilized Microbeads for Redox-Potential Glucose Detection," in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2014), Oct. 2014, pp. 464-467. ローザンヌ(スイス)
4. Shoko Ota, Kiichi Niitsu, Hiroki Kondo, Masaru Hori, and Kazuo Nakazato, "A CMOS Sensor Platform with 1.2 μm \times 2.05 μm Electroless-Plated 1024 \times 1024 Microelectrode Array for High-Sensitivity Rapid Direct Bacteria Counting," in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2014), Oct. 2014, pp. 460-463. ローザンヌ(スイス)

5. Masayuki Takihi, Kiichi Niitsu, and Kazuo Nakazato, "Charge-Conserved Analog-to-Time Converter for a Large-Scale CMOS Biosensor Array," in Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS 2014), Jun. 2014, pp. 33-36.メルボルン(オーストラリア)
6. Daiki Hirabayashi, Yusuke Osawa, Naohiro Harigai, Osamu Kobayashi, Kiichi Niitsu, Takahiro J. Yamaguchi, and Nobukazu Takai, "Phase Noise Measurement with Sigma-Delta TDC," in Proc. IEEE International Test Conference (ITC 2013) (Poster Session), 6th, Sep. 2013. アナハイム(米国)
7. Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Masato Sakurai, Osamu Kobayashi, Takahiro J. Yamaguchi, and Haruo Kobayashi, "Design of a Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges," in Proc. IEEE/ACM Asia and South Pacific Design Automation Conference (ASP-DAC 2013), 22nd, Jan. 2013, pp. 103-104. 横浜市
8. Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Masato Sakurai, Osamu Kobayashi, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges," in Proc. IEEE Symposium on VLSI Circuits (VLSIC 2012), 15th, Jun. 2012, pp. 142-143. ホノルル(米国)

〔図書〕(計 1 件)

1. H. Kobayashi, T. Nabeshima, J. Matsuda, K. Nishijima, T. Sato, Y. Ishihara, Y. Tamai, M. Horiguchi, Y. Kobori, N. Takai, Z. Nosker, K. Niitsu, N. Ui 共著 "Handbook of Power Management Circuits", Pan Stanford Publishing Pte Ltd, ISBN :978-9814613156, 2016 年 3 月

〔産業財産権〕

出願状況(計 1 件)

1. 名称: 超並列的生体分子検出方法および装置
 発明者: 中里和郎、新津葵一、瀧日慎志
 権利者: 名古屋大学
 種類: 特許

番号: 特願 2014-093755
 出願年月日: 2014 年 4 月 30 日
 国内外の別: 国内

取得状況(計 4 件)

1. 名称: 時間増幅回路及びその特性テスト
 を実行するためのプログラム
 発明者: 新津葵一、小林春夫
 権利者: 半導体理工学研究センター
 種類: 特許
 番号: 5703324
 取得年月日: 2015 年 2 月 27 日
 国内外の別: 国内
2. 名称: TIME DIFFERENCE AMPLIFIER
 CIRCUIT
 発明者: K. Niitsu, N. Harigai, H. Kobayashi, (他 1 名, 1 番目)
 権利者: 半導体理工学研究センター
 種類: 特許
 番号: 13/601,139
 取得年月日: 2014 年 9 月 9 日
 国内外の別: 国外
3. 名称: 時間差増幅回路
 発明者: 新津葵一、針谷尚裕、櫻井正人、小林春夫
 権利者: 半導体理工学研究センター
 種類: 特許
 番号: 5501317
 取得年月日: 2014 年 3 月 20 日
 国内外の別: 国内
4. 名称: オンチップジッタデータ取得回路、
 ジッタ測定装置、及びその方法
 発明者: 新津葵一、小林春夫
 権利者: 半導体理工学研究センター
 種類: 特許
 番号: 5451571
 取得年月日: 2014 年 1 月 10 日
 国内外の別: 国内

〔その他〕

ホームページ等

<http://www.nuee.nagoya-u.ac.jp/labs/nakazatolab/>

<http://www.niitsulab.info/>

6. 研究組織

(1) 研究代表者

新津 葵一 (NIITSU, Kiichi)

名古屋大学・大学院工学研究科・講師

研究者番号: 40584785

(2) 研究分担者

なし

(3) 連携研究者

なし