

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 30 日現在

機関番号：12601

研究種目：若手研究(B)

研究期間：2012～2013

課題番号：24760269

研究課題名(和文) ゲート酸化膜破壊の発生位置情報を利用した多値電子ヒューズの開発

研究課題名(英文) Development of multi-state anti-fuse utilizing location of gate-oxide breakdown of MOSFET

研究代表者

更田 裕司 (Hiroshi, Fuketa)

東京大学・生産技術研究所・助教

研究者番号：30587423

交付決定額(研究期間全体)：(直接経費) 2,000,000円、(間接経費) 600,000円

研究成果の概要(和文)：ゲート酸化膜破壊をヒューズとして用いた不揮発メモリ(OTP ROM)は、アナログ回路の特性補正等に幅広く使用されており、近年その大容量化が求められている。そこで本研究では、大容量のOTP ROMの実現を目指し、ゲート酸化膜の破壊位置を情報として利用した多値電子ヒューズの開発を行った。一方、このような多値ヒューズの実現には酸化膜破壊位置の制御が必要となるが、その手法は明らかでなかった。そこでまず、ゲート酸化膜破壊位置を制御する手法を提案し、その有効性の実証を行った。さらに、この多値ヒューズを用いたOTP ROMの設計を行い、従来よりもビット当たりの面積が小さいメモリを実現出来る事を確認した。

研究成果の概要(英文)：Recently, a programmable read-only memory (OTP ROM) based on an anti-fuse using the gate-oxide of MOS transistor has been widely used for analog trimming, and a larger-capacity OTP ROM has been required. Therefore, this project developed a multi-state anti-fuse utilizing the location of gate-oxide breakdown of MOS transistor, which enables a larger-capacity OTP ROM. In order to realize such multi-state anti-fuse, the location of gate-oxide breakdown must be controllable. However, the method to control the location had not been revealed. In this project, the method to control the location was proposed and verified with silicon measurements for the first time. Then, OTP ROM with the developed multi-state anti-fuse was designed and fabricated in 0.18um CMOS process, and we confirmed that the area per bit of OTP ROM can be reduced compared with the conventional work by using the multi-state anti-fuse.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：ゲート酸化膜破壊 電子ヒューズ OTP ROM ROM

1. 研究開始当初の背景

近年、プロセスの微細化に伴い、MOS トランジスタのゲート酸化膜厚が薄くなり、低い電圧でも酸化膜破壊を起こすようになった。これは、LSI の信頼性の低下を招くという問題がある一方、この現象を積極的に回路に応用しようとする試みがなされている。通常の MOS トランジスタは、ゲートとドレイン・ソース・ウェル(基板)間は電氣的にほぼ絶縁状態であるが、ゲート酸化膜破壊が発生すると両者は導通状態になる。酸化膜破壊は、一度発生すると回復することがない為、この絶縁状態から導通状態への変化は一種のヒューズと見なすことが出来る(図 1(a)参照)。一般的なヒューズは、導通状態から絶縁状態へ変化する為、逆の状態変化となるゲート酸化膜破壊はアンチ・ヒューズと呼ばれる。このゲート酸化膜破壊を用いたアンチ・ヒューズは、標準の CMOS プロセスだけで製造可能な為、非常に低コストで、システム LSI の中に組み込むことも容易である。従って、アナログ回路の特性補正やチップ固有 ID 等に用いる、1 度だけ書き込み可能な不揮発メモリ (OTP ROM) として利用が進んでおり、近年その大容量化が求められている[松藤]。

2. 研究の目的

研究の背景で述べたようなメモリとしての回路利用の研究とは全く別の、ゲート酸化膜破壊の物理的な現象解明の研究の中で、酸化膜が破壊する位置によって破壊後の特性が異なることが報告されている[Kaczer]。本報告によると、ゲート酸化膜の破壊位置がドレイン端の場合は、ゲート - ドレイン間が導通状態になり、逆に破壊位置がソース端の場合は、ゲート - ソース間が導通状態となることが示されている。もし、酸化膜破壊の位置を制御することが出来れば、図 1(b)に示すよう

(a) ゲート酸化膜破壊を用いたアンチ・ヒューズ(従来技術)



(b) 多値アンチ・ヒューズ(提案技術)

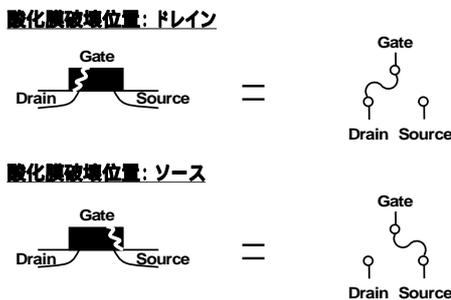


図 1 従来のアンチ・ヒューズと提案の多値ヒューズ

な多値のヒューズを実現でき、メモリの大容量化が可能となる。しかし、これまで酸化膜破壊の位置を制御する試みはなされておらず、その手段は未だ明らかでない。そこで本研究では、ゲート酸化膜の破壊位置の制御手法を確立し、ゲート酸化膜破壊の発生位置という新しい概念を利用した多値電子ヒューズの実現を目指す。

3. 研究の方法

本研究は、ゲート酸化膜破壊の発生位置という情報を利用した多値電子ヒューズの実現と、不揮発メモリ等への提案技術の適用を目的とする。具体的には、以下の研究を行う。

- (1) ゲート酸化膜破壊位置の制御手法を確立し、多値ヒューズを実現する。
- (2) (1)で実現した多値ヒューズを用いた、不揮発メモリ(OTP ROM)を試作する。従来技術以上の高集積化を実現することで、本研究で提案する多値ヒューズの有効性を示す。

4. 研究成果

- (1) 多値ヒューズ実現に向けた、ゲート酸化膜破壊位置の制御手法の確立

研究の目的で述べた通り、ゲート酸化膜破壊の研究の中で、酸化膜破壊位置について研究がなされている。例えば、文献[Crupi]において、accumulation の状態、かつ、ソース・ドレインとウェル間が逆バイアスとなる条件でゲート酸化膜を破壊すると、ソース又はドレインのオーバーラップ領域上部の酸化膜が破壊される事が示されている。そこで、本研究では、破壊位置の制御手法として、ソース側かドレイン側の破壊を行いたい一方だけ、ウェルとの間が逆バイアスになるようなゲート酸化膜破壊のストレス条件を提案する(図 2 参照)。なお、破壊対象とするデバイスは、pMOS を使用した。これは、pMOS を使用すると、印可電圧全てが正の電圧となり、回路として扱い易い為である。提案手法の有効性を確認する為、0.18μm CMOS プロセスで製造された 1.8V 用 pMOS に対して、ソース側破壊条件(図 2(a))とド

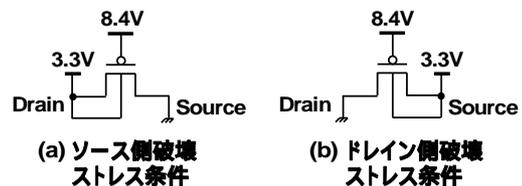


図 2 ゲート酸化膜破壊位置制御の為の提案ストレス条件

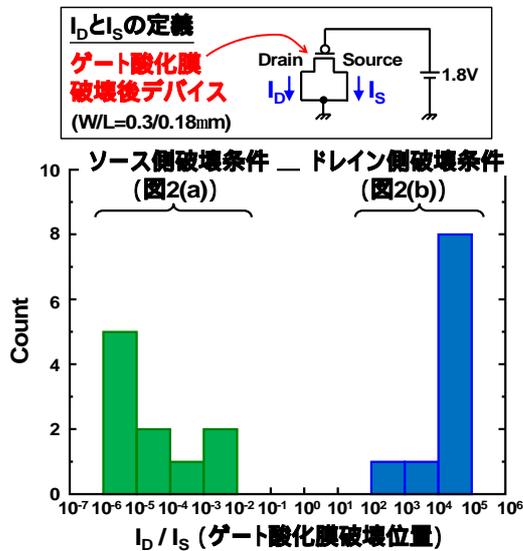


図3 ゲート酸化膜の破壊位置制御実験の結果 (20 デバイス)

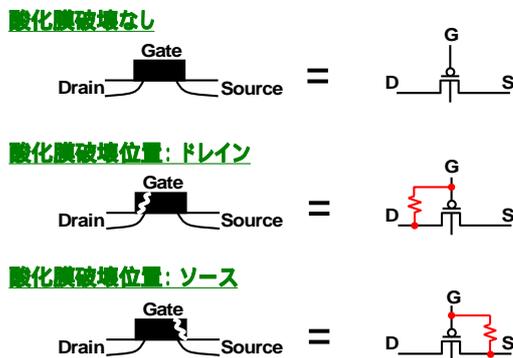


図4 ゲート酸化膜の破壊位置を利用した多値ヒューズの等価回路

ドレイン側破壊条件 (図 2(b)) で、それぞれ 10 デバイスずつ、ゲート酸化膜の破壊を試行した。その結果を図 3 に示す。ここで、ゲート酸化膜の破壊位置は、酸化膜を破壊した pMOS のソースとドレインをグラウンドに接続し (ウェルは floating) ゲートに本プロセスの標準電圧である 1.8V を印加した際にソースに流れる電流 I_S とドレインに流れる電流 I_D の比で定義した [Kaczer]。ソース側破壊条件の場合は、 I_S が I_D に対して 200 倍以上大きく、逆に、ドレイン側破壊条件では、 I_D が I_S に対して 700 倍以上大きくなった。以上から、図 2 で示した提案の制御手法で、ゲート酸化膜の破壊位置を制御出来る事が分かった。

また、ソース側或いはドレイン側のゲート酸化膜が破壊されたデバイスの電流特性を測定した結果、トランジスタとしての特性は依然有している事が分かった。従って、提案の多値アンチ・ヒューズの等価回路は図 4 のように表わす事が出来る。本等価回路をベースに多値ヒューズを用いた不揮発メモリの設計を行ったので、その結果を次節で述べる。

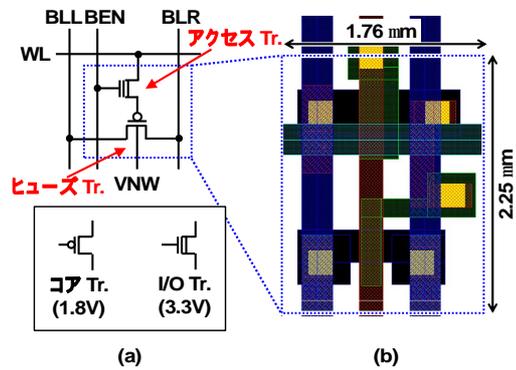


図5 多値ヒューズを用いた OTP ROM のメモリセルの (a) 回路図 と (b) レイアウト

(2) 多値ヒューズを用いた不揮発メモリ (OTP ROM) の試作

本節では、研究成果(1)で述べた多値ヒューズを用いた不揮発メモリ (OTP ROM) を試作し、本技術が OTP ROM の大容量化に有効である事を示す。

OTP ROM の回路構造

OTP ROM を構成するメモリセルの構造を図 5 に示す。本研究で使用するメモリセルは、アンチ・ヒューズとして用いるトランジスタと、セル選択用のアクセス・トランジスタの 2 トランジスタで構成される (図 5(a) 参照)。データ書き込み時は、ゲート酸化膜を破壊する為に、ワード線 (WL) に高電圧を印可する。書き込みを行わないセルについては、アクセス・トランジスタをオフ状態にする (BEN をグラウンドに接続する) 事で、ヒューズ用トランジスタのゲートに高電圧ストレスが掛からないようにする。この際、アクセス・トランジスタ自身に高電圧が掛かる為、トランジスタが壊れないように、高耐圧の I/O トランジスタ (3.3V 耐圧) を用いた。メモリセルのレイアウトを図 5(b) に示す。セルサイズは、 $3.96\mu\text{m}^2$ である。提案する多値ヒューズは、図 4 で示される通り、1 トランジスタ当たり 3 値 (1.5 ビット相当) を保持できる為、1 ビット当たりの面積は、 $2.64\mu\text{m}^2$ となる。これは、従来提案されているメモリセル [Cha] に比べて、38% の面積削減を実現した事になる。

次に、図 6 に設計した OTP ROM の回路概略図を示す。本回路では、1 ワード当たり 32 ビットを想定して、1 ワード 22 セルの構造とした。また、ワード数は 256 とした。データ書き込み時は、ワード線 (WL)、ドレイン側ビット線 (BLL)、ソース側ビット線 (BLR) 及び、ウェル電位 (VNW) の電圧を、図 2 で示す書き込み条件となるよう設定する。アクセス・トランジスタの選択信号 (BEN) には、WL の電圧にアクセス・トランジスタの閾値電圧以上の電圧を印可する。

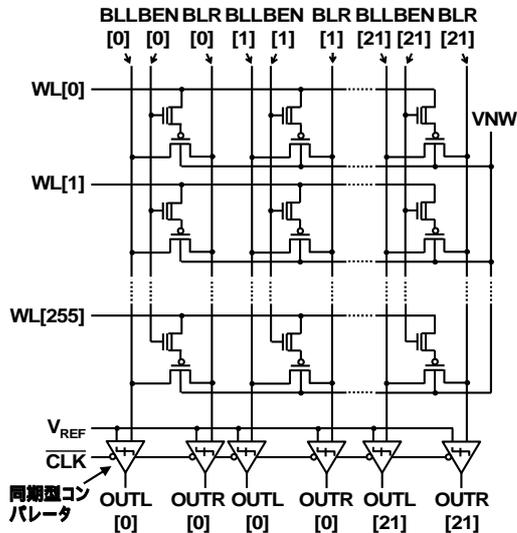


図 6 多値ヒューズを用いた OTP ROM の回路概略図

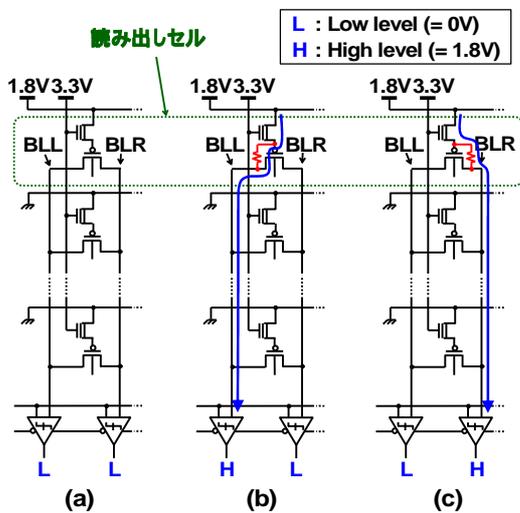
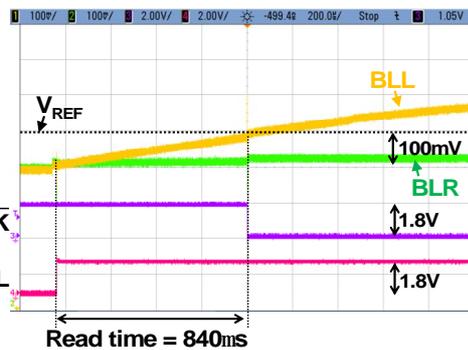


図 7 OTP ROM の読み出し動作

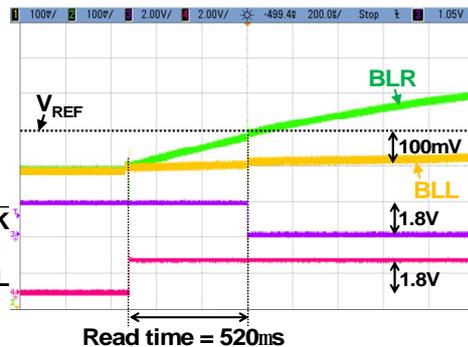
一方、データ読み込み時は、読み込みを行うワード線 (WL) に、本プロセスの標準電源電圧である 1.8V を印可して、ビット線 (BLL, BLR) の電圧変化を、同期型のコンパレータを用いて読み取る。具体的な動作例を図 7 に示す。なお、ビット線 (BLL, BLR) の初期電圧は、0V (=Low level) とする。図 7(a) は、書き込みを行っていない (ゲート酸化膜を破壊していない) セルの読み出し動作を示す。ヒューズ用のトランジスタのゲート酸化膜でワード線 (WL) とビット線 (BLL, BLR) は絶縁されている為、ビット線の電圧は変化せず、コンパレータの出力も Low level となる。一方、図 7(b) は、ヒューズ用トランジスタのゲート酸化膜のドレイン側を破壊したセルを読み出す場合の動作を示している。この場合は、ワード線とドレイン側のビット線が抵抗を介して接続された状態になるので (図 4 参照) ドレイン側のビット線 (BLL) の電圧だけが上昇する。従って、BLL のコン



図 8 OTP ROM のチップ写真



(a) ドレイン側酸化膜を破壊したセルを読み出す



(b) ソース側酸化膜を破壊したセルを読み出す
図 9 OTP ROM の読み出し動作の測定結果

パレータ出力のみ High level となる。逆に、ゲート酸化膜のドレイン側を破壊した場合は、ソース側のビット線 (BLR) の電圧だけが上昇するので、BLR のコンパレータ出力のみ High level となる (図 7(c) 参照)。以上から、図 7 に示す読み出し動作を行う事で、1セル当たり 3 状態 (=1.5 ビット) を読み出す事ができる。なお、図 6 は説明の簡略化の為、1 ワード 22 セル分 (33 ビット相当) だけを記載しているが、実際は、16 ワードを並列に配置した構造で実装した。従って、アレイ全体の総セル数は 90k セルとなり、ビット数としては、128k ビット相当となる。

測定結果

前述の OTP ROM を $0.18\mu\text{m}$ CMOS プロセスで試作を行った。製造したチップの写真を図 8 に示す。メモリ容量は 128k ビットで、面積は 0.4mm^2 である(制御回路部分を除く)。図 9 は、読み出し動作の測定結果を示している。ここで、コンパレータの基準電圧 V_{REF} は 0.1V に設定した。図 9(a)は、BLL (ドレイン) 側を破壊したセルを読み出した時(図 7(b)に相当)の測定波形で、WL に 1.8V の電圧を加えると、ゲート酸化膜の破壊部分を介して BLL の電圧が上昇している事が分かる。BLL の電圧が V_{REF} を超えるタイミングでコンパレータのクロックを入れる事で、BLL のコンパレータの出力が High level に、BLR のコンパレータ出力が Low level になる。一方、図 9(b)は、BLR (ソース) 側を破壊したセルを読み出した時(図 7(c)に相当)の測定波形である。先程とは逆に、BLR の電圧が上昇している為、BLR のコンパレータ出力が High level に、BLL のコンパレータの出力が Low level になる。以上から、提案の回路構造で、破壊位置に応じて正しく読み出せる事が実測でも確認できた。

なお、図 9 では、読み出し時間が $100\mu\text{s}$ 以上要しているが、これは V_{REF} を比較的高めに設定しているのに加えて、ゲート酸化膜破壊後の抵抗が高い為である。これらの値は、最適化の余地がある為、読み出し時間の高速化は可能だと考えられる。

参考文献

- [松藤] 松藤 他, 信学技報, ICD2008-8, pp. 39-43, 2008.
- [Kaczer] B. Kaczer, et al., IEEE Trans. Electron Device, pp. 507-512, 2002.
- [Crupi] F. Crupi, et al., Proc. International Reliability Physics Symposium (IRPS), pp. 55-59, 2002.
- [Cha] H. Cha, et al., IEEE J. Solid-State Circuits, pp. 2115-2124, 2006.

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表](計 1 件)

- [1] 更田 裕司, 高宮 真, 桜井 貴康, “多値アンチ・ヒューズの実現に向けたゲート酸化膜の破壊位置制御手法の提案と実証,” 電子情報通信学会総合大会, 新潟市, 2014/3/20.

6 . 研究組織

(1)研究代表者

更田 裕司 (FUKETA HIROSHI)
東京大学・生産技術研究所・助教
研究者番号: 30587423

(2)研究分担者

該当なし

(3)連携研究者

該当なし