

機関番号：14501

研究種目：若手研究(B)

研究期間：2012～2013

課題番号：24760279

研究課題名(和文) 間欠動作型アプリケーションのための高速立ち上げ可能な全デジタルPLL回路の研究

研究課題名(英文) A Fast Settling ADPLL for Periodically Wake-Up Systems

研究代表者

和泉 慎太郎 (Izumi, Shintaro)

神戸大学・自然科学系先端融合研究環重点研究部・助教

研究者番号：60621646

交付決定額(研究期間全体)：(直接経費) 3,600,000円、(間接経費) 1,080,000円

研究成果の概要(和文)：本研究では、All Digital PLL (ADPLL) の温度補償を行い、セットリング時間を削減する手法を検討した。提案手法ではADPLLに含まれるDCO (digitally controlled oscillator)をフリーランさせた状態の発振周波数が温度に影響されることを利用し、カウンタ値からスリープ中の温度変動を予測する。65nm CMOSプロセスを用いて提案回路を試作し、実測結果からセットリング時間が削減されることを確認した。

研究成果の概要(英文)：In this research, a temperature compensation technique for a digitally controlled oscillator (DCO) using least means square (LMS) filtering was proposed. The proposed scheme contributes to reduction of the start-up settling time of all-digital phase-locked loop (ADPLL). The proposed method estimates the temperature using the output frequency of DCO because it is affected by temperature fluctuation. These characteristics are confirmed using measurement results of the test chip, which is fabricated in 65-nm CMOS process.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：位相同期回路 間欠動作 温度補償

1. 研究開始当初の背景

センサーネットワークや携帯通信機器のような応用分野では、待機時に電源を遮断することで消費電力を削減する間欠動作が広く用いられている。一般的に間欠動作を志向するアプリケーションでは回路がアクティブとなる時間の割合は少なく、特にセンサーネットワークでは動作率が1%以下であると言われている。また、低消費電力を志向するセンサーネットワークではイベントドリブンな電源管理が行われており、かつ1回の起動時間が短い。しかし、そのような間欠動作においては、電源遮断状態からシステム立ち上げまでのオーバーヘッドが低消費電力化のための課題となっている。

特に無線通信回路に用いられる位相同期回路(Phase-Locked Loop: PLL)は周波数帯域等の制約から、電源投入から出力周波数が安定するまでのセットリング時間が長くなる傾向にある。無線通信回路はシステム全体に対して大きな電力割合を占める回路ブロックであり、その電源立ち上げ時間は最終的な消費電力に直接影響を及ぼすと考えられる。また、PLL そのものが占める消費電力割合も大きい。

2. 研究の目的

本研究の目的は、PLLのセットリング時間削減によるシステム全体の消費電力オーバーヘッド削減である。

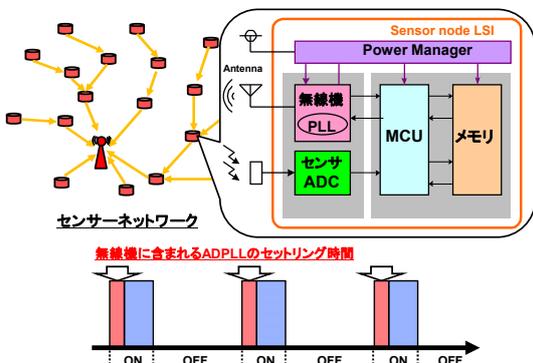


図1 無線センサーネットワークとセットリング時間

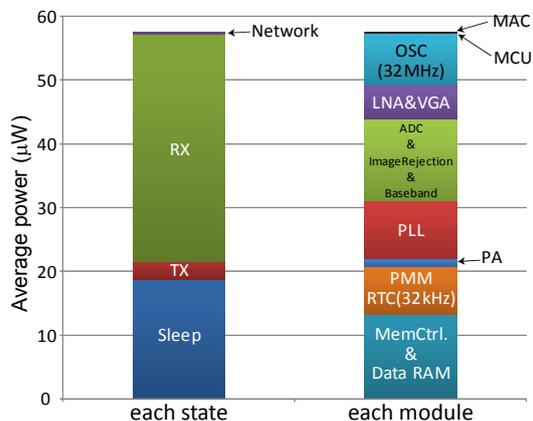


図2 無線センサーネットワークにおける平均消費電力の一例

一ヘッド削減である。

従来のPLLは電源投入から出力周波数が安定するまでのセットリング時間が長く、数千クロック以上が必要となるものもある。近年ではAll Digital PLL (ADPLL)と呼ばれる構成要素をすべてデジタル化したPLLが提案され、セットリング時間が短縮されているが、それでも10 us~100 us程度のセットリング時間が必要となる。

一方、大規模なセンサーネットワークにおいて最も無線機の電力を消費する動作は、周辺ノードからのデータ送信を検出するためのキャリアセンスである。キャリアセンスは周期的(100ms周期など)に実行されるが、低消費電力化を重視した通信プロトコルでは数bitのデータを受信できれば良い。仮にデータ転送レートが1Mbpsとすると、受信時間は10us以下である。これに対してPLLのセットリング時間は同程度の長さであり、これを高速化することで大きな消費電力削減効果が期待できる。そこで本研究では高速立ち上げ可能かつ低消費電力なADPLLの開発を行った。

3. 研究の方法

図1及び図2に示すように、センサノードに含まれるADPLLのセットリング時間は最終

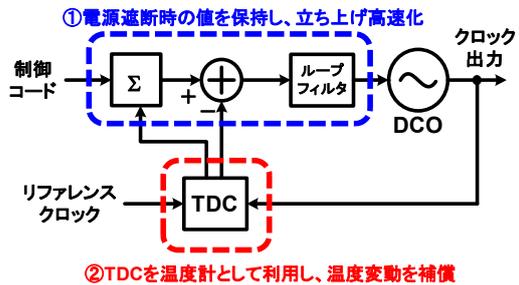


図3 ADPLLブロック図

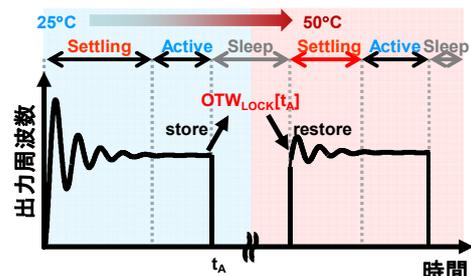
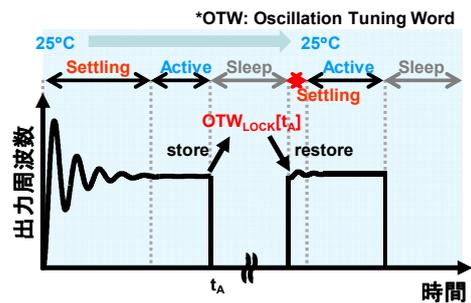


図4 発振器制御値(OTW)の保存によるセットリング時間高速化と温度変動の影響

的な消費電力に直接影響する。図2はセンサーネットワークにおける平均消費電力の一例であるが、受信電力 (RX) の殆どはキャリアセンスで消費されており、ADPLL のセトリング時間短縮効果が期待される。そこで本研究では、図3のADPLLブロック図に示すように、電源遮断時の発振器制御値を保持し、同時に時間デジタル変換器で温度を推定することでセトリング時間を短縮する。従来手法として、図3におけるループフィルタからDCO (Digitally Controlled Oscillator、デジタル制御発振器)への制御値入力を電源遮断前に別の電源ドメインへ待避し、電源立ち上げ時に復帰させる手法が提案されている。この方法では最初の電源投入時は従来PLLと同じセトリング時間が必要となるが、2回目以後の復帰時にはDCOの制御値がロック状態に近い値に設定されるため、素早い周波数安定が可能となる。

ただし、電源遮断中の温度変動によってDCOへの制御信号入力に対する発振周波数が変動する可能性がある(図4)。特に環境モニタリングのようなセンサーネットワーク応用では温度変動の激しい状況も想定される

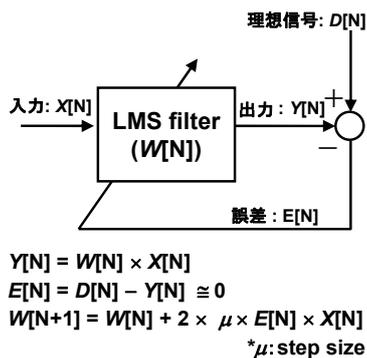


図5 LMS フィルタ

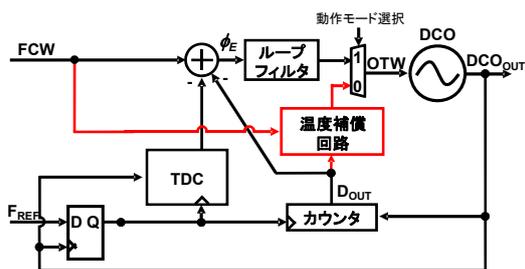


図6 提案ADPLL回路

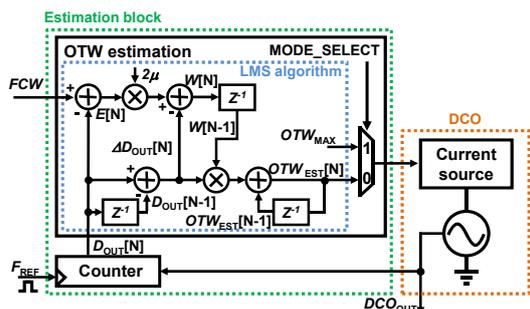


図7 温度補償回路の詳細ブロック図

ため、何らかの温度補償が必要である。この問題に対して本研究では、フリーラン状態のDCOの発振周波数と温度が比例関係にあることを利用し、Least Mean Square (LMS) フィルタによって温度変動を予測する手法を提案した。LMSは入力信号の平均自乗誤差を最小にする適応フィルタである(図5)。構成が単純でありLSIに実装しやすいという特徴がある。

4. 研究成果

図6及び図7に提案回路のブロック図を示す。提案回路は通常のPLL動作を行うADPLLモードと、電源立ち上げ時の温度推定と発振器制御値(OTW; Oscillator Tuning Word)の補正を行うThermometerモードという2つの動作モードを持つ。図8に動作シーケンスを示す。まず、ADPLLモードでロックされた状態からスタンバイ状態に移行するとき、従来手法と同様にロック中の発振器制御値を保存する。次に、電源立ち上げ時のThermometer modeでは、発振器を最大周波数(フリーラン状態)で発振させ、リファレンスクロック1回分のカウンタ値を取得する。この時、前回のThermometer mode時のカウンタ値との誤差から温度変動を予測し、保存されているロック時の発振器制御値を補正する。最後にADPLLモードに移行し、補正された発振器制御値を使ってPLL動作を開始する。

図9に動作例を示す。この例では発振周波数2.42GHzにロックさせている。まず、N-1回目の動作では発振器制御値(OTW[N-1])が32で目標周波数にロックしていたとする。次に、N回目の電源立ち上げ時にThermometer

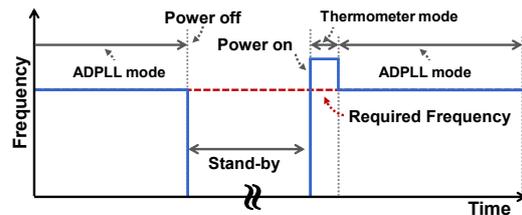


図8 提案回路の動作シーケンス

1. Thermometer mode (温度変化を検知)
2. ADPLL mode (補正値を演算し、通常動作)

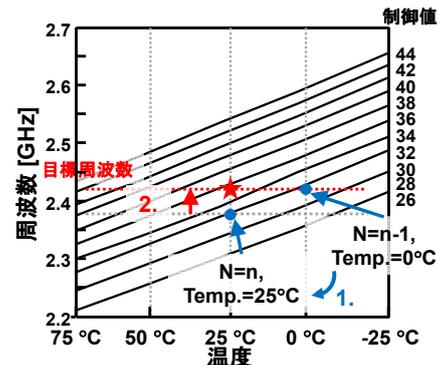


図9 温度補償動作の例

モード動作を行い、N-1 回目の Thermometer モード動作におけるカウンタ値との差を求める ($\Delta D_{out} = D_{out}[N] - D_{out}[N-1]$)。次に、LMS フィルタで求めた補正項 $W[N]$ を用いて OTW の予測値 OTW_{est} を求める ($OTW_{est} = W[N] \times \Delta D_{out} + OTW[N-1]$)。図 9 の例では $W[N] \times \Delta D_{out}$ が 4 となり、 $OTW_{est} = 36$ を得る。最後に、 OTW_{est} に対する発振周波数と目標周波数との誤差 $E[N]$ を使って LMS フィルタを更新する ($W[N+1] = W[N] + 2 \times \mu \times E[N] \times \Delta D_{out}$)。

提案手法の性能を評価するため、65nm CMOS プロセスを用いて試作を行った。図 10 に試作チップを示す。本試作では DCO と高速動作の必要なカウンタを実装し、低速動作するデジタル回路ブロックは FPGA で実装している。なお、65nm プロセスで見積もった温度補償回路の面積オーバーヘッドは 0.014 mm^2 であった (図 11)。

図 12 に示す測定環境で DCO の温度特性を測定し、図 9 で示したように温度に対して線形に変動することを確認した (図 13)。図 14 は、電源遮断中に温度を -50°C から $+50^\circ\text{C}$ まで変化させた場合の、提案手法と従来手法周波数誤差を示している。ここで、従来手法は電

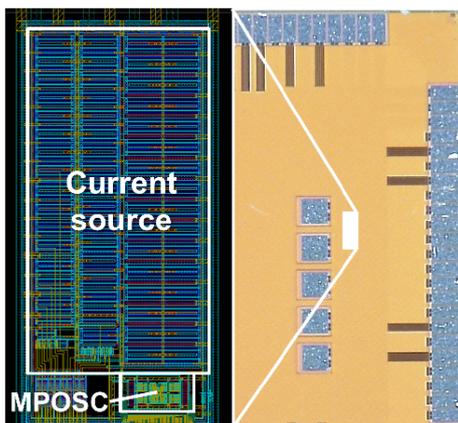


図 10 試作 LSI

集積度: 69%
アクティブ面積: 0.014 mm^2

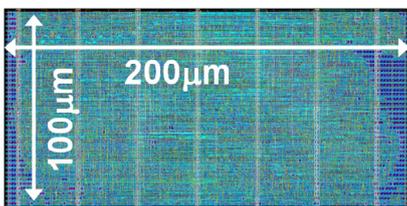


図 11 温度補償回路のオーバーヘッド

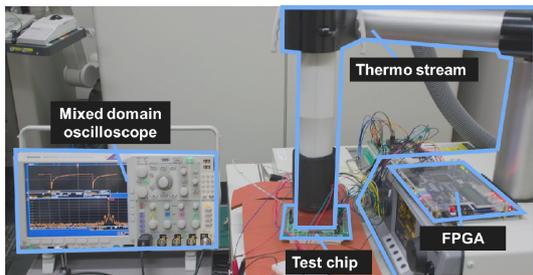


図 12 測定環境

源遮断前の OTW を保存する手法である。従来手法では温度差に対して誤差が線形に増加するのに対し、提案手法では温度差に依らず周波数誤差が 10MHz 以内に抑えられている。これによって、図 15 に示すように、セットリング時間が 50%以上削減されることを確認した。

また、より発展的なアイデアとして、提案技術を周波数ホッピングに適応する方法の検討を行った。図 13 に示したように、温度に対する周波数の変動は、発振制御値 OTW の値に依らず線形であり、かつその傾きも等しい。従って、最大発振周波数で正規化することで、ひとつのモデル式で表現することができる。このモデル式は係数が LSI 製造時のばらつきによって変動するが、例えばセルフテスト回路によって一度測定を行えば自律

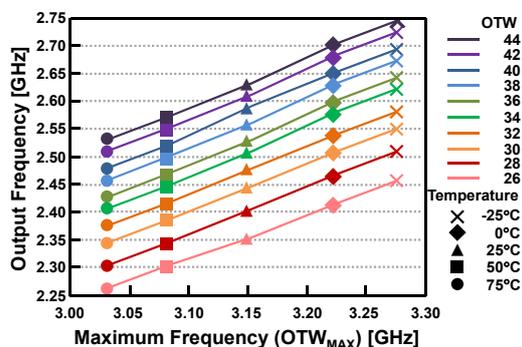


図 13 DCO の温度特性

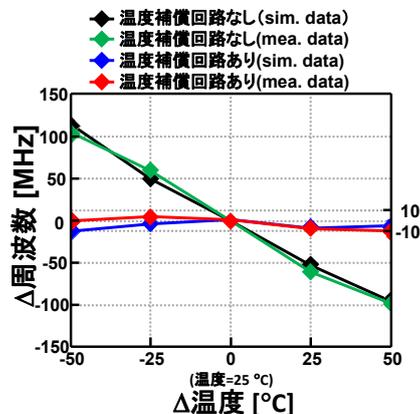


図 14 温度変動に対する周波数ずれと提案手法による温度補償

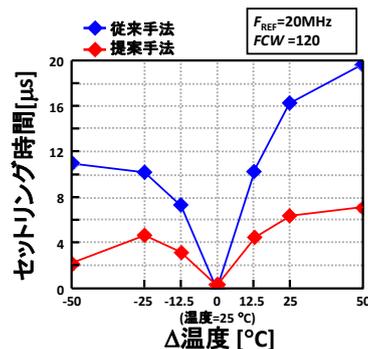


図 15 セットリング時間の比較

的に取得することが可能である。

発振器制御値 OTW に対する正規化周波数のモデルが得られれば、ある OTW と、それを入力した場合の目標周波数との誤差を用いて 1 サイクルで誤差を補正した OTW を得ることができる。これによって温度に依存すること無く、任意の周波数への遷移が高速化できる。試作 LSI と FPGA を用いて実験を行い、提案手法によって平均 1 μ s での周波数遷移が実現できることを確認している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 2 件)

- ① K. Okuno, S. Izumi, T. Konishi, S. Dae-Woo, M. Yoshimoto, H. Kawaguchi, “Temperature Compensation Using Least Mean Squares for Fast Settling All-Digital Phase-Locked Loop,” Proceedings of 11th IEEE New Circuits and Systems Conference (NEWCAS), pp. 1-4, June 16-19, 2013, Paris. (査読有り)
- ② 正木 何奈, 奥野 圭祐, 和泉 慎太郎, 川口 博, 吉本 雅彦, “温度補償回路を用いた高速セットリング ADPLL,” LSI とシステムのワークショップ 2014, May 26-28, 2014, 小倉. (査読なし)

[その他]

ホームページ等

<http://www28.cs.kobe-u.ac.jp/>

6. 研究組織

(1) 研究代表者

和泉 慎太郎 (IZUMI SHINTARO)

神戸大学・自然科学系先端融合研究環重点
研究部・助教

研究者番号：60621646