

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年5月8日現在

機関番号：11301

研究種目：研究活動スタート支援

研究期間：2012～2012

課題番号：24860009

研究課題名（和文） 磁性膜を用いたオンチップ電源供給配線のインピーダンス制御法の開発

研究課題名（英文） Impedance Control Technique of On-Chip Power Distribution Network Using Magnetic Film

研究代表者

室賀 翔 (MUROGA SHO)

東北大学・大学院工学研究科・助教

研究者番号：60633378

研究成果の概要（和文）：

IC チップ上に製膜した磁性膜で生じる強磁性共鳴損失を用いて、IC チップの電源供給配線における電源品質を確保するためのインピーダンスの制御法を確立することを目的として、インピーダンスの定量的な導出を、磁気回路を用いて議論した。その結果、磁性膜内で生じる強磁性共鳴損失および配線インピーダンスの周波数特性は、Maxell 方程式を用いた電磁界シミュレータを用いて 1-7 GHz の周波数範囲で予測可能であることを示した。

研究成果の概要（英文）：

This project discussed the impedance calculation technique of on-chip power distribution network using ferromagnetic resonance loss generated in magnetic films at GHz frequency range. We evaluated the magnetic circuit model with the leakage magnetic flux path for considering the demagnetizing field generated in the magnetic film. The result shows the ferromagnetic film integrated onto the on-chip power lines can be designed by an electromagnetic field simulator based on the Maxwell's equation at 1-7 GHz.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2012 年度	1,300,000	390,000	1,690,000
年度			
総計	1,300,000	390,000	1,690,000

研究分野：工学

科研費の分科・細目：電子デバイス・電子機器

キーワード：電磁環境両立性、磁気回路解析、磁性薄膜、強磁性共鳴損失

1. 研究開始当初の背景

LSI のデザインルールの微細化に伴い、電源電圧の低下とともに電源分配ネットワーク (Power Distribution Network, PDN) よりトランジスタへ供給される電力および電流は増加し続けている。この結果、CMOS トランジスタのスイッチング動作時に生じる、

電源ノイズ (Simultaneous Switching Noise, SSN) 問題が顕在化している。特に、Gbps 級の信号をパッケージやプリント基板場を伝搬するためには、電源電圧・電流を供給する電源分配ネットワークの寄生容量・インダクタンスを含めた設計が求められている。この問題を解決する手段として、設計時のパワー

インテグリティ (Power Integrity, PI) に関するシミュレーションは、ボードレベル、パッケージレベルおよびオンチップレベルでキャパシタを追加することによる低インピーダンス化を目的として行われてきた[N. Takahashi, JIEP, 112-3, 2009].

しかしながら、電源分配ネットワークにボード、パッケージおよびオンチップレベルで複数のキャパシタを配置することにより、あるいは寄生インダクタンス、キャパシタンス等によって、特定の周波数において共振・反共振が生じ、ノイズ電流・電圧が大きくなる問題が生じる可能性がある。この問題を解決し、パワーインテグリティを確保するためには、電源分配ネットワークのインピーダンスを周波数軸で制御し、共振・反共振等の電流の急激な変動によって引き起こされる電磁ノイズ問題を抑制することが重要であり、特に微細化・高密度集積化の進む IC チップにおいては、フットプリントを増加させることなく電磁ノイズの対策を行うことが求められている。

そこで、本研究では、チップ上に磁性薄膜を集積化し、強磁性共鳴損失およびジュール損失を用いて電源分配ネットワークに流れる電流およびインピーダンスを周波数軸で制御する手法を提案する。GHz 帯域において周波数選択性のある磁性膜の強磁性共鳴損失を用いることにより、特定の周波数において急激に増加する電流を抑制することが可能であり、電源線路の PI を確保することが出来ると考えられる。

IC チップ上に配置した磁性膜の強磁性共鳴損失に関しては、模擬配線上に CoZrNb 膜を実装し、磁性薄膜中の損失が伝導ノイズの抑制に有用であることが実証されている [IEEE Trans. Magn., 47, 300 (2011)]. とくに、磁性薄膜の強磁性共鳴による損失は伝導ノイズのエネルギーを熱として吸収する帯域除去フィルタとして動作し、帯域除去の中心周波数は基本的に磁性膜固有の強磁性共鳴周波数に等しく、副次的に配線と磁性膜との幾何学的配置および寸法で定まる反磁界によって高周波側へシフトする機構を明らかにしている。この際、実験に用いた磁性膜は 1 GHz に強磁性共鳴周波数を持ち、かつ透磁率の高いアモルファス CoZrNb 合金磁性膜であり、その寸法設計により 1 ~ 7 GHz の範囲で帯域除去の中心周波数を所望の値に設定可能であることを明らかにしている。

以上の結果、所望の周波数領域において強磁性共鳴損失を最大化するためには、磁性膜の電気および磁気特性に加え、励磁源と磁性膜との位置および寸法で定まる反磁界を考慮することにより決定されるメカニズムが明らかになった。しかしながら、複雑に磁束が分布する IC チップ上に磁性膜を配置する

場合、磁性膜に生じる反磁界および反磁界による強磁性共鳴周波数のシフトを解析的な手法で導出することは困難である。また、その強磁性共鳴周波数において得られる強磁性共鳴損失の絶対値を含め、磁性膜設計への展開には至っていない。磁性膜を用いて電源分配ネットワークのインピーダンスを制御するためには、磁性膜で生じる損失の定量的な導出が必要となる。

2. 研究の目的

本研究では、磁性膜に高周波磁界を印加した場合に GHz 帯の特定の周波数で急峻に増大する強磁性共鳴損失およびジュール損失を用いて、オンチップ電源分配ネットワークを流れる高周波電流およびインピーダンスを周波数軸で制御し、パワーインテグリティを確保することを目的とした磁性膜の応用の提案を目指す。まず、模擬配線上に集積化した磁性膜による配線のインピーダンスの変化量の最大化ならびにその効果が最大となる周波数の定量化を行う。その知見を用いてオンチップ電源分配ネットワークのインピーダンスの周波数軸で制御することを目的とした磁性膜応用のための磁性膜の設計指針を考察する。具体的には、次の事項を検討する。

- (1) 磁性膜内において生じる強磁性共鳴損失による配線インピーダンスの増加量の定量化
- (2) 電源配線のインピーダンス制御のための磁性膜の設計指針の考察
- (3) 磁性膜によるオンチップ電源分配ネットワークのインピーダンスの制御の有用性の実証

3. 研究の方法

研究目的を達成するため、次の項目の通り研究を遂行した。

- (1) 模擬配線上に配置した磁性膜による配線インピーダンス変化量の定量化

磁性膜の外部空間も含めた磁気回路[室賀翔, 電気学会全国大会, 2-144, 2012]をもとに、模擬配線上に磁性膜を配置した場合の磁気回路網を構築し、この磁気回路網を用いて磁性膜内に生じる磁束密度分布の定量的な導出を行う。得られた磁束密度分布より、膜に鎖交する磁界強度および膜に生じる反磁界を導出し、磁性膜により生じる強磁性共鳴損失の定量化を行う。この結果を用いて、配線インピーダンスの変化量を導出し、磁性膜の設計指針を考察する。

- (2) 磁性膜を集積化したオンチップ模擬配線の作製および配線上に製膜した磁性膜を用いたインピーダンス制御の有用性の実証

インピーダンスおよび終端抵抗の異なる

複数の電源配線の模擬配線上に、磁性膜を成膜する。この際、(1)で得られた知見を用いて磁性膜の共鳴周波数で伝導電流の抑制効果が最大となるように磁性膜を設計する。成膜のため、磁性膜製膜のためのメタルマスクを試作する。作成したメタルマスクを用いて、電源配線上への磁性膜の集積化を行う。

作製した模擬配線の配線インピーダンスを、ネットワークアナライザ(現有設備)および電源用プローブ(現有設備)、高周波プローブ(現有設備)を用いて測定する。得られた結果より、(1)で得られた知見が実証され、磁性膜による電流抑制効果最大周波数が初期の周波数領域で得られていることを明らかにする。

4. 研究成果

GHz 帯の特定の周波数において最大となる磁性膜の強磁性共鳴損失およびジュール損失を用いて、LSI チップ上への電源供給回路(Power Distribution Network, PDN)のインピーダンスを周波数軸で制御し、電源品質(Power Integrity, PI)を確保することを目的として研究課題を遂行した。

磁性膜を用いてオンチップ電源分配ネットワークのインピーダンスを制御するためには、複雑に磁束が分布するLSIチップ上に磁性膜を配置したときの反磁界、反磁界による強磁性共鳴周波数のシフトおよび損失を定量的に導出することが必要である。そこで、磁性体の透磁率虚数部の周波数特性を所望なものに制御するための基礎技術の確立を行った。すなわち、LLG 方程式により定義される強磁性共鳴周波数が、反磁界により高周波側へシフトする様子は、Maxwell 方程式

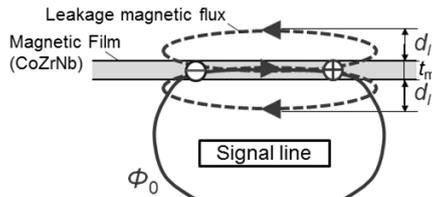


図1 信号線周りの磁束の経路

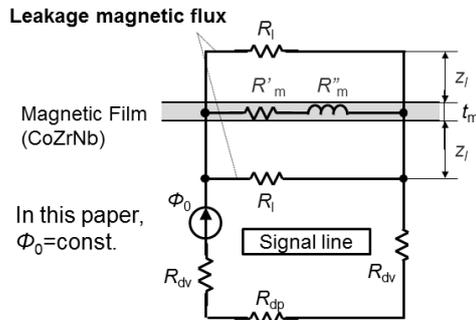


図2 信号線周りの磁気回路

に基づく電磁界シミュレーションにより導出可能であると考え、磁気回路を用いてその妥当性を示した。ここでは、直接の対象材料は薄膜材料ではあるものの、広く磁性体全般に適用可能な共鳴周波数帯域の制御技術を確認することとした。

まず、磁性膜の外部空間も含めた磁気回路を構築した。このとき、信号線周りの磁束分布は図1のようになることから、その磁気回路を図2のように構築した。 R'_m および R''_m はそれぞれ磁性薄膜内の磁気抵抗の実部および虚部、 R_p および R_v は、磁性薄膜より漏れる磁束の磁気抵抗、 R_d は信号線周りの磁気抵抗、 Φ_0 は信号線を通る電流より生じる磁束の総量を表す。ここでは、 Φ_0 は周波数によらず一定とした。

R_p および R_v を導出するためには、漏洩磁束の空間的な広がり a の定量的な導出が必要である。ここでは、磁性薄膜表面における磁束密度の最大値と比較して、密度が $1/e$ となる値を漏洩磁束の空間的な広がりを、 a と定義する。磁性薄膜への磁束が信号線—磁性薄膜間および磁性薄膜外部の空間に漏洩する量は、パーミアンス法を用いて評価した結果、その値は $80 \mu\text{m}$ となった。

この場合、反磁界係数 N_d は(1)式で求められる。

$$N_d = \frac{t_m}{2a} \quad (1)$$

また、磁性膜内の経路の磁気抵抗 R'_m および R''_m はそれぞれ次式で与えられる。

$$R' = \frac{\mu'_r}{\mu_r'^2 + \mu_r''^2} \frac{w_s}{\mu_0 t_m l_m} \quad (2)$$

$$R'' = \frac{\mu''_r}{\mu_r'^2 + \mu_r''^2} \frac{w_s}{\mu_0 t_m l_m} \quad (3)$$

ただし、 μ_0 は真空の透磁率、 μ_r は磁性膜の比透磁率、 t_m および l_m は磁性膜の膜厚および膜長である。

漏洩磁束の経路における磁気抵抗 R_l は、 R_p および R_v を用いて次の通り表される。

$$R_l = R_p + 2R_v = \frac{w_s}{\mu_0 a l_m} = \frac{w_s}{\mu_0 t_m l_m} N_d \quad (4)$$

(4) 式の通り、漏洩磁束の経路における磁気抵抗には、反磁界係数 N_d が含まれている。

比透磁率およびFMR周波数の解析的な導出方法として、LLG方程式およびKittelの方程式が知られている。

(5)式に、一軸異方性を有した磁性薄膜にLLG式を適用した場合の比透磁率の周波数特性を示す。また、この場合のFMR周波数は(6)式である。

$$\mu_r = \frac{\gamma^2 M_s^2}{\mu_0} \frac{1}{(2\pi f_{r0})^2 - (2\pi f)^2 + 2j\lambda f} \quad (5)$$

$$f_{rd} = \frac{\gamma}{2\pi} \sqrt{\frac{M_s(H_k + N_d M_s)}{\mu_0}} \quad (6)$$

ただし、 λ および f_{r0} は次式のとおりである。

$$\lambda = \frac{\alpha \gamma M_s}{4\pi\mu_0} \quad (7)$$

$$f_{r0} = \frac{\gamma}{2\pi} \sqrt{\frac{M_s H_k}{\mu_0}} \quad (8)$$

ただし、 γ はジャイロ磁気定数、 α はダンピング定数である。

漏洩磁束の経路を考慮した磁性膜の合成抵抗 R_{total} を(9)式に示す。

$$\begin{aligned} R_{total} &= \frac{1}{\mu_0 \mu_{reff}} \frac{w_s}{t_m l_m} \\ &= R'_m + jR''_m + \frac{1}{2} R_1. \end{aligned} \quad (9)$$

ただし、 μ_{reff} は漏洩磁束を考慮した磁性体の比透磁率である。よって μ_{reff} は(10)式で表される。

$$\mu_{reff} = \frac{1}{\mu_0 \left(R'_m + jR''_m + \frac{1}{2} R_1 \right)} \frac{w_s}{t_m l_m} \quad (10)$$

以上により、反磁界を考慮した比透磁率の周波数特性が磁気回路により求まる。

一方、反磁界を考慮したFMR周波数は、磁性膜内の磁気抵抗および漏洩磁束の磁気抵抗を用いて次の通り計算される。

反磁界を考慮したCoZrNb膜の透磁率の周波数特性の測定値および計算値の比較を図3

に示す。実線はCoZrNb膜の測定値である。破線は、(5) - (7)式より導出された反磁界を考慮した比透磁率、点線は磁気回路から算出された比透磁率である。また、細線は8 kA/mの直流磁界を磁化容易軸に印加しながら測定した測定値である。8 kA/mは、(1)式により求まる反磁界係数 N_d および膜の飽和磁化 M_s で求められる反磁界 $N_d M_s$ の値である。

図より、それぞれの解析計算値は実験値とよく一致している。このことから、FMRシフトは、本磁気回路を用いて解析可能であると考えられる。

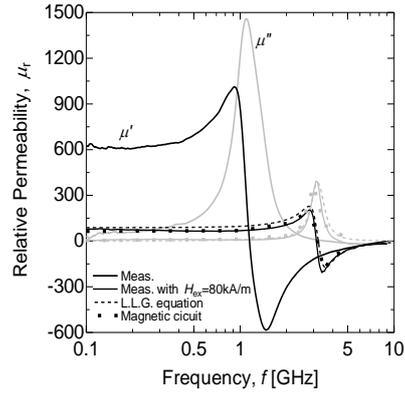


図3 反磁界を考慮したCoZrNb膜の透磁率の周波数特性の測定値および計算値の比較

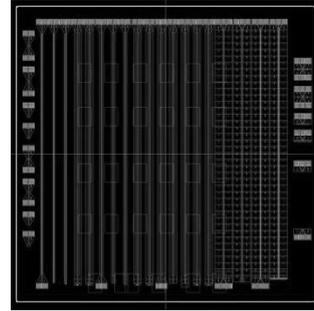


図4 磁性薄膜による伝導ノイズ抑制効果評価のための平衡2線路群

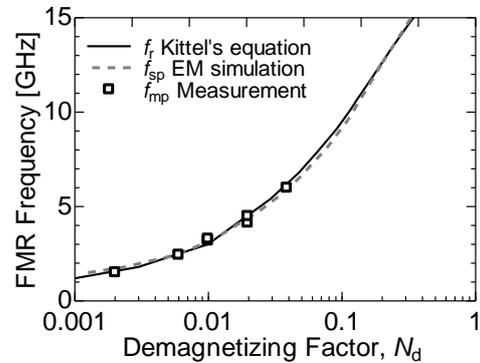


図5 電磁界解析で得られた損失極大周波数 f_{sp} 、実験値 f_{mp} および Kittel の方程式から得られた反磁界を考慮した共鳴周波数 f_r との比較

さらに、得られた比透磁率の周波数特性から、配線内で生じる強磁性共鳴損失を予測し、実験値と比較した。ここでは、オンチップ模擬配線を、 $0.18 \mu\text{m}$ のデザインルールを用いて作成した。また、磁性膜として CoZrNb 膜を配置し、配線内の損失が極大となる周波数を実験値と比較した。

図4にオンチップ模擬配線のレイアウトを示す。膜に生じる反磁界を変化させるため、信号線幅を、 $5 \sim 30 \mu\text{m}$ と変化させた。

図5に電磁界解析で得られた損失極大周波数 f_{sp} 、実験値 f_{mp} および Kittel の方程式から得られた反磁界を考慮した共鳴周波数 f_r との比較を示す。

破線が電磁界解析で得られた損失極大周波数 f_{sp} 、実線が Kittel の方程式から得られた反磁界を考慮した共鳴周波数 f_r 、シンボルが実験値 f_{mp} である。

図より電磁界シミュレーションで得られた損失極大周波数は、反磁界の増加に伴い増加し、実験値および反磁界を考慮した共鳴周波数と5%以内で一致した。

この結果より、ICチップ内の配線や回路ブロックから局所的に印加される磁界により、磁性膜内で発生する反磁界のFMR周波数への影響は、Maxwell方程式に基づく電磁界解析を用いて、定量的に評価できることが明らかとなった。すなわち、磁性膜の特性として膜固有の比透磁率の周波数特性を入力することにより、電磁界シミュレーションを用いて磁性膜の設計が可能であることを示した。

以上により、磁性膜を用いた配線のインピーダンス制御のために必要なパラメータの抽出を行った。この成果は、本研究で目的としている電源配線のインピーダンス制御のための設計指針の提示に留まらず、磁性体の強磁性共鳴を応用する全てのデバイス設計に有用な重要な知見である。

以上により、ICチップ上に配置した磁性膜により生じる強磁性共鳴損失は、Maxwell方程式に基づく電磁界シミュレータを用いて定量的に導出可能であることを示し、その妥当性を、磁性膜を配置したオンチップ模擬配線により実証した。配線インピーダンスの増加量は、強磁性共鳴損失が定量的に予測出来れば予測可能となることから、この知見を用いることにより、特定の周波数で配線インピーダンスを最大化することが出来るとかんがえられる。すなわち、オンチップ電源供給ネットワークにおける共振・反共振等による、電流の急激な変動に起因する電磁ノイズ問題を抑制することが可能となる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計1件)

- ① Sho Muroga、Yuki Asazuma、Masahiro Yamaguchi、Study of FMR frequency shift through electromagnetic simulation and its application to analyze integrated ferromagnetic noise suppressor、IEEE Transactions on Magnetics、査読有、49巻、2013年、印刷中

[学会発表] (計5件)

- ① 室賀翔、浅妻裕己、山口正洋、電磁界シミュレーションにおける反磁界による強磁性共鳴周波数シフト、平成25年電気学会全国大会、2013年03月22日、名古屋市
- ② 倉石澄人、室賀翔、浅妻裕己、山口正洋、平行2線路上の磁性薄膜による伝導ノイズ抑制効果の配線インピーダンス依存性、第27回エレクトロニクス実装学会春季講演大会、2013年03月13日、仙台市
- ③ Sho Muroga、Yuki Asazuma、Masahiro Yamaguchi、Study of FMR frequency shift through electromagnetic simulation and its application to analyze integrated ferromagnetic noise suppressor、The 12th Joint MMM/Intermag Conference、2013年1月16日、Chicago、USA
- ④ 室賀翔、浅妻裕己、山口正洋、電磁界解析における磁性薄膜電磁ノイズ抑制体のFMRシフト、電気学会マグネティックス研究会、2012年12月20日、大阪市
- ⑤ Yuki Asazuma、Sho Muroga、Masahiro Yamaguchi、Magnetically Transparent Film Observed for On-chip Transmission Line at Ferromagnetic Resonance Frequency、2012 Korea-Japan-China International Workshop Proceedings、2012年11月01日、大邱市、韓国

6. 研究組織

(1) 研究代表者

室賀 翔 (MUROGA SHO)
東北大学・大学院工学研究科・助教
研究者番号：60633378