

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 2 日現在

機関番号：12601

研究種目：基盤研究(A) (一般)

研究期間：2013～2015

課題番号：25249032

研究課題名(和文) Ge薄膜中キャリア輸送機構に及ぼす同位体および界面散乱に関する研究

研究課題名(英文) Study of carrier scattering mechanisms by Ge isotope and interface roughness in Ge thin films

研究代表者

鳥海 明 (Toriumi, Akira)

東京大学・工学(系)研究科(研究院)・教授

研究者番号：50323530

交付決定額(研究期間全体)：(直接経費) 35,900,000円

研究成果の概要(和文)：Ge基板にH₂処理を施すことによって原子レベル平坦性をGe表面上に実現することができ、高電子密度下での移動度を大きく改善することができた。一方、同位体効果に関しては、同位体効果以前のホモエピの質の問題として現れてしまい明瞭な結果をえることができなかったが、それ以上に大きな効果として基板内の酸素起因の欠陥の移動度への著しい影響を発見することができた。これもH₂アニールによって取り除くことができ、移動度の大幅改善を実現することができた。両者ともGe CMOSの可能性を大きく広げる成果である。

研究成果の概要(英文)：By annealing Ge substrate in H₂, we have achieved atomically flat Ge surface. As a result, the electron mobility at high electron density has been significantly improved. On the other hand, concerning the Ge isotope effects, we have unfortunately not succeeded in homo-epitaxial growth of ⁷⁴Ge on Ge substrate. However, we found rather important results that oxygen-related defects in Ge affected the electron peak mobility and they could be annihilated by H₂ annealing. Both new findings surely explore Ge CMOS future.

研究分野：材料科学的観点に基づいた新材料電子デバイスの開発とデバイス物理の研究

キーワード：電子デバイス 半導体物性 ゲルマニウム 同位体 界面散乱

1. 研究開始当初の背景

研究の開始当初、Ge を用いた N チャネル MOSFET の性能は飛躍的に伸び始めていた時ではあるが、ゲート電圧を印加していくと移動度が急激に劣化するということが世界中で意識され初めた時でもある。我々を含めてピーク移動度を向上することができるようになったおかげでそのことが明瞭に見えるようになってきたとも言える。このことは実動作上は大変深刻であり、Ge を用いた FET が低消費電力用に使えるかどうかという判断にもなってしまう。

一方、Ge は同位体を多く持っており、その同位体による（質量の違う Ge の存在による）散乱がどの程度、移動度等に効いているかを見積もっておくことは超微細素子では重要になってくるのではないかということが想像された。

試作上は上記の他にもっと現実的な問題が多くあるとは思われるが、現状ではこれらの本質的な課題に取り組むことが重要であると考えられた。

2. 研究の目的

上記の背景のもと、高電子密度下での移動度の劣化の起源を明らかにして、実際に劣化をどこまで抑えられるかを実証し、Si に変わることの意味があるかどうかを検証する事を一つの目的とした。さらに Ge 同位体が移動度にどの程度影響を及ぼすかを実験的につかむことを目的とした。

3. 研究の方法

高電子密度下での電子の散乱起源を考えることから始めた。理論的にサブバンド間散乱を考え、影響があり得るかどうかを検討する一方で、Si MOSFET で検討されてきた散乱機構を Ge にも適用した。それは界面凹凸散乱の影響の定量的評価である。

同位体効果に関しては、⁷⁴Ge を Ge 基板上へ MBE 法によってホモエピ成長を行い、そこに FET を作製することによってその特性を調べるといった方法をとった。

4. 研究成果

結果をまず以下に述べる。

高電子密度下での移動度は Ge 基板の表面処理を施す事で大きく改善した。これは Ge CMOS の可能性を強く示すものである。

同位体効果に関しては、同位体効果以前のホモエピの質の問題として現れてしまい、明瞭な結果をえることができなかった。しかし、それ以上に大きな効果として基板内の酸素起因の欠陥の移動度への著しい影響発見することができた。

上記の二点について以下に説明する。

界面の凹凸による散乱に関しては Si において長く研究されてきた。それによって Si

FET における移動度のユニバーサリティがワールドワイドに広く認められてきた。しかしながら Ge ではゲートスタック形成の未熟さから移動度劣化が大きく、ユニバーサリティを議論できる水準にないというのが当時の現実であった。

我々は当初から界面ラフネスを疑い、意図的に界面を化学的に粗らし、その上に FET を作製し移動度の比較をした。しかしながら、粗さを変えても高電子密度領域の移動度の値はほとんど変わらないということがわかった。このことは技術的にはかなりショッキングなことであったが現実には変わらないのでこの考え方を捨てざるを得なかった。

そこで、もう少し本質的な散乱機構としてサブバンド間散乱を考えた。Si に比べてサブバンド間散乱の頻度が上がることが予測され、それに伴って本質的に移動度はサブバンド占有率が上がると共に劣化するのではないかと考えられた。しかしながら、定性的にはもっともらしいが、面方位を変えた効果や温度を変えた時の移動度の振る舞いは微妙なサブバンド構造に依存して移動度が変わっていると考えるのが難しいことがわかってきた。

そこで、もう一度界面散乱機構の原点に立ち戻って考えることにした。界面散乱を規定する際には、界面の凹凸の絶対値とその凹凸の相関長（きわめて単純な場合には、その凹凸の平均距離）の両方が必要になってくることが知られている。先に述べた化学的に表面を荒らした場合には、凹凸の高さに関しては確かに AFM を使って変化を与えていたが相関長に関しては考慮していなかったし、凹凸を増やす方向ではあったが減らす方向には効いていなかった。そこで考え方を大きく変えて、原子レベルで平坦な表面をまず作製するという方向に舵をきった。そこで考えたのが H₂ アニールである。高温 H₂ アニールが Si 表面の原子レベル平坦化に大きな寄与をしていることはすでに知られていたが、反応性の高い Ge での H₂ アニールがどのような作用をするか全く例がなかった。

Ge (111) 1.0μm□

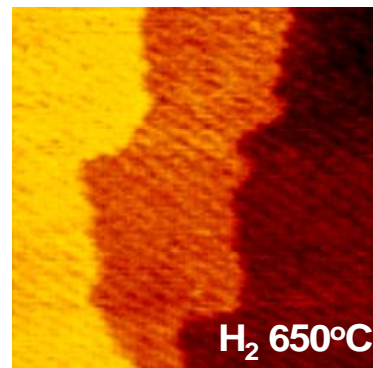


図1 Ge (111)面を H₂ 雰囲気中でアニールしたときの表面 AFM 像。原子レベルの平坦化が観測される。(論文)

まずは Ge(111)面から H₂ アニールを行ったところ、これは非常に簡単にサブミクロン領域のテラス領域を持つ原子レベル平坦性が得られることがわかった。この表面 AFM 像を図 1 に示す。このステップは丁度(111)面のステップ高さに対応していることもわかった。

移動度を考える上では、これは十分な広さである。続いて(100)面、(110)面においても原子レベル平坦性が得られることがわかった(論文)。しかしこれはあくまでも表面であり、FET を形成したときの界面ではない。そこでゲートスタックを形成した時に実際に界面であった部分の Ge 表面が平坦であるかどうかを調べた。得られた結果は、ゲートスタックの形成法によって平坦性がキープされたり、崩されたりすることがわかってきた(学会)。図 2 にその温度と圧力による平坦性との関係を示す。

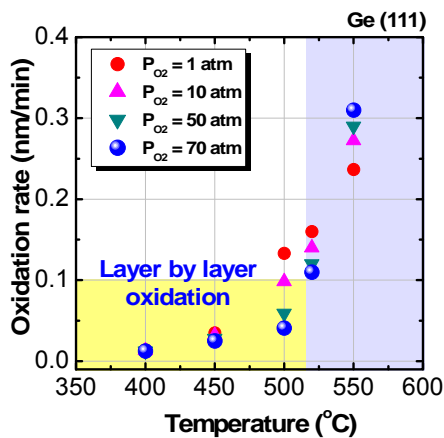


図 2 温度と酸素圧力をパラメータとしたときの平坦性のキープのされ方の違いを示す。(学会)

そこでその平坦性を維持するようにゲートスタックを形成した結果、高電子密度下での移動度は確かに大きく向上した。これは Ge FET 技術の中でも画期的なものと言える。ここで H₂ アニールの重要性というよりも平坦化した表面に注意を払うべきであろう。つまり平坦化は他の方法でも可能だろうと考えられる。Si においてもウェット処理で平坦化可能であり、また結局は酸素を極力減らすという方向で平坦化が可能になっていることを考えると Ge 表面においても同様のことが言えるであろう。このように平坦化した Ge 表面に作製されたゲートスタックもその温度領域や絶縁膜を選ばないと、また荒れた界面になってしまうことも事実であり、注意深いプロセスの構築が必要である。また原子レベルで平坦な表面における界面反応として何が起きているかを考えるきっかけにもなっており、それは今後の研究課題にもなっている。

高電子密度領域における移動度に関しては予測していた以上にうまく行った。しかし、MBE によるホモエピの方は大きく手間取った。我々が MBE の専門家ではなかったこともあるが、わずかな条件の変更、あるいは同一条件と誤っている成長条件によっても成長膜の質が大きく影響され、FET 以前に MOS キャパシタ特性を安定して得ることができない状況に至った。この意味では、この部分に関しては正直に成功しなかった部分である。今後も試みようと思うが、MBE 技術をかためない限りこの方向性はないかもしれない。

そういう状況の中で熟慮した結果、方向を大きく変えることにした。二つの方向を考えた。一つは基板の質の向上による移動度の向上であり、もう一つはゲートスタックの形成を熱力学的にもう一度見直すことによる高圧酸素酸化をしなくても界面欠陥を作らない方向を考えることであった。この二つによって同位体効果の目的を挽回すべく大きな移動度の向上をめざした。

(i) 基板の質の向上

先に考えた H₂ アニールは表面の平坦化であったが、実は基板内の欠陥を縮小することができることがわかった。この結果は以下のような経緯でわかってきた。我々は通常 2 種類の Ge 基板を使って調べてきたが、同一のプロセスを用いても移動度の値が異なる事がわかっていった。界面準位密度などの量はほぼどちらも変わりはなく、またゲートスタックも同一である。しかしながら、のように H₂ アニールを施すと、移動度の値が悪い方の基板上では移動度が大きく向上していることがわかった(図 3)。

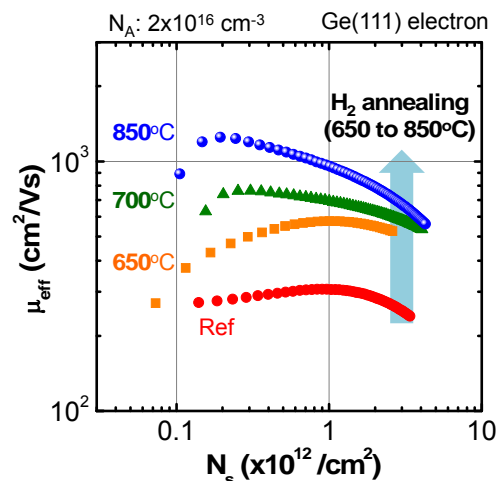


図 3 基板を水素アニールする事によって得られた電子移動度の著しい向上。(学会)

ここで注意しなくてはならないので、これは界面ラフネスが減少したということではなく、ピーク移動度が向上しているので、ク

ーロン散乱に起因した散乱が効いているように思われた。界面準位密度は変わらないので、基板中にその起源を求めた。SiにおけるH₂アニールでは、基板中の表面付近の酸素がH₂の強い還元性によって抜けてSiO₂の耐圧不良に関する信頼性が向上することがよく知られている。Ge基板上では信頼性はともかく酸素が関与していないかということが考えられる。結論を述べると、H₂アニールをする事によって確かに酸素量が減少していることがSIMSによって明らかになった。一方のもともと移動度が高かった方のGe基板には酸素は初めから分析限界以下しか入っていないこともわかった。その意味で直接的ではないが、酸素は移動度を劣化させている要因の一つである事は間違いない。酸素の微視的役割、あるいは基板内でどのような形で存在しているかは今のところわからないが、今後の大変重要な事項の一つになる。いずれにしてもH₂アニールによって、電子濃度の全領域にわたって移動度が向上することがわかったことは、Ge CMOS技術を展開する上できわめて重要な発見であると言える。

(ii) 良好な界面形成手法の開発

もう一点はゲートスタック形成による界面準位密度を高圧酸化を使わずに材料的に実現しようという試みである。これらは現実的には同位体散乱よりも効き方が大きいので、こちらに舵を切っても重要性は変わらないと考え方向転換したわけである。

従来、我々は高圧酸素酸化を用いることによってGeO脱離を抑え良好な界面を形成してきた。しかしGeO₂によってゲートスタックを形成したときには薄膜化限界が存在するのは目に見えておりいずれにしろHigh-k膜が必要になる。そこで考え方を改めて、高圧酸素によって反応を安定化させるのではなく、材料の適切な選択によってこれを達成しようと考えた。つまりそれは酸化反応における生成ギブスエネルギーができるだけ小さい(負の方向に大きい)ものを選ぶということである。我々はY₂O₃をその候補に選んだ。しかし、Y₂O₃をダイレクトにGe上に堆積した時にはHfO₂よりも圧倒的によいが、パーフェクトに近い膜は得られていなかった。そこで、GeO₂を安定化させるという意味とGeO₂の良さは使いたいということから、Y₂O₃をGeO₂中にドーピングする膜を目的の膜(YGOと以下呼ぶ)として検討した。この方向は絶大な効果をもたらし、高圧酸化を用いずとも等価酸化膜厚(EOT)が1nmを切る領域で移動度が1000cm²/Vsecを超える値を得ることができるようになった(図4)。

上記で述べた界面の平坦化、YGO膜の採用などで、EOTが1nmを切る領域においても極めて高い移動度を実現できることがわ

かった。これらは今後のGe MOS技術実現に向けた決定的に重要な技術になると考えている。

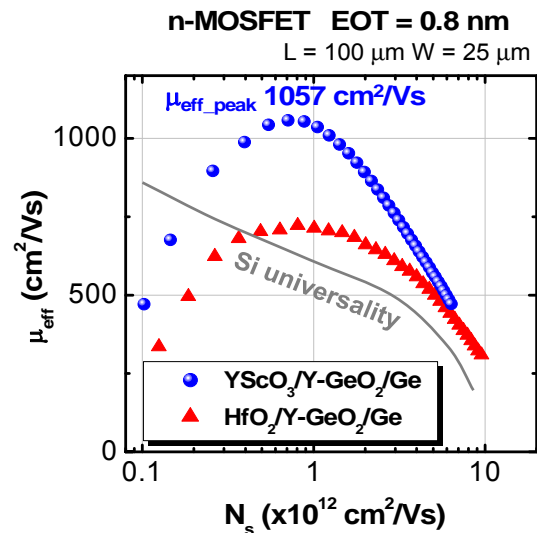


図4 EOT=0.8 nmをもつGe MOSFETの電子移動度。今回開発したゲートスタックにおいて1000 cm²/Vsecを超える移動度が実現されておりSiを大きく凌駕している。(学会)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計11件)

C. Lu, C.H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi

"Reliability assessment of germanium gate stacks with promising initial characteristics"

Appl. Phys. Exp. 8(2015)

021301-1 ~ -04

<http://dx.doi.org/10.7567/APEX.8.021301>

査読有

C. Lu, C.H. Lee, W. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi

"Structural and thermodynamic consideration of metal oxide doped GeO₂ for gate stack formation on germanium"

J. Appl. Phys. 116(2014)

174103-1 ~ 3

<http://dx.doi.org/10.1063/1.4901205>

査読有

T. Nishimura, S. Kabuyanagi, W. Zhang, C.H. Lee, T. Yajima, K. Nagashio, and A. Toriumi

"Atomically flat planarization of Ge(100), (110), and (111) surfaces in H₂

annealing"
Appl. Phys. Exp. 7(2014)
051301-1 ~ 3
<http://dx.doi.org/10.7567/APEX.7.051301>
査読有

C. H. Lee, T. Nishimura, T. Tabata,
D. Zhao, K. Nagashio, and A. Toriumi
"Characterization of electron mobility in
ultrathin body germanium-on-insulator
metal-insulator-semiconductor
field-effect transistors"
Appl. Phys. Lett. 102(2013)
232107-1 ~ 4
<http://dx.doi.org/10.1063/1.4810002>
査読有

[学会発表](計 92 件)
C. Lu and A. Toriumi
"Structural coordination of rigidity with
flexibility in gate dielectric films for
sub-nm EOT Ge gate stack reliability"
IEDM 2015
2015 年 12 月 8 日
Washington D.C.(USA)

A. Toriumi
"Materials and Process Controls in
Germanium Gate Stacks"
SISC 2015
2015 年 12 月 4 日
Arlington, VA(USA)

C. Lu, C. H. Lee, T. Nishimura,
and A. Toriumi
"Design and Demonstration of
Reliability-Aware Ge Gate Stacks with
0.5 nm EOT"
2015 Symposium on VLSI Technology
2015 年 6 月 16 日
リーガロイヤルホテル京都 (京都府・京都市)

C. H. Lee, T. Nishimura, C. Lu,
S. Kabuyanagi, and A. Toriumi
"Dramatic Effects of Hydrogen-induced
Out-diffusion of Oxygen from Ge Surface
on Junction Leakage as well as Electron
Mobility in n-channel Ge MOSFETs"
IEDM 2014
2014 年 12 月 17 日
San Francisco (USA)

C. H. Lee, C. Lu, T. Nishimura,
K. Nagashio, and A. Toriumi
"Thermally Robust CMOS-aware Ge
MOSFETs with High Mobility at
High-carrier Densities on a Single
Orientation Ge Substrate"
2014 Symposium on VLSI Technology

2014 年 6 月 11 日
Hawaii (USA)

C. H. Lee, T. Nishimura, T. Tabata, C. Lu,
W. Zhang, K. Nagashio, and A. Toriumi
"Reconsideration of Electron Mobility in
Ge n-MOSFETs from Ge Substrate Side
-Atomically flat surface formation,
layer-by-layer oxidation, and dissolved
oxygen extraction"
IEDM2013
2013 年 12 月 9 日
Washington D.C.(USA)

C. H. Lee, C. Lu, T. Tabata, W. Zhang,
T. Nishimura, K. Nagashio, and A.
Toriumi
"Oxygen Potential Engineering of
Interfacial Layer for Deep Sub-nm EOT
High-k Gate Stacks on Ge"
IEDM2103
2013 年 12 月 9 日
Washington D.C.(USA)

C. H. Lee, C. Lu, T. Tabata, T. Nishimura,
K. Nagashio, and A. Toriumi
"Enhancement of High-Ns Electron
Mobility in Sub-nm EOT Ge
n-MOSFETs"
2013 Symposium on VLSI Technology
2013 年 6 月 11 日
リーガロイヤルホテル京都 (京都府・京都市)

[図書](計 1 件)
島海明 他、株式会社エヌ・ティー・エス、
「ポストシリコン半導体 - ナノ成膜ダイ
ナミクスと基板・界面効果 - 」、
2013 年、510 ページ、
第 3 章 第 1 節
"Ge CMOS 開発におけるゲート酸化膜
形成の界面制御" (127 ~ 146 ページ)

[産業財産権]
○出願状況 (計 0 件)
○取得状況 (計 0 件)

[その他]
ホームページ等
<http://www.adam.t.u-tokyo.ac.jp/publication.html>

6 . 研究組織

- (1)研究代表者
島海 明 (TORIUMI, Akira)
東京大学・大学院工学系研究科・教授
研究者番号 : 5 0 3 2 3 5 3 0
- (2)研究分担者 なし
- (3)連携研究者 なし