

科学研究費助成事業 研究成果報告書

平成 29 年 4 月 21 日現在

機関番号：14301

研究種目：基盤研究(B) (一般)

研究期間：2013～2016

課題番号：25280014

研究課題名(和文) 自律的特性補償により閾値付近の低電圧まで安定動作する集積回路設計技術

研究課題名(英文) LSI design methodology that enables robust operation under the supply as low as threshold voltage by self-compensating performance variability

研究代表者

小野寺 秀俊 (ONODERA, Hidetoshi)

京都大学・情報学研究科・教授

研究者番号：80160927

交付決定額(研究期間全体)：(直接経費) 14,000,000円

研究成果の概要(和文)：電源電圧の低下に伴い、トランジスタ特性のばらつきによる回路特性変動が拡大する。低電圧での安定動作を達成するため、トランジスタ特性のばらつき量を自己診断するモニタ回路と、基板電圧の調節によりばらつき量を補償する基板バイアス生成回路を開発した。ばらつきに脆弱なラッチ回路について動作安定性の解析方法を開発し、閾値付近の低電圧まで安定動作させるための設計指針を求めた。これらの技術により、自律的特性補償により低電圧でも安定に動作する集積回路が実現できる。

研究成果の概要(英文)：Under low voltage operation, variability of circuit performance increases due to process variations, which may result in functional failure. In order to maintain robust operation under low supply voltage close to the threshold voltage of transistors, an on-chip monitor circuit for estimating process variations and a body-bias generator for compensating the estimated process variations have been developed. Analytical stability modeling for CMOS latches, which are known to be susceptible to process variations, has been developed and design guidelines for variation-tolerant latches have been derived. With those techniques, a circuit with stable operation under low supply voltage down to the threshold voltage of transistors can be realized.

研究分野：集積回路設計工学

キーワード：システムオンチップ 集積回路 低消費電力化 製造容易化

1. 研究開始当初の背景

集積回路は各種 IT 機器の中核を担う基幹デバイスであり、その低消費電力化は喫緊の課題である。集積回路動作時の消費電力は電源電圧の2乗に比例することから、消費電力の削減には低電源電圧化が大きな効果がある。しかし、電源電圧を下げた場合、トランジスタ特性のばらつきが拡大し、遅延故障や機能故障につながる。すなわち、集積回路の安定動作を保証するために、電源電圧には下限値が存在する。下限値を下げるためには、閾値電圧ばらつき量から定まる電圧マージンの削減が必要になる。デバイスによるばらつき特性改善に頼ること無く、設計技術と回路技術の協調により閾値電圧ばらつき量から定まる電圧マージンを削減して電源電圧の下限値を下げ、低消費電力化を可能にする方法が強く望まれている。

2. 研究の目的

本研究では、トランジスタ特性のばらつきを自己診断して補償することにより、定格電圧から閾値電圧近傍(0.4V)までの幅広い電源電圧で安定動作する集積回路の設計技術を開発することを目的とする。電源電圧の低減化により、動作時のエネルギー効率(消費エネルギーあたりの性能)を飛躍的に向上可能である。例えば、定格では 1.2V の電源電圧を 0.6V に半減させることにより、動作速度は低下するが、消費エネルギーは 1/4 に減少させることができる。このような低電圧動作においては、トランジスタ特性のばらつきによる動作特性の変動量が拡大し、回路の安定動作が困難になる。本研究では、プロセスばらつきによるトランジスタ特性の変動量を自己診断し、基板電圧を調節して適正値に補償することで、プロセスばらつきの影響を排除し、安定動作を達成する方法について検討する。

3. 研究の方法

本研究では、以下に示す3項目の課題に取り組み、幅広い電圧範囲での集積回路の安定動作を実現する。各課題ごとに研究方法を説明する。

(1) 幅広い電圧範囲でトランジスタ特性を自己診断する回路技術

トランジスタ特性のばらつきは、チップ間成分とチップ内成分が重畳された形になっている。本研究では、チップ間成分の平均値とともに、ここのトランジスタのチップ内成分も自己診断可能な回路について検討する。特定のトランジスタの動作特性が回路全体の動作特性に強い影響を及ぼす回路構造について検討し、これを要素回路とするリングオシレータ型の自己診断回路を開発する。

(2) 基板電圧調節によりトランジスタ特性を自律補償する回路技術

トランジスタ特性の自己診断結果に基づ

き、基板電圧の調節によりトランジスタ特性を適切な値に補償する回路を開発する。回路構造の工夫により、閾値電圧付近の低電圧でも安定に動作する回路の実現を目指す。基板電圧生成回路はアナログ回路であるが、セルベース設計環境での自動設計を可能とする。

(3) 幅広い電圧範囲で安定に動作しエネルギー効率の高い論理ゲートの設計技術

エネルギー効率を高めるために閾値電圧付近で論理回路を動作させる場合、順序論理ゲートであるフリップフロップの安定動作が課題となる。すなわち、組み合わせ論理ゲートの動作可能最低電圧に比べて、フリップフロップの動作可能最低電圧は遥に高いのが一般的である。本研究では、フリップフロップを構成するラッチの動作不良発生確率を解析し、動作不良発生確率を低く保つための設計指針を明かにする。

4. 研究成果

(1) 再構成可能リングオシレータを用いたトランジスタ特性の自己診断

はじめに

トランジスタ特性のばらつきを評価する方法として、リング発振回路(RO: Ring Oscillator)アレイを用いる方法が広く用いられている。特性測定が容易であるが、チップ内ばらつき量を測定するためには、多数のROを用意する必要がある。そのため、面積オーバーヘッドが課題となる。本研究では、チップ間ばらつきとともにチップ内ばらつきも小面積で評価可能にする再構成可能な遅延回路によるリングオシレータを開発した。完全デジタル型でセルベース設計環境で実装できるため、設計コストが小さく、観測対象のデジタル回路との混載が可能である。

再構成可能モニタ回路

図1に開発した再構成可能遅延回路の構造を示す。2種類のプルアップ回路と2種類のプルダウン回路がそれぞれ並列に接続されており、動作する回路部分が切り替えられるようになっている。本回路は、例えば図2に示すような構造に再構成することが可能である。図2(a)の構成は、プルアップ/ダウンともに1段階で行う構成で、nMOSFETとpMOSFETの双方が遅延特性に影響を及ぼす。図2(b)

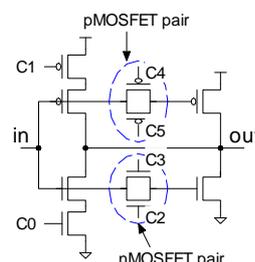


図1. 再構成可能な遅延回路

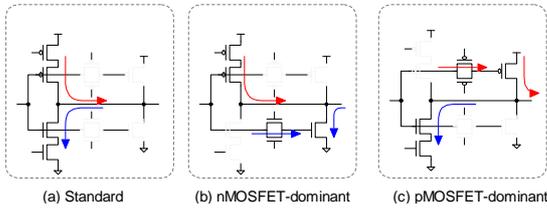


図 2. 遅延回路の構成とその動作

は1段目でプルアップし2段目でプルダウンする。図2(c)は1段目でプルダウンし2段目でプルアップする。これらの回路は、2段目の遅延特性により回路全体の遅延特性が大きく影響を受ける。従って、図2(b)と図2(c)の遅延特性は、それぞれ nMOSFET および pMOSFET のしきい値電圧に強く影響を受けることになる。

再構成可能リングオシレータは、2入力 NAND ゲートの出力に図1の遅延回路を偶数段縦属接続し、その出力を2入力 NAND ゲートの入力に帰還した回路である。構成要素である再構成遅延回路のすべてを図2(a)(b)(c)のいずれかの構成にした3種類の回路(均質 R0)における発振周波数より、nMOSFET と pMOSFET のしきい値電圧とチャネル長に関するチップ間ばらつき量を求めることができる。チップ内ばらつき量については、均質 R0 の中の1段のみを図2(b)もしくは(c)の構成にした非均質 R0 について、非均質段の場所を順次変えた場合の発振周波数のばらつきより求めることができる。

試作チップによるチップ間ならびにチップ内ばらつき量の実測結果

65nm プロセスにてテストチップを試作した。R0 の段数は127である。3種類の均質構造 R0 の発振周波数より、nMOSFET と pMOSFET のしきい値電圧変動量とチャネル長の変動量を求めた。30チップの測定を行い、抽出したしきい値電圧の変動量を図3に示す。nMOSFET のしきい値偏差は40mV、pMOSFET のしきい値偏差は0mVであった。チップ内ばら

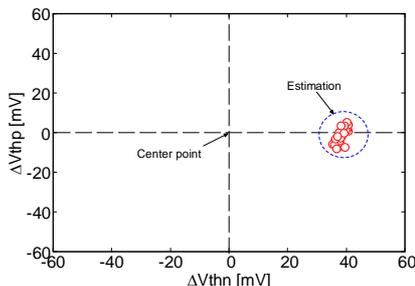


図 3. しきい値電圧変動量(30チップ)

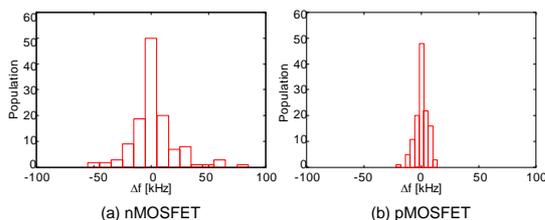


図 4. チップ内発振周波数分布

つき量について評価した結果を図4に示す。これは、非均質段を変えた場合の発振周波数のばらつきに関するヒストグラムである。チップ内周波数ばらつきの電源電圧依存性よりしきい値電圧の変動量(標準偏差)を推定した結果、nMOSFET と pMOSFET でそれぞれ 40 mV と 18mV と求めることができた。

(2) 閾値程度の低電圧動作が可能な基板電圧生成回路

はじめに

トランジスタ特性のばらつきを、基板電圧でしきい値電圧を調節することにより補償する。この時、チップ全体で一括して調節するのではなく、適切な小領域ごとに自己診断と基板バイアス電圧を調節することにより、チップ内ばらつき成分も含めた動作特性の補償が可能になる。本方式による基板電圧生成回路(BBG: Body Bias Generator)は、占有面積が小さく、コア電圧のみで動作する事が求められる。また、制御対象の回路の一部として埋め込まれるため、セルベース設計環境での自動設計にて実装可能でなくてはならない。本研究では、これらの要求を満足するBBGを開発した。

広い範囲の電源電圧で動作可能な基板電圧生成回路

順方向ならびに逆方向バイアス電圧を生成可能な回路を開発した。p-well 電圧を生成するBBGを例にとり、本研究で開発した回路を図5に示す。DA変換回路でバイアス電圧を生成し、順方向バイアスの場合にはその電圧を、逆方向バイアスの場合にはチャージポンプで生成したVddを差し引いた電圧を出力する。しきい値電圧程度の低電圧でも動作可能となるよう入力段を工夫したオペアンプを図6に示す。

セルベース設計で実現した基板電圧生成回路

開発した回路を要素回路に分割し、各要素回路はデジタル回路のスタンダードセル

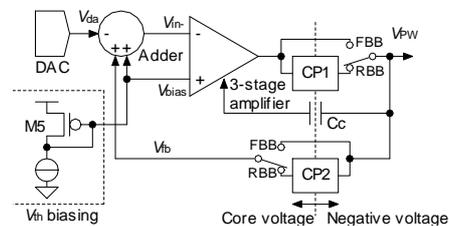


図 5. 基板バイアス生成回路

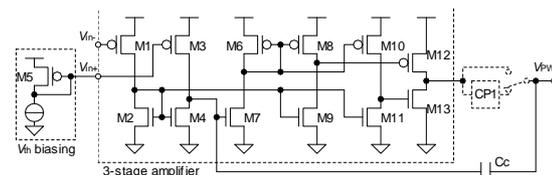


図 6. 低電圧で動作可能なオペアンプ

と混載が可能となるようにレイアウトを作成した。開発したBBGの動作を検証するため、65nmCMOSプロセスで設計実験を行った。制御対象回路はAES暗号の暗号化および復号化回路である。図7に、AES回路に混載したBBGのチップレイアウト図ならびにチップ写真を示す。試作した回路の動作特性を、電源電圧1.2Vと0.5Vで評価した。電源電圧1.2Vの場合には-0.6Vから0.6Vの範囲で、電源電圧0.5Vの場合には-0.25Vから0.25Vの範囲で、分解能6bitで基板電圧を生成した。いずれの電源電圧でも、DNLの最大値は0.5bit以下であった。INLの最大値は電源電圧1.2Vにおいて85mVであった。過渡応答時間は2 μ s、消費電力は0.6mWであった。

(3) ラッチ回路の動作安定性モデル

はじめに

一般的に、集積回路が安定に動作可能な最低電圧は、メモリやフリップフロップなどの記憶素子の最低動作可能電圧で決まっている。従って、集積回路の低電圧安定動作を達成するためには、記憶素子の動作安定性を解析し、低電圧でも必要な歩留まりが得られるような設計指針を導くことが重要である。低電圧動作における記憶素子の故障モード解析の結果、ラッチ回路が記憶データを保持できなくなる事が動作不良の原因である事がわかっている。そこで、本研究ではラッチ回路の歩留まりを表す統計モデルを明かにし、低電圧安定動作を達成するための設計指針を求めた。

ラッチ回路の歩留まりモデル

図8(a)に示すラッチ回路を対象とする。トランジスタのしきい値電圧がばらついた状況で正常に動作する割合が歩留まりであり、歩留まりを表すモデルを解析的に求める。ここで、ラッチのバタフライカーブを描いた場

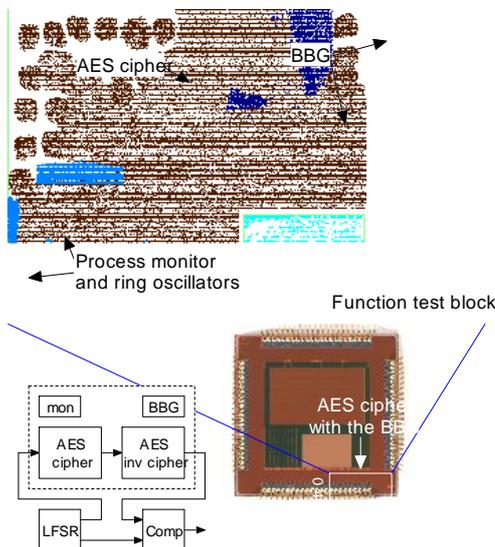


図7. AES回路と混載したBBG

合、正常に動作するラッチでは図8(b)に示すように「目」が開く。一方、誤動作する場合には、図8(c)に示すように「目」が閉じる。そこで、バタフライカーブの形を平行四辺形で近似することとし、その平行四辺形が正の面積を持つ場合に正常動作し、それ以外の場合に動作不良を起こすモデルを考案した。図9に、平行四辺形のモデルを示す。眼鏡カーブが-1の傾きを持つ点と $-1 < g^1(v_{in}) < 0$ の傾きをもつ点を解析的に導出し、これらの点により平行四辺形を表現した。

シミュレーションおよびテストチップの実測による歩留まりモデルの精度評価

65nmプロセスを想定し、モンテカルロシミュレーションと開発モデルによる歩留まりを3種類のラッチ回路で比較した。各ラッチのトランジスタ寸法は、ラッチAがnMOSFET, pMOSFET共に最小、ラッチBはpMOSFETが1.5倍、ラッチCはラッチBの3倍である。図10に電源電圧に対する歩留まりの比較を示す。両者はよく合っている。次に、65nmプロセスでクロックインバータ構造を持つ3種類のラッチを作成し、その歩留まりを実測した。図11に実測値とモデルでの予測結果を示す。両者の一致は良好である。

低電圧安定動作のための設計戦略

提案モデルを用いて歩留まり解析を行った結果、低電圧安定動作のための設計指針として、以下を得た。

1. トランジスタ寸法を大きくし、ばらつきを減少させる。
2. pMOSFETとnMOSFETの駆動力が等しくなるように設定する。
3. ラッチを構成する2個のインバータでは、pMOSFETとnMOSFETの駆動力比が等しくなるように設定する。

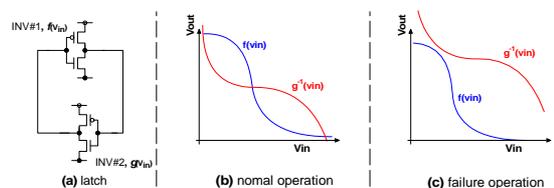


図8. (a)対象とするラッチ回路; (b)正常動作時; (c)誤動作時

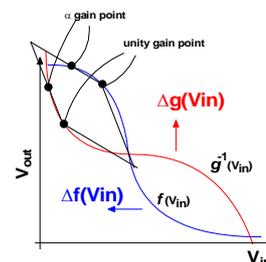


図9. 提案モデル

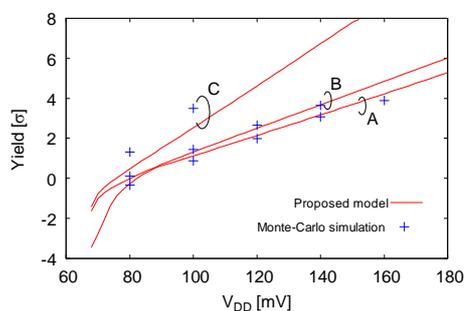


図 10. ラッチ回路の歩留まり(シミュレーションとの比較)

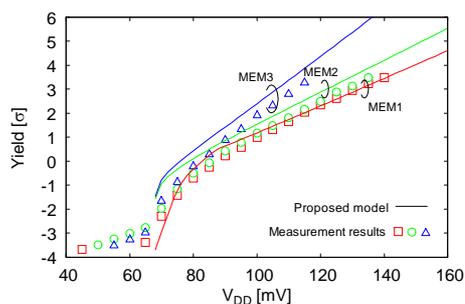


図 11. ラッチ回路の歩留り(実測値との比較)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 10 件)

Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, Analytical Stability Modeling for CMOS Latches in Low Voltage Operation, IEICE Transactions on Fundamentals, 査読有、E99-A、2016、2463-2472、DOI:10.1587/transfun.E99.A.2463

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, Layout Generator with Flexible Grid Assignment for Area Efficient Standard Cell, IPSJ Transactions on System LSI Design Methodology, 査読有、8、2015、131 - 135、DOI:10.2197/ipsjtsldm.8.131

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, Statistical Timing Modeling Based on a Lognormal Distribution Model for Near-Threshold Circuit Optimization, IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, 査読有、E98-A、2015、1455-1466、DOI:10.1587/transfun.E98.A.1455

N. Kamae, A. Tsuchiya, H. Onodera, A Forward/Reverse Body Bias Generator with Wide Supply-Range down to Threshold

Voltage, IEICE TRANSACTIONS on Electronics, 査読有、E98-C、2015、504-511、DOI:10.1587/transele.E98.C.504

Bishnu Prasad Das, Hidetoshi Onodera, On-chip Measurement of Rise/Fall Gate Delay Using Reconfigurable Ring Oscillator, IEEE Transactions on Circuits and Systems II, 査読有、61、2014、183 - 187、DOI:10.1109/TCSII.2013.22961

Norihiro KAMAE, Akira TSUCHIYA, Hidetoshi ONODERA, A Body Bias Generator with Low Supply Voltage for Within-die Variability Compensation, IEICE Transactions on Fundamentals, 査読有、E97-A、2014、734 - 740、DOI:10.1587/transfun.E97.A.734

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, Standard Cell Structure with Flexible P/N Well Boundaries for Near-Threshold Voltage Operation, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 査読有、E96-A、2013、2499-2504、DOI:10.1587/transfun.E96.A.2499

A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, On-Chip Detection of Process Shift and Process Spread for Post-Silicon Diagnosis and Model-Hardware Correlation, IEICE Transactions on Information and Systems, E96-D、2013、1971-1979、DOI:10.1587/transinf.E96.D.1971

[学会発表](計 18 件)

A.K.M. Mahfuzul Islam, Tatsuya Nakai, Hidetoshi Onodera, A Statistical Modeling Methodology of RTN Gate Size Dependency Based on Skewed Ring Oscillators, 2017 IEEE International Conference on Microelectronic Test Structures, 2017/3/28-30、「Grenoble(France)」

A.K.M. Mahfuzul Islam, Tatsuya Nakai, and Hidetoshi Onodera, Statistical Analysis and Modeling of Random Telegraph Noise Based on Gate Delay Variation Measurement, International Conference on Microelectronic Test Structures, 2016/3/28-31、「メルパルク横浜(神奈川県・横浜市)」

Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, A Closed-Form Stability Model for Cross-Coupled Inverters Operating in Sub-Threshold Voltage Region, 21st Asia and South Pacific Design Automation Conference (ASP-DAC)、

2016/1/25-28, 「Macao(China)」

A.K.M. Mahfuzul Islam and Hidetoshi Onodera, On-chip Monitoring and Compensation Scheme with Fine-grain Body Biasing for Robust and Energy-Efficient Operations, 21st Asia and South-Pacific Design Automation Conference (ASP-DAC), 2016/1/25-28, 「Macao(China)」

Hidetoshi Onodera, Design Challenges and Solutions in the era of IoT, IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), 2015/10/5-7, 「Daejeon(Korea)」

S. Nishizawa, T. Ishihara, H. Onodera, An impact of process variation on supply voltage dependence of logic path delay variation, International Symposium on VLSI Design, Automation and Test, 2015/4/27-29, 「Hsinchu(Taiwan)」

A.K.M. Mahfuzul Islam, Hidetoshi Onodera, Sensitivity-independent Extraction of Vth Variation Utilizing Log-normal Delay Distribution, 2015 IEEE International Conference on Microelectronic Test Structures, 2015/3/24-26, 「Phoenix (USA)」

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, Design Methodology of Process Variation Tolerant D-Flip-Flops for Low Voltage Circuit Operation, IEEE International System-On-Chip Conference, 2014/9/2-5, 「Las Vegas(USA)」

Tatsuya Kamakari, Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, Variation-Aware Flip-Flop Energy Optimization for Ultra Low Voltage Operation, IEEE International System-On-Chip Conference, 2014/9/2-5, 「Las Vegas(USA)」

A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, Characterization and compensation of performance variability using on-chip monitors, 2014 International Symposium on VLSI Design, Automation and Test, 2014/4/28-30, 「Hsinchu(Taiwan)」

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, Variation Tolerant Design of D-Flip-Flops for Low Voltage Circuit Operation, International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), 2014/3/6-7, 「Santa Cruz(USA)」

Norihiro Kamae, Islam A.K.M Mahfuzul, Akira Tsuchiya, Hidetoshi Onodera, Cell-based Physical Design Automation for Analog and Mixed Signal Application, International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), 2014/3/6-7, 「Santa Cruz(USA)」

A.K.M. Mahfuzul Islam, Tohru Ishihara, and Hidetoshi Onodera, Reconfigurable Delay Cell for Area-efficient Implementation of On-chip MOSFET Monitor Schemes, IEEE Asian Solid State Circuits Conference, 2013/11/11-13, 「Singapore(Singapore)」

A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, Area-efficient Reconfigurable Ring Oscillator for Characterization of Static and Dynamic Variations, International Conference on Solid State Devices and Materials, 2013/9/25-27, 「(福岡県・福岡市)」

A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, In-Situ Variability Characterization of Individual Transistors Using Topology-Reconfigurable Ring Oscillators, International Conference on Microelectronic Test Structures, 2014/3/25-27, 「Udine(Italy)」

6. 研究組織

(1) 研究代表者

小野寺 秀俊 (ONODERA, Hidetoshi)
京都大学・大学院情報学研究科・教授
研究者番号：80160927

(2) 研究分担者

土谷 亮 (TSUCHIYA, Akira)
京都大学・大学院情報学研究科・助教
研究者番号：20432411

石原 亨 (ISHIHARA, Tohru)
京都大学・大学院情報学研究科・准教授
研究者番号：30323471

(3) 連携研究者

西澤 真一 (NISHIZAWA Sinichi)
埼玉大学・大学院理工学研究科・助教
研究者番号：40757522

A.K.M. Mahfuzul Islam
東京大学・生産技術研究所・助教
研究者番号：80762195