

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 13 日現在

機関番号：12608

研究種目：基盤研究(B) (一般)

研究期間：2013～2016

課題番号：25289086

研究課題名(和文)低損失パワーデバイス応用ダイヤモンド接合電界効果トランジスタ

研究課題名(英文)Diamond Junction Field-Effect Transistors for Low-Loss Power Device Applications

研究代表者

波多野 睦子 (Hatano, Mutsuko)

東京工業大学・工学院・教授

研究者番号：00417007

交付決定額(研究期間全体)：(直接経費) 13,700,000円

研究成果の概要(和文)：地球規模の環境エネルギー問題に大きく貢献する、パワーデバイスの省エネ化を目的として、優れた物性を有するダイヤモンド半導体を用いた新規な接合型電界効果トランジスタを試作し、オン抵抗 $5\text{ m}\Omega\text{ cm}^2$ 以下(現状比10倍向上)で絶縁破壊電界 5 MV/cm 以上の性能を実現した。具体的には、n型ダイヤモンドの選択成長法を用いた横型pn接合ダイオードを適用した接合FET、さらには大電流化を目的としたマイナリティキャリア注入による伝導度変調デバイスを提案し、その効果を検証した。さらに縦型構造によるオン電流を確認し、界面の解析やナノスケールでのキャリア輸送特性を解明することにより、制御性の向上を見出した。

研究成果の概要(英文)：Low power loss power devices greatly contribute to a global environmental energy issues. Diamond semiconductor is an attractive material for next-generation power devices due to its wide band-gap, high breakdown field, and high thermal conductivity. By selective n-type diamond growth, diamond junction field effect transistors (JFETs) were obtained and we confirmed the superior performances of low on resistance ($< 5\text{ m}\Omega\text{ cm}^2$) and high electric field ($> 5\text{ MV/cm}$). To increase the on-current, we proposed bipolar-mode operation of the JFETs. We achieved 4-9 times higher drain currents in the bipolar-mode compared with the unipolar-mode operation at a DC current gain of 10. Furthermore, the bipolar-mode currents at the high temperatures of 473 and 573 K became two orders of magnitude larger than the unipolar-mode current at room temperature with a large DC current gain of 102. the bipolar-mode operation in up to 573 K.

研究分野：工学

キーワード：電子・電気材料

1. 研究開始当初の背景

グリーンイノベーション推進に貢献するスマートグリッド化が進められる中、送電、再生エネルギー、EV、鉄道、情報機器など、社会インフラでのキーであるパワーデバイスのさらなる低損失化の要求が高まっている。また宇宙や原子力発電などのエレクトロニクス利用でも、耐放射線性、高温安定性が優れた耐環境デバイスが求められている。現状パワーデバイスとしてはシリコン半導体が主に用いられているが、このようなニーズに応えるためにワイドバンドギャップ半導体を適用する必要がある。ダイヤモンドは、5.5 eV という大きなバンドギャップから高い絶縁破壊電界を有し(対 Si 比 60, 対 SiC GaN 比 3~4)、電力制御指数 Baliga FoM が高く(対 Si 比 27000)、熱伝導率は半導体中最も高いことから、次世代の低損失・高耐圧・小型軽量のパワーデバイスとして期待される。

2. 研究の目的

インバータの電力損失を現状より一桁低減するための第一ステップとして、本研究では、オン抵抗 $5\text{m}\Omega\text{cm}^2$ 以下(現状比 10 倍向上)で耐電界 5MV/cm 以上(現状比 10 倍向上)の低損失ダイヤモンド FET の実現を目的とし、n 型ダイヤモンドの選択成長法を用いた高整流特性を有する横型 pn 接合ダイオードを適用し、オン抵抗低減が可能な新規原理の接合 FET を提案し、パワーデバイスの性能向上の研究とキャリア伝導制御の原理検証を行う。

3. 研究の方法

ダイヤは局所的な不純物導入、特にイオン注入技術の適用が困難であり、従来はトランジスタの基本構造の横型 pn 接合が形成できず、接合型電界トランジスタ (JFET) や縦型構造のデバイスを実現することが困難であった。そこで n 型ダイヤの選択成長法を確立し、それを適用した n+型サイドゲートを有するダイヤ JFET の基本特性を確認し、高温、高電圧下で安定動作することを示した。n 型選択成長法は、ダイヤの炭素同士の間が強い結合が強い面方位による成長機構が大きく異なり、ある方位の成長と不純物の取込みを選択的に誘起できる、というユニークさを利用した(産総研)の独自技術である。横型 pn 接合はこの技術を用い、図 1(a)に示すようにボロンドープ [001] ダイヤに [110] 面を露出させたステップを形成し、このステップのコーナーから高濃度 ($>10^{19}\text{cm}^{-3}$) のリンドープダイヤを $\langle 111 \rangle$ 方向に選択成長させることにより作製した。横型 pn 接合をゲート部に有する JFET の断面と平面の構造を、図 1(b)と (c)に示す。ロッド状に加工した p 型層をチャンネルとし、その両側面に n 型ダイヤを選択成長することによりダブルサイドゲート構造が得られる。デバイスはゲート電圧によりチャンネルの空乏層幅を変化させ、ドレイン電流を制御する。この構造を基本として、パワー

デバイスとしての特性を評価し、さらに性能向上のための新規なデバイス提案し、その効果を検証した。

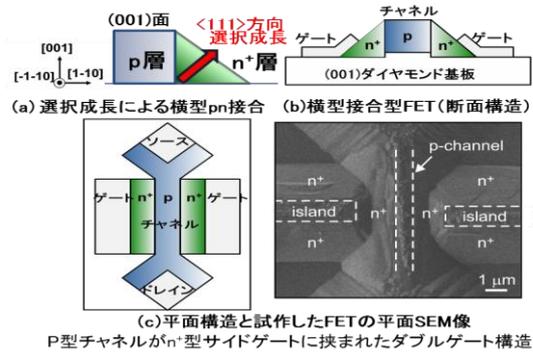


図1 n型ダイヤモンドの選択成長とそれを利用した横型接合型 FET の構造。

4. 研究成果

(1) n 型選択成長法をサイドゲートに用いた接合 FET の特性

図 2 に室温および 400°C において測定した出力特性を示す。 400°C におけるドレイン電流密度は約 1300 A/cm^2 となり、これは室温における電流密度 25 A/cm^2 から約 50 倍向上する。特性オン抵抗は、室温と 400°C でそれぞれ $52.2, 1.8\text{ m}\Omega\text{cm}^2$ である。アレニウスプロットからもとめた活性化エネルギーは、ボロンの不純物準位レベル 0.37 eV に相当することがわかった。これは高温で p チャンネル中のボロンの活性化される濃度が上がり、キャリア濃度が増加するためである。さらに温度が高くなると、オン抵抗の値は飽和することによる、オン電流減少が影響していると考えられる。また図から、オン/オフ比は広い温度に渡り、6 桁以上が得られていることがわかる。図 2 に示すように、 450°C においてもリーク電流が低く、理論限界に近い立ち上がり特性を示すことを確認しており、ダイヤ半導体のワイドバンドギャップの特長を反映している。

図 3 にブロッキング特性を示す。室温の耐圧は 566 V 、 200°C では 608 V であり、アバランシェ降伏であることを示唆している。電界に換算すると約 6MV/cm に相当し、SiC や GaN

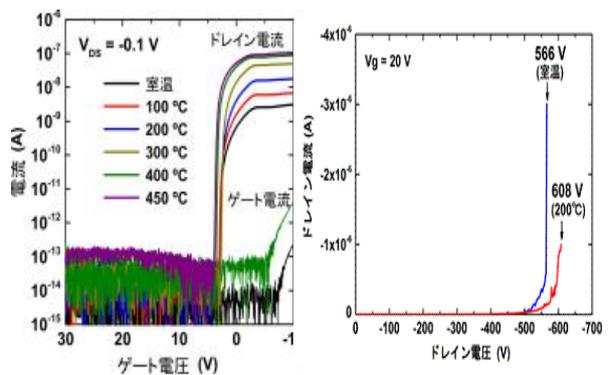


図2 伝達特性の温度依存性 ($L/W=7/0.5\mu\text{m}$). 図3 ブロッキング特性。

の理論限界 (3MV/cm) より大きな値が得られていることがわかる。以上示したように、高温・高電圧下での優れた特性から、ダイヤモンド JFET はパワーデバイスとしての応用が期待できる。

(3) 伝導度変調による接合トランジスタの電流増幅

ダイヤモンド JFET の一つの課題は大電流化である。これは先述のように、不純物ボロンの活性化率が室温で 1%程度と低いためである。そこでバイポーラモード動作による電流増幅を目的として、ゲートからマイノリティキャリアの電子を注入することにより、ダイヤモンド中の伝導度変調を世界で初めて確認した (13)。図 6 に、従来の JFET と伝導度変調を誘起した動作の違いを、下図に室温と 200 °C における出力特性を比較した。ゲートからの少数キャリア注入により、ドレイン電流が最大 8.5 倍に増加し、オン抵抗は 200°C で $2.6\text{ m}\Omega\cdot\text{cm}^2$ から $0.9\text{ m}\Omega\cdot\text{cm}^2$ に低減された。ここで強調したいのは、IGBT (Insulated Gate Bipolar Transistor) と比較して、オン電圧の上昇を伴わず電力損失を抑制することができるメリットである。

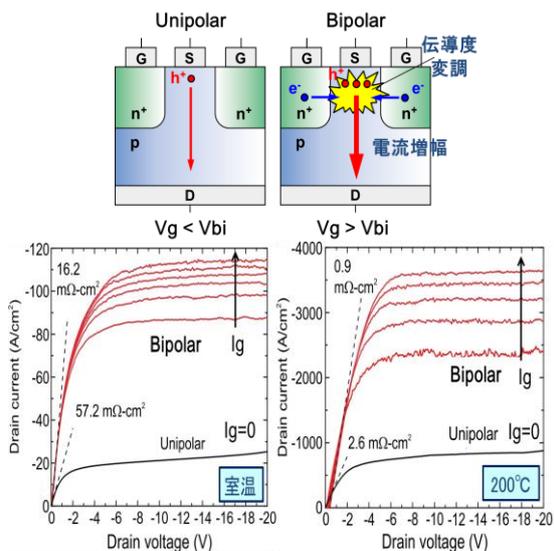


図 4 伝導度変調による JFET の電流増幅。

(4) 縦型ダイヤモンド JFET のプロセス開発

JFET の大電流化には、基板面積を有効に活用できる縦型デバイスの開発が必要である。縦型 JFET の作製に向け高精度なコンタクト電極形成技術を開発し、縦方向への電流を確認した。構造上、幅の狭い p チャンネルおよび n 層表面に電極形成のためのコンタクトホールが必要となる。p チャンネルと n+層の電気的接触を避けるために、層間絶縁膜として SiO₂ 膜をプラズマ CVD により堆積させた。EB リソグラフィを用いて微細なコンタクトホールを高い合わせ精度でパターンニングし、チャンネル上にソース電極、n 層上にゲート電極用のコンタクトホールを形成した。最後に、コンタクトホ

ールを介して金属電極を介してソースおよびゲート電極を形成し、基板裏面にドレイン電極を形成することで縦型 JFET 構造を作製した。この結果、p チャンネルおよび n ゲート領域にコンタクトホールが形成されており、高い合わせ精度での層間絶縁膜を介しての電極形成が可能となった。

縦型 JFET の伝達特性を評価したところ、20 μA 以上のオン電流が流れており、これは計算から見積もった値と同じオーダーであり、縦方向に電流が流れていることを示唆している。しかし正のゲート電圧では、ゲートからのリーク電流が増大するためにトランジスタをオフ状態にすることができなかった。横型 pn 接合に欠陥が存在しリーク電流の原因となっていることが考えられる。

この原因を解明するために、界面構造の詳細な観察を行った。図 5 に異なる基板上に選択成長法を用いて作製した 2 種類の横型 pn 接合ダイオードの電気特性を示す。赤線のデバイスは逆方向リークが測定限界以下であり整流比 3×10^7 を示すのに対し、黒線のデバイスは大きなリーク電流が流れ、整流比も 50 程度に留まっている。この原因を解明するために両デバイスを断面 TEM により観察した。図 6(a) はリークが少ないデバイスの断面 TEM 像であり、pn 界面には欠陥が見えず清浄な接合を形成している。一方、図 6(b) のリークが多いデバイスの断面 TEM 像では、pn 界面に沿って線の存在が確認でき、拡大像 (図 6(c)) でははっきりと欠陥または不純物が観察された。この詳細な構造については現在解析を進めているが、大きなリーク電流の原因になっている可能性がある。界面欠陥の有無は、選択成長前、つまりエッチング加工後のダイヤモンドステップの形状や表面状態に依存していると考えられる。今後は、デバイスプロセスの改善を行い、pn 接合界面の欠陥低減により高品質化を図り、ダイオード特性を向上させ、再現性良く特性が得られるための技術開発を行っていく。これは、デバイスにおける低リーク電流および高耐圧にもつながる重要な技術課題である。

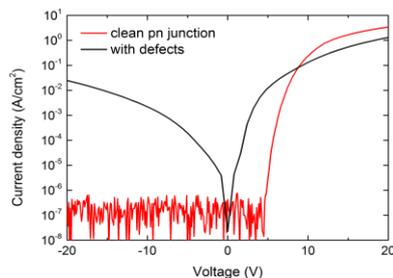


図 5 横型 pn 接合ダイオードの特性。

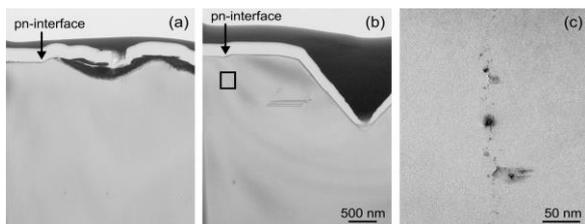


図6 横型 pn 接合ダイオードの断面 TEM 像。
(a) 欠陥なし。(b, c)欠陥または不純物あり。(c)は
(b)中の四角領域の拡大図。

最後に本研究で得られたデバイス性能と、縦型構造の性能予測を、パワーデバイスの指標である耐圧と特性オン抵抗の関係として示す(図7)。図中で、緑の○は通常 JFET、△は伝導度変調 JEFT の結果である。また黄色の○と△は各々の実動作温度 200°Cの実測値である。この結果から、本研究の目的である、オン抵抗 $5\text{m}\Omega\text{cm}^2$ 以下(現状比 10 倍向上)で耐電界 $5\text{MV}/\text{cm}$ 以上(現状比 10 倍向上)の低損失ダイヤモンド JFET を検証することができたことがわかる。縦型構造を適用することにより、他の半導体に比べ約一桁優れた性能を期待することができる。また伝導度変調を適用すれば、さらに一桁向上が見込め、次世代パワーデバイスとして優位であることがわかる。

今後は、さらに高精度なダイヤモンド半導体のデバイス・プロセス技術、大面積ウエハの開発に注力し、進展させていく。並行して、パワーエレクトロニクスへの実装の効果と

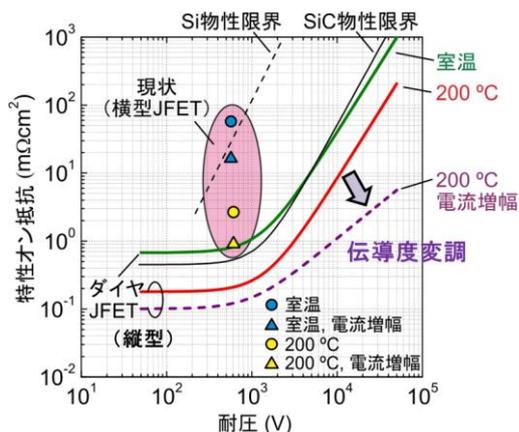


図7 ダイヤモンド JFET の性能予測。

その特徴を明らかにし、グローバルなグリーンイノベーションの推進に貢献していきたい。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 10 件)

- ① J. Yaita, M. Natal, S. E. Saddow, M. Hatano, T. Iwasaki, Influence of High Power-Density Plasma on Heteroepitaxial Diamond Nucleation on 3C-SiC Surface, Applied Physics Express, refereed, Vol 10 No. 4, 045502-1-4 2017, Doi: <http://iopscience.iop.org/1882-0786/10/4/045502>
- ② T. Suto, J. Yaita, T. Iwasaki, M. Hatano, Highly oriented diamond (111) films synthesized by pulse bias-enhanced nucleation and epitaxial grain selection on a 3C-SiC-Si (111) substrate, Appl. Phys. Lett. refereed, 110, 062102-1-5, 2017 Doi: <http://dx.doi.org/10.1063/1.4975630>
- ③ T. Iwasaki, W. Naruki, K. Tahara, T. Makino, H. Kato, M. Ogura, D. Takeuchi, S. Yamasaki, M. Hatano, Direct Nanoscale Sensing of the Internal Electric Field in Operating Semiconductor Devices Using a Single Electron Spins, ACS Nano, refereed, 11, 1238-1245, 2017, Doi: 10.1021/acsnano.6b04460
- ④ T. Iwasaki, H. Kato, T. Makino, M. Ogura, D. Takeuchi, S. Yamasaki, M. Hatano, High-Temperature Bipolar-Mode Operation of Normally-Off Diamond JFET, IEEE Journal of the Electron Devices Society, refereed, Vol. 5 No. 1 P. 95-99, 2017, Doi:10.1109/JEDS.2016.2624301
- ⑤ T. Suwa, T. Iwasaki, K. Sato, H. Kato, T. Makino, M. Ogura, D. Takeuchi, S. Yamasaki, M. Hatano, Normally-Off Diamond Junction Field-Effect Transistors with Submicron Channel, IEEE Electron Device Lett., refereed, 37, 209, 2016, DOI: 10.1109/LED.2015.2513074.
- ⑥ K. Sato, T. Iwasaki, M. Shimizu, H. Kato, T. Makino, M. Ogura, D. Takeuchi, S. Yamasaki, M. Hatano, Fabrication of diamond lateral p-n junction diodes on (111) substrates, Physica Status Solidi A, refereed, Vol 212, No11, 2548-2552, 2015, Doi:10.1002/pssa.201532266
- ⑦ J. Yaita, T. Iwasaki, M. Natal, S. E. Saddow, M. Hatano, Heteroepitaxial Growth of Diamond Films on 3C-SiC / Si Substrates with Utilization of

Antenna-Edge Microwave Plasma CVD for Nucleation, 2015 Japanese Journal of Applied Physics, refereed, 54 04DH13-1~4, 2015, Doi:10.7567/JJAP.54.04DH13

- ⑧ K. Sato, T. Iwasaki, H. Kato, T. Makino, M. Ogura, S. Yamasaki, S. Nakamura, K. Ichikawa, A. Sawabe, M. Hatano, Analysis of Selective Growth of n-Type Diamond in Lateral pn Junction Diode, Jpn. J. Appl. Phys., refereed, 53, 05FP01-1~05FP01-4, 2014, Doi:10.7567/JJAP.53.05FP01
- ⑨ T. Iwasaki, J. Yaita, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, 600 V Diamond Junction Field-Effect Transistors Operated at 200 ° C, IEEE Electron Device Lett. refereed, 35, 241-243, 2014 Doi:10.1109/LED.2013.2294969
- ⑩ T. Iwasaki, Y. Hoshino, K. Tsuzuki, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, High-Temperature Operation of Diamond Junction Field-Effect Transistors With Lateral p-n Junctions, IEEE Electron Device Lett. refereed, 34, 1175-1177, 2013, Doi:10.1109/LED.2013.2271377

[学会発表] (計 33 件 (うち国際会議 22、招待講演 9 件))

- ① J. Yaita, T. Iwasaki, M. Natal, S. E. Sadow, M. Hatano, High-Quality Heteroepitaxial Diamond Films Grown on 3C-SiC/Si Substrates, Hasselt Diamond Workshop 2017, 2017 Mar 8, Hasselt (Belgium)
- ② T. Suto, J. Yaita, T. Iwasaki, M. Hatano, Heteroepitaxial Growth of Highly-Oriented Diamond Films on 3C-SiC/Si (111) Substrates by Pulse Bias Enhanced Nucleation, 2016 MRS Fall Meeting & Exhibit, 2016 Nov 28, Boston (USA)
- ③ M. Hatano, T. Iwasaki, S. Yamasaki, Toshiharu Makino "Diamond Electronics" ESSCIRC-ESSDERC 2016, Swisstech Convention Centre 2016 Sep 14, Lausanne (Switzerland) Invited
- ④ T. Iwasaki, M. Hatano, Diamond JFET for Next Generation Low-Loss Power Electronic, ISCSI-VII/ISTDM 2016, 2016 Jun 8, Nagoya University (Aichi, Nagoya), Invited
- ⑤ T. Iwasaki, M. Hatano, Diamond Junction Field-Effect Transistors for Low-Loss Power Electronics, 2016 MRS Spring Meeting & Exhibit, 2016 Mar 31, Phoenix (USA), Invited
- ⑥ T. Iwasaki, Diamond Electronics, The

1st International Symposium of Applied Physics & Single-nano Excellent-Core in JAIST, 2016 Mar 2, Jaist (Ishikawa, Nomi), Invited

- ⑦ J. Yaita, T. Iwasaki, M. R. Natal, S. E. Sadow, M. Hatano, Effect of High Plasma Density on Heteroepitaxial Diamond Nucleation on 3C-SiC/Si Substrates, 2015 MRS Fall Meeting & Exhibit, 2015 Dec 3, Boston (USA)
- ⑧ M. Hatano, Diamond junction FETs with the lateral p-n junctions, 3rd French-Japanese workshop on diamond power devices, 2015 Jul 8, NEELS (France), Invited
- ⑨ M. Hatano, Junction FETs and quantum sensing application, OMNT International Symposium on Diamond, 2015 Jul 6, Grenoble (France), Invited
- ⑩ T. Iwasaki, Diamond Junction Field-Effect Transistors and Heteroepitaxial Growth Toward Large-Size Wafer, CMOSETR 2015, 2015 May 22, Vancouver (Canada), Invited
- ⑪ T. Iwasaki, H. Kato, J. Yaita, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, Current Enhancement by Conductivity Modulation in Diamond JFETs for Next Generation Low-Loss Power Devices, The 27th International Symposium on Power Semiconductor Devices and ICs, 2015 May 12, Hong Kong (Hong Kong)
- ⑫ T. Iwasaki, H. Kato, J. Yaita, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, Minority carrier injection in diamond power JFETs for on-current improvement, 2015 Feb 26, Hasselt (Belgium)
- ⑬ T. Suwa, T. Iwasaki, K. Sato, H. Kato, T. Makino, M. Ogura, D. Takeuchi, S. Yamasaki, M. Hatano, Normally-off operation of diamond junction FETs, Hasselt Diamond Workshop 2015, 2015 Feb 25, Hasselt (Belgium)
- ⑭ J. Yaita, T. Iwasaki, M. R. Natal, S. E. Sadow, M. Hatano, Heteroepitaxial Growth of Highly-Oriented Diamond Films on Si(001) Substrates with 3C-SiC(001) Buffer Layers, 2014 MRS Fall Meeting & Exhibit, 2014 Dec 3, Boston (USA)
- ⑮ M. Hatano, Diamond Junction FETs for Next-generation Power Electronics, Japan-France Joint Diamond Workshop 2014, 2014 Oct 6, Kyudai Nisshin Plaza (Fukuoka Fukuoka), Invited
- ⑯ J. Yaita, T. Iwasaki, M. Natal, S. E. Sadow, M. Hatano, Heteroepitaxial growth of diamond films on 3C-SiC

(001)/Si substrates by antenna-edge microwave plasma CVD, SSDM2014, 2014 Sep 9, Tsukuba International Congress Center, (Igaraki, Tsukuba)

- ⑰ M. Hatano, T. Iwasaki, K. Tsuzuki, K. Sato, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, High voltage and high temperature operation of diamond junction FETs with the lateral p-n junctions, Hasselt Diamond Workshop 2014, 2014 Feb 20, Hasselt (Belgium), Invited
- ⑱ T. Iwasaki, Y. Hoshino, K. Tsuzuki, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, High Temperature Performance of Diamond Junction Field Effect Transistors, 2013 JSAP-MRS Joint Symposia, 2013 Sep 19, Doshisha Univ, Kyotanabe Campus (Kyoto, Kyotanabe)
- ⑲ M. Hatano, Monolayer diamond FETs consist of fluorinated graphene channel, International Conference on Semiconductor technology for ultra large scale integrated circuits and thin film transistors, 2013 Jul 8, Grenoble (France), Invited
- ⑳ M. Hatano, Diamond Junction Field-Effect Transistors with Lateral pn-junctions for Next Generation Power Devices, AWAD2013, 2013 Jun 27, Seoul (South Korea), Invited

〔産業財産権〕

○出願状況 (計 1 件)

名称: 半導体装置および測定装置

発明者: 波多野睦子、岩崎孝之

権利者: 同上 種類: 特願

番号: 2016-044454

出願年月日: 2016年3月8日

国内外の別: 国内

○取得状況計 (計 1 件)

名称: ダイヤモンド半導体装置及びその製造

方法 発明者: 加藤宙光、牧野俊晴、小倉

政彦、波多野睦子、岩崎孝之、

権利者: 同上 種類: 特許 番号: 6124373

取得年月日: 2017年4月17日

国内外の別: 国内

6. 研究組織

(1) 研究代表者

波多野 睦子 (Hatano Mutsuko)

東京工業大学・工学院・教授

研究者番号: 00417007

(2) 研究分担者

岩崎 孝之 (Iwasaki Takayuki)

東京工業大学・工学院・助教

研究者番号: 80454031